



ハイブリッドモードサーボ方式を用いた増幅回路の
オフセット低減に関する研究

メタデータ	言語: jpn 出版者: 宮崎大学工学部 公開日: 2020-06-21 キーワード (Ja): キーワード (En): 作成者: 宮田, 清也, 淡野, 公一, 田村, 宏樹, 外山, 貴子, Miyata, Seiya メールアドレス: 所属:
URL	http://hdl.handle.net/10458/5888

ハイブリッドモードサーボ方式を用いた 増幅回路のオフセット低減に関する研究

宮田 清也^{a)}・淡野 公一^{b)}・田村 宏樹^{c)}・外山 貴子^{d)}

Research on Offset Reduction Technique Using Hybrid Mode Servo Method for Amplifiers

Seiya MIYATA, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

This thesis describes offset cancellation technique of CMOS amplifier for biological signal processing LSI. Our laboratory try to develop the LSI for s-EMG (surface-Electromyogram). s-EMG has low-frequency and very small signal, so it needs to amplify for signal processing. But offset arises from mismatch caused by process variations, and it is very difficult to discriminate between s-EMG and offset. Thus biological signal processing LSI needs offset cancellation circuit to attenuate offset infection. DC servo circuit is one of the offset cancellation circuit. But DC servo circuit needs large passive component's value for low-frequency signal such as s-EMG. This causes an obstruction to integrate each circuit of biological signal processing LSI into one chip. To solve this problem, I propose hybrid mode servo circuit. This circuit's cut-off frequency (f_c) can be lower by reducing transconductance (g_m) of OTA used in integrator and increasing attenuation rate of attenuator. So this circuit can cancel offset without large passive component's value for low-frequency signal. The performance of the proposed circuit is evaluated through HSPICE simulation with $0.6\mu\text{m}$ CMOS device parameters. The simulation results are reported in this thesis.

Keywords: DC servo circuit, Operational Transconductance Amplifier (OTA), Offset Reduction, Attenuator

1. はじめに

我々の研究室では「機器と人をつなぐインターフェースシステム」の開発をテーマに、表面筋電位や眼電位などの生体信号を処理する LSI の研究や、読み取った生体信号を使ったシステムの開発に取り組んでいる。本研究室の成果として、表面筋電位を用いた電動車椅子の制御や眼電位を用いたマウスカーソル制御システムの研究で有効な結果が得られている[1][2]。一方、表面筋電位は前述の通り、微弱かつ低周波な信号であるので処理を行う際に信号を増幅する必要がある。しかし増幅回路は、製造プロセスに起因する内部オフセットや信号計測中に生じる外部オフセットの影響を受ける。特に表面筋電位のような微弱かつ低周波な信号を取り扱う場合は信号とオフセットとの判別が困難となる[3]。そこでオフセットを低減するオフセットキャンセル回路が必要になる。

これまでに提案されているオフセットキャンセル回路の一つに DC サーボ回路がある。この回路は増幅器と積分

器、加算(減算)器の3つで構成される。増幅器の帰還経路に積分器を付加することで出力電圧中の直流成分を検出し、この値を入力に帰還することで出力側の直流成分をキャンセルする。しかし、表面筋電位のような低周波の信号を入力する場合、回路の遮断周波数を低く設定する必要がある。低い遮断周波数は積分器の時定数(抵抗とキャパシタの積)を大きくすることで実現できるが、大きな容量値及び抵抗値を必要とし、結果として回路の占有面積の増加を招く。先行研究では、従来の DC サーボ回路に減衰器を付加し、減衰器の減衰率を大きくすることで、低い遮断周波数に必要な積分器の時定数を低減する手法が提案された[4]。しかし、OP アンプを用いた減衰器では減衰率を大きくするために大きな抵抗が必要となる。また、積分器に必要な容量値が 100pF 程度であるため、生体信号処理用 LSI の 1 チップ化の大きな妨げとなる。よって、より小面積でオフセットを低減できる回路構成が求められている。

そこで本論文では、帰還経路内の処理に電流信号を、入力部の処理に電圧信号を用いるハイブリッドモードサーボ回路を提案する。この回路はこれまでの DC サーボ回路における減算処理を増幅回路の入力部で行うことで、減算回路を必要としない。また、積分器には OTA (Operational Transconductance Amplifier) とキャパシタのみ

a)電気電子工学専攻大学院生

b)電気システム工学学科教授

c)環境ロボティクス学科教授

d)技術職員

で構成される g_m -C 積分器を用いる。 g_m -C 積分器では、OTA のトランスコンダクタンス (g_m) を小さくすることで、小さな容量値で低い遮断周波数を実現できる。本研究では、提案するハイブリッドモードサーボ回路を $0.6\mu\text{m}$ CMOS プロセスを用いて設計し、HSPICE による評価を通して回路の有用性を確認する。

本論文は、5章から成り立っており、構成は以下のとおりである。第2章では、DCサーボ回路の構成及びその問題点について説明し、その問題点を改善する先行研究回路に対する考察を行う。第3章では、本論文で提案するハイブリッドモードサーボ回路の説明を行った後、提案回路に用いる回路ブロックの説明を行う。第4章では、提案回路を実際に $0.6\mu\text{m}$ CMOS プロセスパラメータを用いて設計し、HSPICE シミュレーションによる評価結果を示す。第5章では、これまでに得られた結果についての全体的なまとめを行い、今後の展望について述べる。

2. DCサーボ回路

2.1. DCサーボ回路

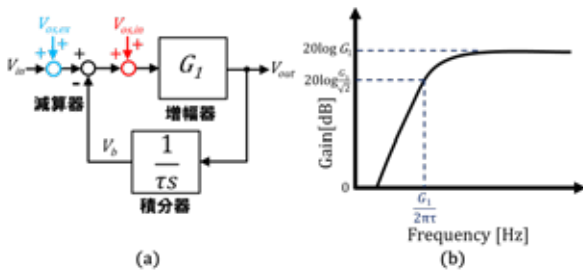


図1. DCサーボ回路 (a)ブロック線図 (b)周波数特性

図1にDCサーボ回路のブロック線図及び周波数特性を示す。図1(a)のブロック線図における入出力関係は

$$V_{out} = \frac{G_1}{1 + \frac{G_1}{TS}} (V_{in} + V_{os,in} + V_{os,ex}) \quad (1)$$

で表される。ここで、 $V_{os,in}$ はLSIの製造プロセスに起因する内部オフセット、 $V_{os,ex}$ は生体信号計測中に生じる外部オフセットを示す。両オフセットは非常に直流に近い低周波な雑音であるので、周波数 $f \Rightarrow 0$ とすると出力電圧中のオフセット成分 $V_{out,DC}$ は

$$V_{out,DC} = 0 \quad (2)$$

となり、両オフセットを低減できることが確認できる。また、入力信号 V_{in} に対する伝達関数 $|A_v|$ 及び遮断周波数 f_c は

$$|A_v| = \frac{G_1}{\sqrt{1 + \left(\frac{G_1}{\omega\tau}\right)^2}} \quad (3)$$

$$f_c = \frac{G_1}{2\pi\tau} = \frac{G_1}{2\pi RC} \quad (4)$$

と導きだせる。式(3)及び式(4)から、DCサーボ回路は f_c 以下の低周波信号を遮断するハイパス特性を示すことが分かる。しかし、処理を行う生体信号も低周波な信号であるため、信号を増幅しつつオフセットを低減するには f_c を低くする必要がある。そのためには式(4)より、大きな抵抗値及び容量値が必要となり、回路面積の増大を招く。この結果、フィルタやA-D変換回路を含む生体信号処理用LSIを1チップに集積化することが困難であった。

2.2. 先行研究

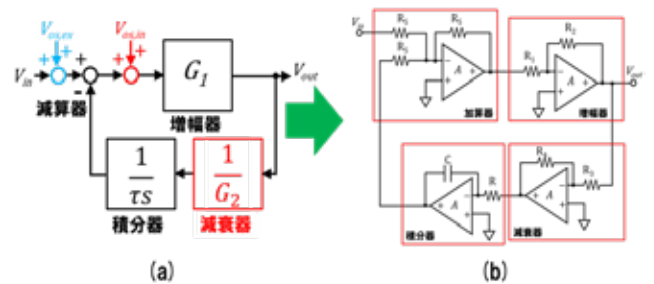


図2. 先行研究回路 (a)ブロック線図 (b)回路図

先行研究では図2(a)に示されるように、DCサーボ回路の帰還経路に減衰器を追加した構成が提案されていた。

図2(b)の $|A_v|$ 及び f_c は

$$|A_v| = \frac{G_1}{\sqrt{1 + \left(\frac{G_1}{\omega\tau G_2}\right)^2}} \quad (5)$$

$$f_c = \frac{G_1}{2\pi RC} \cdot \frac{1}{G_2} \quad (6)$$

で表される。式(6)から、減衰器の減衰率 G_2 を大きくすることで、 f_c を低くできることが分かる。しかし、先行研究回路において、 G_2 を100に設計して数100Hzの f_c を実現しようとした時、積分器に100pF以上のキャパシタが必要となる。100pF以上のキャパシタによって回路内の占有面積が大きく増加してしまい、生体信号処理用LSIの1チップ化を大きく妨げていた。

先行研究回路にはもう一つ解決すべき問題がある。図2(a)に示すブロック線図中の各回路ブロックを、OPアンプや抵抗、キャパシタを用いて設計したものを図2(b)に示す。図2(b)において、各回路ブロックに用いられているOPアンプの入力換算オフセットを考慮すると、出力オフセット $V_{out,DC}$ は

$$V_{out,DC} = -G_2 V_{os,Int} - (1 + G_2) V_{os,Att} \quad (7)$$

と導出できる. $V_{os,Int}$ 及び $V_{os,Att}$ はそれぞれ積分器・減衰器に用いた OP アンプの入力換算オフセットを示す. 式(7)から G_2 を大きく設計すると $V_{out,DC}$ も比例して増加することが分かる. 従って G_2 の増加によって遮断周波数は低くできるが, $V_{out,DC}$ は増加するといったトレードオフが発生する.

3. ハイブリッドモードサーボ回路

3.1. 全体回路

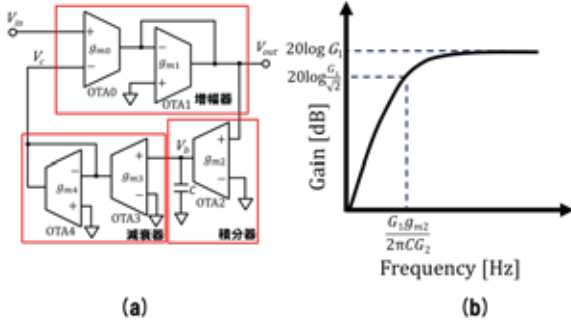


図 3. 提案回路 (a)回路図 (b)周波数特性

図 3 に提案するハイブリッドモードサーボ回路の回路図及び周波数特性を示す. この回路は入出力部の処理を電圧信号で, 回路中の増幅や積分, 減衰及び減算といった全ての処理を OTA を用いた電流モードで行っている. 図 3 の回路における入出力関係は

$$V_{out} = \frac{G_1}{1 + \frac{G_1 g_{m2}}{s C G_2}} (V_{in} + V_{os,g_{m0}} + \frac{1}{G_1} V_{os,g_{m1}} - \frac{1}{G_2} V_{os,g_{m3}} - V_{os,g_{m4}}) - \frac{1}{1 + \frac{s C G_2}{G_1 g_{m2}}} V_{os,g_{m2}} \quad (8)$$

となる. 式(8)中の G_1 及び G_2 はそれぞれ提案回路の増幅率と減衰率であり, 以下の式で表される.

$$G_1 = \frac{g_{m0}}{g_{m1}} \quad (9)$$

$$\frac{1}{G_2} = \frac{g_{m3}}{g_{m4}} \quad (10)$$

式(8)において, $V_{os,g_{mi}}$ は各回路ブロックに用いる OTA の入力換算オフセットを意味する. 今, 提案回路の出力オフセット $V_{out,DC}(f=0)$ は

$$V_{out,DC} = -V_{os,g_{m2}} \quad (11)$$

と導出することが出来る. 式(11)から, 提案回路の $V_{out,DC}$ は OTA2 の入力換算オフセットのみに低減することができる. また, 増幅率や減衰率に依存しないため, 先行研究で問題となっていた G_2 の増加による f_c と $V_{out,DC}$ のトレードオフが発生しない. また, 提案回路の $|A_v|$ 及び f_c は

$$|A_v| = \frac{G_1}{\sqrt{1 + \left(\frac{G_1 g_{m2}}{\omega G_2 C}\right)^2}} \quad (12)$$

$$f_c = \frac{G_1}{2\pi C} \cdot \frac{g_{m2}}{G_2} \quad (13)$$

で表される. 式(13)から提案回路の f_c を低くするには, 減衰率 G_2 を大きくすることに加えて, OTA2 のトランスコンダクタンス g_{m2} を小さくすることで実現できる. この結果, 小さな容量値 C で低い f_c を実現でき, 回路面積を削減できると考えられる.

また, 図 3 の提案回路と図 2(b)の先行研究回路を比較すると, 先行研究回路に対して提案回路では 8 本の抵抗が削減できていることが分かる. これらのことから, 提案回路は先行研究回路よりも小面積でオフセット低減を実現できることが考えられる.

3.2. 各回路ブロック

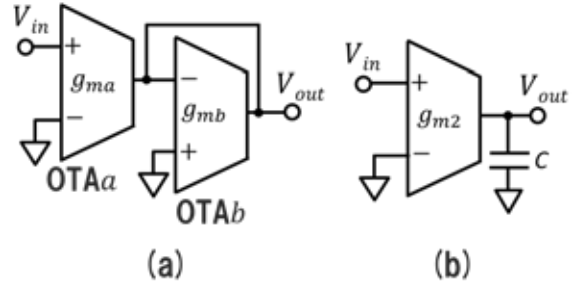


図 4. 各回路ブロック (a)増幅器 (b)積分器

図 4(a)に提案回路に用いた増幅器及び減衰器の回路構成を示す[5]. 図 4(a)の回路における伝達関数 $|A_v|$ は

$$|A_v| = \frac{g_{ma}}{g_{mb} + \frac{R_a + R_b}{R_a R_b}} \quad (14)$$

で表される. $g_{ma} > g_{mb}$ の場合は増幅器として動作し, $g_{ma} < g_{mb}$ の場合は減衰器として動作する. 式(14)から, 高い増幅率及び減衰率を実現するためには, 一方の g_m に対して非常に大きい, もしくは小さい g_m が求められる. 大きな g_m の実現は回路の消費電流増大を招くため, 本論文

では小さな g_m を持つ OTA を用いて高い増幅率や減衰率を実現している. また, 式(14)中の R_a 及び R_b は各 OTA の出力抵抗を表している. R_a 及び R_b の値が小さい場合, 式(14)中の分母に含まれる R_a と R_b の成分が大きくなってしまふ. この結果, 所望の増幅率及び減衰率が得られなくなる. そのため, 増幅器や減衰器に用いる OTA には大きな出力抵抗値を有することが求められる. 加えて, 増幅器や減衰器に用いる OTA には, 入力された信号に対して一定の g_m で動作させるために広い線形入力範囲が必要となる.

図 4(b)に提案回路中の積分器を示している. 図 3 から, 積分器には提案回路の出力電圧 V_{out} が入力される. そのため, 積分器に用いる OTA には, 増幅器で増幅された大きな信号に対して一定の g_m で動作することが求められる. また, 積分器に用いる OTA の g_m は提案回路の f_c を低くするために小さくする必要がある. これらのことから, 積分器に用いる OTA には広い線形入力範囲, 及び小さな g_m が求められる.

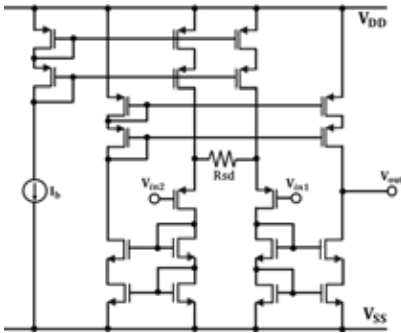


図 5. ソース帰還抵抗を用いたカスコード OTA

以上の点を考慮して, 高い出力抵抗値及び広い線形入力範囲が求められる OTA には, 図 5 に示す構成の OTA で設計を行った. 入力部にソース帰還抵抗を用いた線形化技術を用いることで, 広い線形入力範囲を実現している[7]. また, カスコード接続を用いることで出力抵抗を大きくすることができる. また, 小さな g_m が必要な OTA については,

図 6 に示す GCT (Gilbert Cell Transconductor) を用いて設計を行った[6].

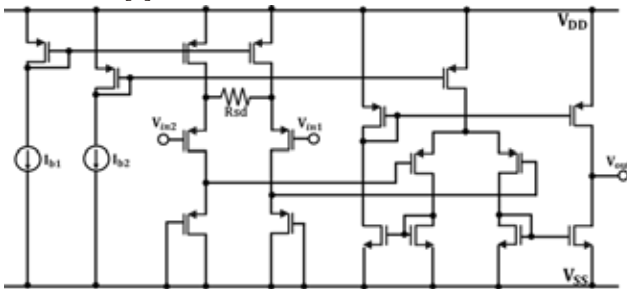


図 6. GCT (Gilbert Cell Transconductor)

図 6 に示す GCT の g_m は

$$g_m = \frac{I_{b2}}{2I_{b1}} \cdot \frac{1}{R_{sd}} \quad (15)$$

で表すことができる. 式(15)から g_m を小さくするには I_{b1} 及び R_{sd} を大きくすることによって実現できることが分かる. また, 入力部にソース帰還抵抗を用いることで広い線形入力範囲を実現できる.

4. シミュレーション結果

4. 1. 各回路ブロック

提案回路が所望の動作を行うか確認するために, 0.6 μ m CMOSプロセスデバイスパラメータを用いて提案回路を設計し, HSPICEにより動作を確認した. まず, 各回路ブロックの評価結果について述べる.

表1. 各OTAの評価結果 (提案回路)

OTAi	g_{mi} [nS]	R_o [G Ω]	入力範囲 [V]
OTA0	1855.00	8.61	-0.96~0.97
OTA1	16.20	1.99	-0.29~0.30
OTA2	2.14	8.62	-0.35~0.35
OTA3	2.56	8.54	-0.30~0.30
OTA4	2940.00	8.61	-0.56~0.56

表1に提案回路に用いた各OTA0, OTA1の g_m , R_o 及び線形入力範囲の評価結果を示す. 表1のパラメータを用いて理論的な増幅率及び減衰率を計算すると, 増幅率 $G_1 = 40.85$ [dB], 減衰率 $G_2 = 61.20$ [dB]と求められる.

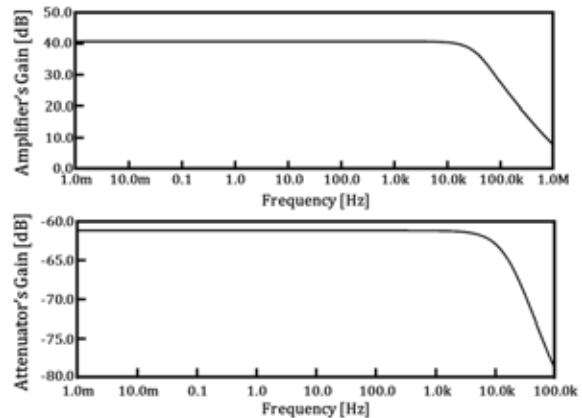


図7. 増幅器及び減衰器の交流解析結果

増幅器及び減衰器の交流解析結果を図に示す. 図7から, 増幅率 G_1 は40.84 [dB], 減衰率 G_2 は61.15 [dB]といった結果が得られた. この結果から, 増幅器及び減衰器が理論通りの動作を行っていることが確認できた.

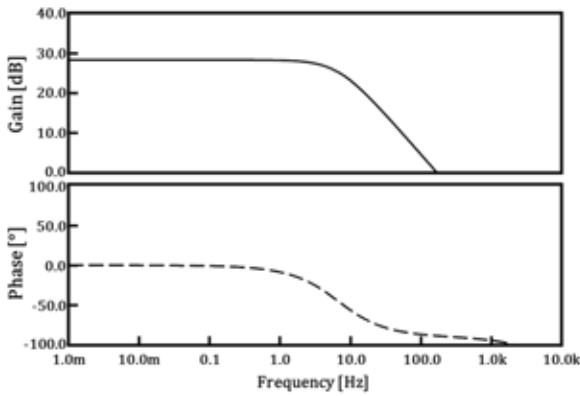


図8. 積分器の交流解析結果

図8に積分器の交流解析結果を示す. 積分器には2pFのキャパシタを用いて解析を行った. 直流利得 $|A_{v,int}|_{DC} = 28.35$ [dB]と理想的な積分器に比べて非常に小さな値が得られた. これには積分器に用いるOTAの出力抵抗 R_2 による影響が考えられる.

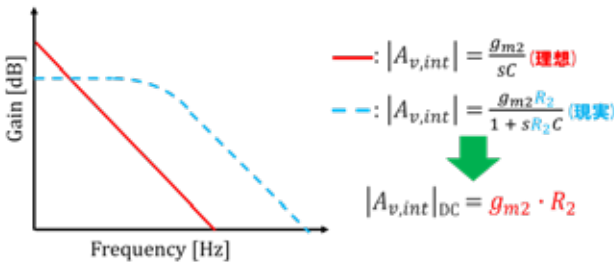


図9. 積分器におけるトレードオフ

理想的な積分器では, 図9の実線に示されるように周波数が低くなるほど利得が高くなる. しかし, 積分器に用いたOTAの出力抵抗 R_2 を考慮すると, 図9の波線で示されるような特性となる. R_2 を考慮した際, 積分器の直流利得は

$$|A_{v,int}|_{DC} = g_{m2} \cdot R_2 \quad (16)$$

で表される. 本論文では, 提案回路の f_c を低くするために g_{m2} を小さく設計した. このことが積分器の直流利得低下の原因であると考えられる.

4. 2. 全体回路

次に, 設計した各回路ブロックを用いて提案回路を構成し, 周波数特性及び過渡応答の評価を行った. 表1のパラメータ及び2pFのキャパシタを用いて提案回路の利得及び遮断周波数を計算すると, 信号増幅率 G_1 は40.84 [dB],

f_c は18.41 [Hz]と導出できる.

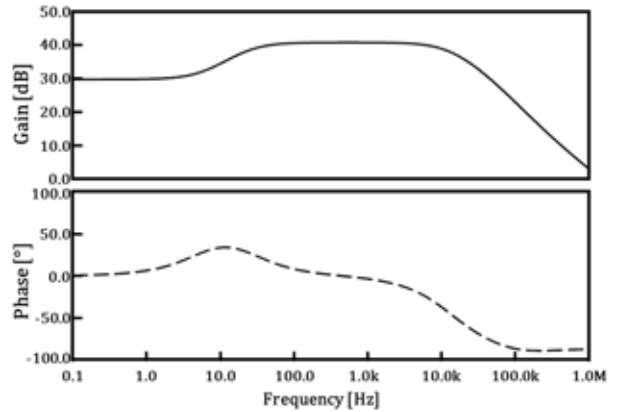


図10. 提案回路の交流解析結果

図10に提案回路の交流解析結果を示す. f_c は20.40 [Hz], 信号増幅率 G_1 は40.84 [dB]とほぼ理論通りの特性が得られた. このことから, 先行研究では数百Hzの f_c を実現するために100pF以上の容量値が必要であったのに対して, 提案回路では小さな容量値で低い遮断周波数を実現できることが確認できた.

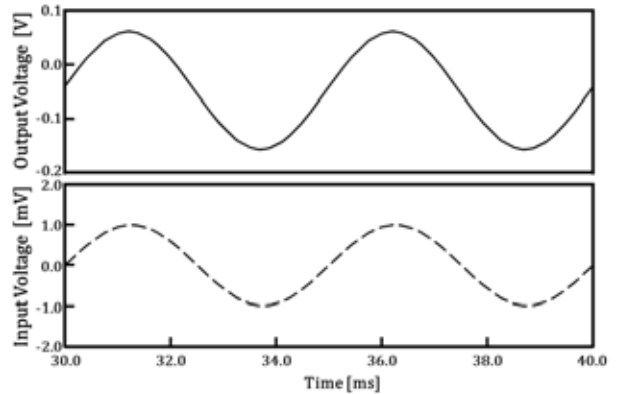


図11. 提案回路の過渡解析結果

図11に提案回路に振幅1mV, 周波数200Hzの正弦波を入力した際の過渡解析結果を示す. 出力振幅が約109mVの正弦波が確認されたことから, 提案回路が理論通りの信号増幅を行うことが確認できた. しかし, 出力信号に対して -47.45 mVと大きなオフセットが確認された. これは積分器に用いるOTA2の g_{m2} と R_2 が提案回路のオフセット低減効果に大きく影響することが原因と考えられる.

積分器に用いたOTA2の出力抵抗 R_2 を考慮した際, 提案回路の出力オフセットは

$$\begin{aligned}
 V_{out,DC} = & \frac{G_1}{1 + \frac{G_1 g_{m2} R_2}{G_2}} (V_{os,g_{m0}} + \frac{1}{G_1} V_{os,g_{m1}} \\
 & - \frac{1}{G_2} V_{os,g_{m3}} - V_{os,g_{m4}}) \\
 & - \frac{1}{1 + \frac{G_2}{G_1 g_{m2} R_2}} V_{os,g_{m2}} \quad (17)
 \end{aligned}$$

と導出できる。式(13)より、提案回路では小さな容量値で低い遮断周波数を実現するために g_{m2} を小さくする必要がある。式(17)から g_{m2} が小さくなると、増幅器や減衰器で発生したオフセットの低減効果が低下し、出力オフセット $V_{out,DC}$ が増加することが分かる。このことから提案回路において、積分器に用いるOTAの g_m と提案回路の出力オフセットとの間にトレードオフの関係が確認された。よって、このトレードオフを解決するための対策が必要となる。

5. まとめ

本論文では、表面筋電位を増幅するためのCMOS増幅回路におけるオフセット低減手法に関する考察を行った。先行研究回路における問題点を解決するためにハイブリッドモードサーボ回路を提案し動作確認を行った結果、2pFのキャパシタで20.4Hzと低い遮断周波数を実現できることが確認できた。しかし、提案回路において積分器に用いるOTAの g_{m2} と提案回路のオフセット低減効果との間にトレードオフの関係が確認された。そこで、トレードオフの解決策として図12に示す回路構成を提案する。

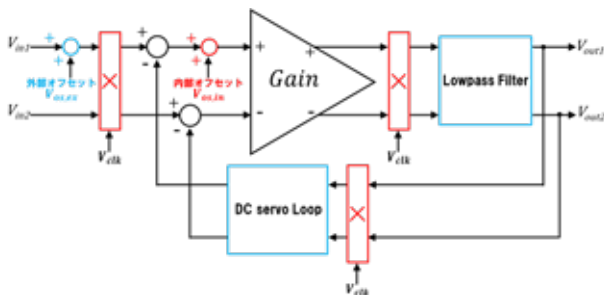


図12. 提案する生体信号処理用増幅回路の構成

図12は提案するハイブリッドモードサーボ回路にチョッパースタビライゼーション技術 (CST) [8] を組み合わせたオフセットキャンセル回路である。CSTを用いて低周波の生体信号を高周波側に変調することで、提案回路に必要な遮断周波数を高めに設定できる。これによって積分器に用いるOTAの g_m を本論文の設計値より大きくできるため、トレードオフを解決できると考えられる。今後の課題は図12に示す回路の設計及び動作確認を行うことが挙げられる。

参考文献

- 1) 伊波 和彦: “スイッチ入力のための筋電位解析方法に関する研究”, 平成 26 年度宮崎大学工学研究科修士論文, 2015 年 1 月.
- 2) 村田 崇行: “ハンズフリー電動車椅子制御システムの開発-モニタリングテストの実施-”, 平成 24 年度宮崎大学工学研究科修士論文, 2013 年 1 月.
- 3) 井手 敏雄: “表面筋電位信号処理 LSI における増幅器のオフセットキャンセル手法の一考察”, 平成 16 年度宮崎大学工学部電気電子工学科卒業論文, 2005 年 2 月.
- 4) 郡司 亜美: “DC サーボ回路を用いたオフセットキャンセル手法に関する考察”, 平成 17 年度宮崎大学工学部電気電子工学科卒業論文, 2006 年 2 月.
- 5) R. L. Geiger and E. S. Sinencio: ” Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial”, IEEE Circuits and Devices Magazine, Vol. 1, pp. 20-32, March 1985.
- 6) 岩崎 春紀: “低カットオフ周波数を有する集積化アクティブフィルタに関する研究”, 平成 26 年度宮崎大学工学研究科修士論文, 2015 年 1 月.
- 7) B. Razavi, 黒田 忠宏: “アナログ CMOS 集積回路の設計”, 丸善, 2003 年 3 月.
- 8) 西村 和将: “チョッパースタビライゼーション技術を用いたインストルメンテーションアンプに関する研究”, 平成 21 年度宮崎大学工学研究科修士論文, 2010 年 1 月.