宮崎大学学術情報リポジトリ
University of Miyazaki Academic Repository

SC循環型DA変換回路

メタデータ	言語: Japanese 出版者: 宮崎大学工学部 公開日: 2020-06-21 キーワード (Ja): キーワード (En): D/A Converter, capacitance ratio, Operational Amplifer 作成者: 杉尾, 拓也, 松本, 寛樹, Sugio, Takuya メールアドレス: 所属:
URL	http://hdl.handle.net/10458/5571

SC 循環型 DA 変換回路

杉尾　拓也 [a)] ・松本　寛樹 [b)]

SC Circulation Type D/A Conversion Circuit

Takuya SUGIO, Hiroki MATSUMOTO

Abstract

This paper shows the DA converter with improved not affected by the capacity mismatch.Error caused by the use of operational amplifiers is reduced, resolution is expected to be 8bit. Converter Operation is confirmed on SIMetrix.

Keywords: D/A Converter, capacitance ratio, Operational Amplifer

1　序論

近年、これまでアナログ信号で行われていた分野が次々とディジタル信号へと置き換えられている。我々の日常生活の中でテレビやエアコン、電子レンジなどの家電製品をはじめ、様々なものにディジタル信号処理技術が使用されるようになってきた。

ここで、身の回りの物理量は時間的に連続なアナログ信号がほとんどである。従って、アナログ信号をディジタル信号に変換する A/D 変換器、ディジタル信号を処理した後再び元のアナログ信号に戻すための D/A 変換器が必要となる。その技術が、A/D 変換または D/A 変換であり、低価格化、高精度化、高速化などを目指した高い信頼性をもつ A/D 変換器、D/A 変換器の開発が進められている。

今回提案する D/A 変換器は、高精度でかつ安定な特性が実現でき、消費電力を大幅に低減できるスイッチトキャパシタ回路を用いる。ここで、SC 回路を構成しているキャパシタには、製造時のばらつきや温度変化、経年変化などの原因によって誤差が生じる。それにより、SC 回路で構成する D/A･A/D 変換器において容量不整合が生じて最終的な出力電圧や出力電流に影響する。

本研究では、素子数をできる限り少なくし、ある程度の変換精度をもった SC 循環型 D/A 変換回路を提案し SIMetrix を用いて動作確認を行った。

2　基本構成

2.1 スイッチトキャパシタ（SC）回路

電子回路は IC 化することにより高信頼化小型化ならびに低価格化が可能である。従来の RLC 回路を IC 化するには RLC そのものを IC 化する必要がある。コイルは IC 化が難しいため回路を工夫して RC のみで回路を設計しなければならない。また抵抗はコンデンサと比べると高精度のまま IC 化できない。そこで提案されたのが SC 回路である。

SC 回路とはコンデンサの電荷をスイッチで制御することで抵抗と同じ動きをさせるもので C とスイッチのみで RC 回路を作ることができるものである。利点として抵抗を使用しないため消費電力を大幅に抑えることができる点や安定して高精度を保つことができる点などが挙げられる。その反面コンデンサを用いているため、容量比不整合によって誤差を生じてしまう。

a)大学院電気電子工学専攻
b)工学部准教授

2.2　スイッチトキャパシタ回路の原理

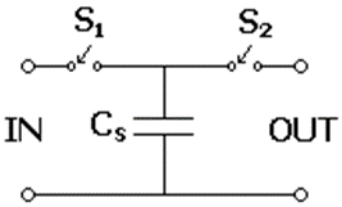


図 2.2　SC 回路

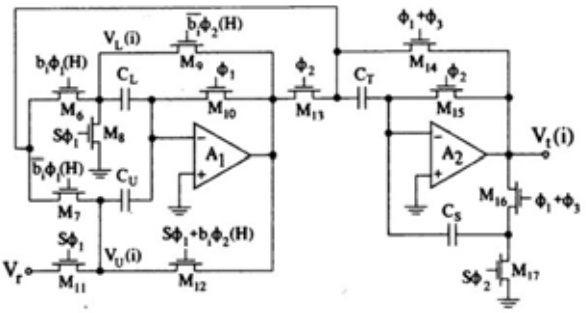
図 2.2 に SC 回路を示す。まず S1 をオン S2 をオフにすることで Cs が充電される。その後 S1 をオフ S2 をオンにすることで充電された電圧が放電される。この動作を高速で繰り返すことによって入力電圧が出力電圧より低い状態を維持することができ、抵抗と同等の動作を行っている。

2.3　DA 変換過程

DA 変換とは、ディジタルからアナログに復元することである。これを実行する再生回路は、基本的にディジタルからアナログに変換する DA 変換と、波形を整えるための再生フィルタと後置フィルタにより成り立っており、これらを含めて DA 変換器という。

DA 変換の過程は、基本的に符号化されたディジタル入力信号から再生回路を通ってその入力に与えられた数値に見合うアナログ出力電流または電圧に変換していくことである。入力信号は量子化された離散的な 0 と 1 からなる周期 T を持つディジタル信号で、自然 2 進コードによる振幅幅一定のパルス列である。

3　従来回路



S モード：Cu に Vr を充電する。

Φ 1 モード:bi に従ってV_LもしくはV_Uが Vt で更新される。

Φ 2 モード：bi に従ってC_TがV_UもしくはV_Lで更新される。

Φ 3 モード：C_TとC_Sで分圧し Vt として出力する。

4　提案回路

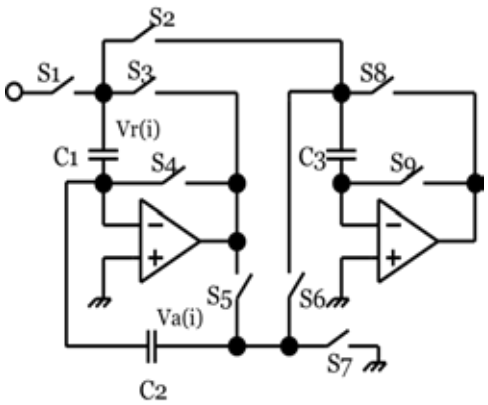


図 4.1　提案回路

提案回路を図 4.1 に示す。従来回路からコンデンサを 1 つ、スイッチを 3 つ減らした回路となっている。

また今回用いたクロックパルスを図 4.2 に、スイッチ表を表 4.1 に示す。

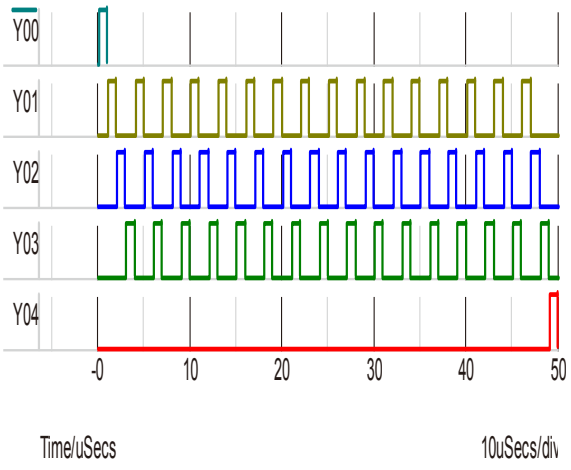


図 4.2　クロックパルス図

表 4.1　スイッチ表

S	1	2	3	4	5	6	7	8	9
R	1	0	0	1	0	1	1	0	1
Φ1	0	bi	bi	0	$\overline{bi}$	$\overline{bi}$	0	0	1
Φ2	0	0	1	0	1	0	0	1	0
Φ3	0	bi	0	1	0	$\overline{bi}$	0	1	0
Out	0	0	0	0	1	0	0	1	0

R モード　：C1 に基準電圧 Vr を充電し C2、C3 は放電する。

Φ1 モード：bi が 1 の時 C1 の電圧を C3 に、0 の時 C2 の電圧を C3 にサンプルホールドする。

Φ2 モード：C1 と C2 で平均化を行う。

Φ3 モード：bi が 1 の時 C3 の電圧を C1 に、0 の時 C3 の電圧を C2 に充電する。

Out モード：C2 の電圧を出力電圧として出力する。

またΦ1～Φ3 モードは n 回繰り返す。

5　シミュレーション結果

5.1 積分非直線性誤差

Vr=1V、ε=0.1%とすると式(3.5)より出力電圧 Va が算出される。その結果を用いて積分非直線性誤差を図 5.1 に示す。

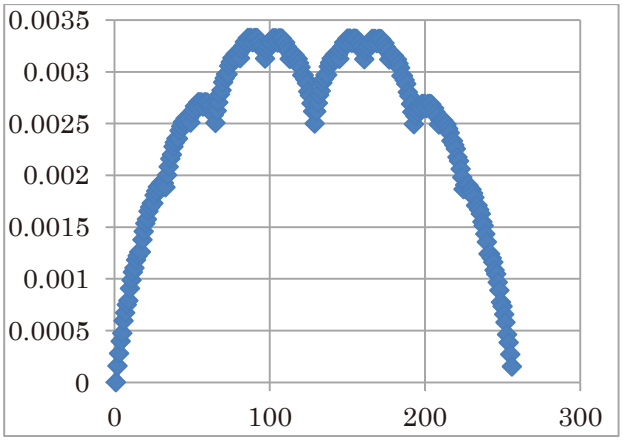


図 5.1　積分非直線性誤差

縦軸は積分非直線性誤差（1LSB=8bit）、横軸は 8 ビット入力値の 10 進数表記となっている。誤差電圧が最大となる点は 01010101 で値が 3.32mV となった。

5.2　微分非直線性誤差

先ほどと同様に式(3.5)より Va を算出し、それを用いて微分非直線性誤差を導出する。導出した結果を図 5.2 に示す。

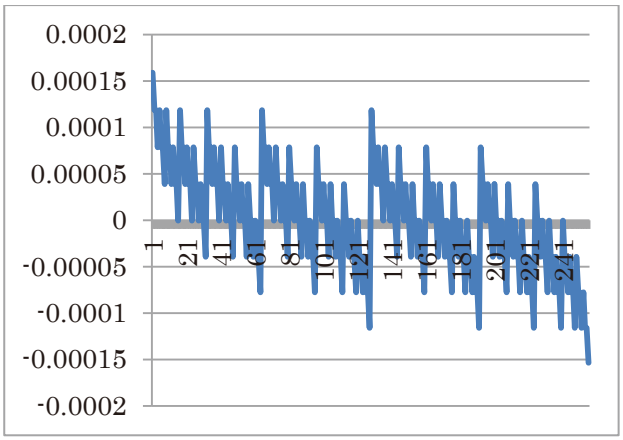


図 5.2　微分非直線性誤差

縦軸は微分非直線性誤差(1LSB=12Bit)、横軸は 8 ビット入力値の 10 進数表記となっている。図 5.2 より 1 LSB 以内に収まっているので符号とびを起こしていないことが確認できる。

今回提案する SC 循環型 D/A 変換回路を SIMetrix を用いてシミュレーションを行った。

5.3　素子設定

表 6.1 にシミュレーションに用いた素子のパラメータを表記する。

表 5.1　素子パラメータ

素子名		数値	
基準電圧	Vr	1	[V]
コンデンサ	C1	10.05	[pF]
	C2	9.95	[pF]
	C3	10	[pF]
スイッチ	オン	1k	[Ω]
	オフ	100T	[Ω]
オペアンプ		100	[dB]

容量比不整合の影響を検討するために C1 と C2 の相対比を 1％とした。

5.4　シミュレーション波形

シミュレーション結果を以下に示す。図はそれぞれ 0101010101010101、0111111111111111、1000000000000000、1010101010101010、1111111111111111 の時の出力電圧 Va の波形である。

1ビット毎に変換しており出力電圧に徐々に近似していることが分かる。

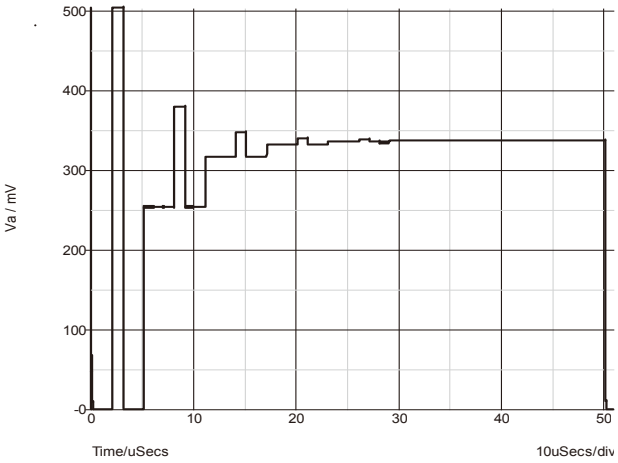


図 5.3　0101010101010101 時の出力波形

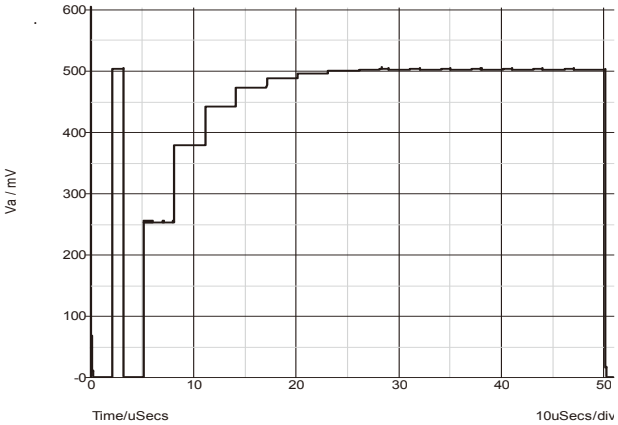


図 5.4　0111111111111111 時の出力波形

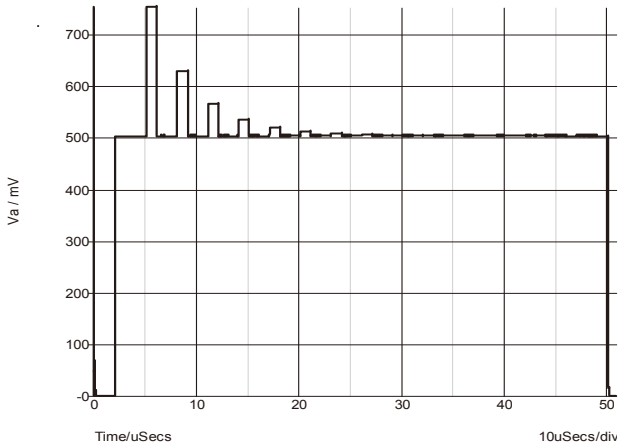


図 5.5　1000000000000000 時の出力波形

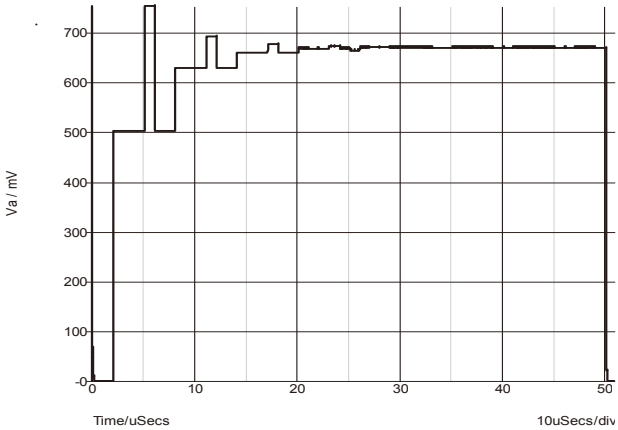


図 5.6　1010101010101010 時の出力波形

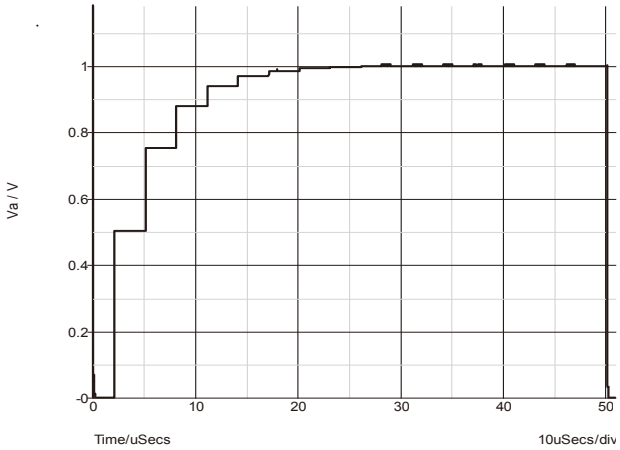


図 5.7　1111111111111111 時の出力波形

5.5 分解能

以下に出力結果と分解能を示す。

表 5.2 出力結果と分解能

入力ビット	理論値 [V]	測定値 [V]	誤差 [V]	分解能 [bit]
$(5555)_{16}$	0.333	0.336	0.003	8
$(7FFF)_{16}$	0.499	0.501	0.002	8
$(8000)_{16}$	0.5	0.503	0.003	8
$(AAAA)_{16}$	0.667	0.669	0.002	8
$(FFFF)_{16}$	1	0.998	-0.002	8

6　考察

今回の研究では SC 循環型 D/A 変換回路を提案し SIMetrix を用いてシミュレーションを行った。
従来の回路と比べてコンデンサを１つ、スイッチを３つ減らし小チップ面積で作成した。

容量比不整合 ε ＝１％で理論値計算を行った結果、図 5.1 を見てわかるように分解能は８bit であることが予想された。
同じ条件下でシミュレーションを行った結果、表 6.2 から分解能は８bit であることが確認された。
また変換時間は 16 ビット変換で約 50us であった。

今後の課題として高速化、高精度化が考えられる。

参考文献

[1]　Satomi Ogawa and Kenzo Watanabe, “A Switched-Capacitor Successive-Approximation A/D Converter”, IEEE Transactions on Instrumentation and Measurement, pp.847-853, Vol.42,No.4,Aug.1993
[2]　Kenzo Watanabe, Gabor Temes, and Tomohisa Tagami, “A New Algorithm for Cyclic and Pipeline Data Conversion”, IEEE Transaction on Circutts and Systems, pp.249-252, vol. 37, No 2, Feb.1990
[3]　中山謙二 著, “SC 回路網の設計と応用”, 東海大学出版社 (1985)