



## スイッチドキャパシタ逐次近似型 AD 変換器

メタデータ	言語: jpn 出版者: 宮崎大学工学部 公開日: 2020-06-21 キーワード (Ja): キーワード (En): 作成者: 森山, 和貴, 松本, 寛樹, Moriyama, Kazuki メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10458/5569">http://hdl.handle.net/10458/5569</a>

# スイッチドキャパシタ逐次近似型 AD 変換器

森山 和貴<sup>a)</sup>・松本 寛樹<sup>b)</sup>

## SC Successive Approximation A/D Converter

Kazuki MORIYAMA, Hiroki MATSUMOTO

### Abstract

This paper shows an improved A/D converter insensitive to capacitance mismatch. By using Operational amplifier, error caused by it is reduced and resolution is estimated to 14bits. Converter Operation is confirmed on SIMetrix.

**Keywords:** Swiched-capacitor, A/D Converter, capacitance ratio, Operational Amplifer

## 1 序論

1990年代から、デジタル技術の高度化により、コンピュータは急速な発展を遂げてきている。コンピュータは、その本来の意味する「計算機」という枠組みにとどまらず、あらかじめソフト的もしくはハード的に組み込まれたプログラムに基づき、入力されるデータの観測、蓄積、処理やそれらの結果に応じた所望のデータの出力などを自由自在にそして短時間で処理できる。

しかしながら、コンピュータで扱えるデータは『0』と『1』の2つの値で表されるデジタル信号だけである。自然界に存在している、温度、速度、圧力、流れなどの物理量はほとんどアナログ量であり、また、発振機によって作られた正弦波、三角波、方形波や人間の音声などもアナログ量である。

したがってこのアナログ量をデジタル信号、あるいはデジタル信号をアナログ量に変換することで、コンピュータの幅広い応用が可能になる。一般に、この変換はそれぞれ A/D 変換(analog to digital conversion)、D/A 変換(digital to analog conversion)と呼ばれる

本研究では、オペアンプと電圧比較器を用いて、キャパシタの不整合による誤差を低減した AD 変換回路を制作し、SIMetrix を用いて動作比較検討する。

## 2 A/D変換器

### 2.1 A/D 変換器過程

A/D 変換とは、アナログ量からデジタル信号に変換することである。この A/D 変換を通信関係では符号化や変

調と呼ばれる。これを実現する電子回路が A/D 変換器である。

A/D 変換の過程は前置フィルタを通ったあとアナログ量を標本化、量子化、符号化の順に行うことによってデジタル信号に変換される。

#### 2.1.1 標本化

標本化とは、連続的なアナログ量の振幅値をある離散的な周期  $T$ (周波数  $f_s=1/T$ )を基に区切り、アナログの振幅の瞬間値インパルス信号を取り出していくことである。これを標本化またはサンプリングと呼ぶ。 $f_s$  は標本化周波数である。

標本化によるインパルス列(デルタ関数列)は PAM(パルス振幅変調)や標本化信号と呼ばれる。この PAM はアナログ量をパルス波で変調した信号となり、周波数スペクトルは  $nf_s$  を基準に上側波帯と下側波帯に分けられる。

#### 2.1.2 量子化

量子化(quantizing)とは、保存されているアナログ電圧  $V_r$ がある基準とすると電圧  $V_s$  の何倍になっているか判断し、倍数値を整数値に丸めることである。その丸めによって生じた誤差は量子化誤差(quantize-tion error)と呼ばれ、A/D 変換では避けられない誤差である。また、基準電圧によって異なる整数値になる。整数値に丸める方法としては切り捨て法、切り上げ法、四捨五入法の三通りが考えられる。一般的には、二乗平均誤差が最も小さくなる四捨五入法が用いられる。

#### 2.1.3 符号化

符号化(coding)とは、量子化によって丸められた整数値を 2 進コードに変換することである。A/D 変換器に入力

a)大学院電気電子工学専攻

b)工学部准教授

される電圧はユニポーラ形とバイポーラ型とがある。ユニポーラ形とは、例えば  $0 \sim +5[V]$  のように正の極性だけを持つものをいい、バイポーラ形とは、例えば  $-2.5 \sim +2.5[V]$  のように両極性を持つものをいう。

## 2.2 A/D 変換器の諸特性

### 2.2.1 入出力特性

A/D 変換器の入出力特性は横軸にアナログ入力電圧、縦軸に出力のデジタルコードを取ったものである。量子化誤差が最小になるように  $-1/2LSB$  のオフセットを与えた特性を図に示した。この図 6 ではフルスケールレンジ

(FSR) が  $8[V]$  であり、FSR の 8 等分の値  $1[V]$  ごとの電圧をオフセット ( $=-0.5[V]$ ) 分ずらしてデジタルビットで示したものである。  $0[V]$ 、 $0.5[V]$  以降は  $1[V]$  毎に、1 つのデジタルビットずつ変化する。例えば、 $0.5[V] \leq V_a < 1.5[V]$  に示す範囲内のデジタルビットは "001" である。また、このときの分解能は

$$1LSB = 8/2^3 = 1[V]$$

であり、量子化誤差は  $1/2LSB (=0.5[V])$  である

### 2.2.2 A/D 変換器の仕様

A/D 変換器の仕様について各項目ごとに説明する。

**分解能** A/D 変換における分解能 (resolution) はデジタル信号の 1 段階の変化に対する最小の識別可能な出力変化をいう。たとえば、 $8[V]$  の FSR で 3 ビットの分解能は  $8/2^3 = 1[V]$  である。この分解能を  $1LSB$  あるいは  $\Delta$  と表記する。あるいは  $12.5\% (1/2^3)$  ととってもよい。10 ビットならば分解能は約  $0.1\% (1/2^{10})$  である。

**精度** A/D 変換器の精度は量子化誤差や外部からの雑音および素子のばらつきなどに大きく影響される。通常、量子化誤差は  $\pm 1/2LSB$  ではあるが、仕様として示される精度はそれ以外の誤差の合計として表される。精度の代表値は FSR の  $\pm 0.02\%$  である。A/D 変換器のビット長はこれらを考慮して決められている。

**変換時間** A/D 変換器における変換時間 (conversion time) は、変換開始命令を与えてから実際にデジタル出力を終えるまでの時間である。変換時間の代表値は高速なもので  $3 \sim 5[ns]$ 、低速なもので数  $[ms]$  である。

## 2.3 逐次近似型 ADC

図 1 に示すように、逐次比較型 A-D コンバータは、コンパレータ (比較器)、逐次比較レジスタ (SAR)、クロック発生器の 4 ブロックから構成される。実際の IC では、変換動作の間入力電圧を保持するサンプル&ホールド・アンプが  $\times$  に示す箇所にはいる。

変換の手順は上皿天秤を使用した計測方法と同様で、分解能が 4 ビットの場合、 $1g, 2g, 4g, 8g$  といった 2 進数の重みづけ (バイナリウエイト) を持ったおもりを用意し、天秤の片方の皿に被測定物を乗せる。

仮に  $D_3 \sim D_0$  の 4 ビットとすると、最も重いおもりの

$8g$  は、最も重みづけの大きいビット (MSB) の  $D_3$  に相当し、最も軽い  $1g$  は、最も重みづけの小さいビット (LSB) の  $D_0$  となる。

被測定物の重さを  $5g$  の変換手順を次に示す。

① 最も重いおもりを、もう一方の天秤皿に乗せて比較する。

この場合は、おもりの合計  $>$  被測定物なので、 $8g$  は取り去り、 $D_3$  ビットは '0' とする

②  $8g$  の次に重い  $4g$  のおもりを天秤皿に乗せて比較する。今度は、おもり合計  $<$  被測定物なので、 $4g$  はのせたままにして  $D_2$  ビットを '1' にする。

③  $4g$  の次に重い  $2g$  のおもりを追加 (合計  $6g$ ) して比較すると、おもり合計  $>$  被測定物なので、 $2g$  のおもりは取り去って  $D_1$  ビットを '0' にする。

④ 最後に、一番軽いおもり  $1g$  を天秤皿に乗せて比較すると、天秤皿が平衡したので、 $D_0$  ビットを '1' にする。このときのおもりの合計が被測定物の重さになるので、最終的な出力データは '0101' が得られる。

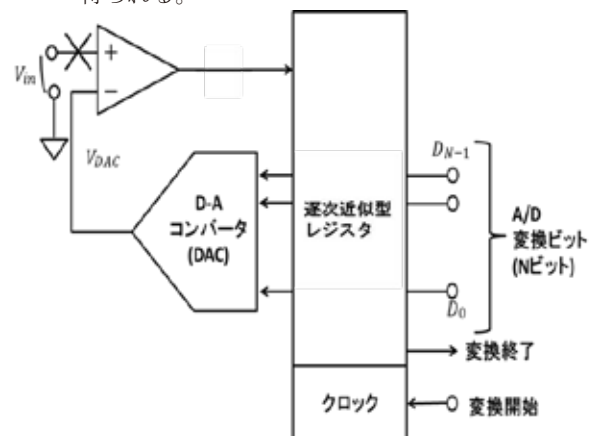


図 1. 逐次近似型 ADC の構成。

## 3 スイッチドキャパシタ逐次近似型 A/D 変換器

### 3.1.1 提案回路 $\alpha$

図 2 に提案回路  $\alpha$  である演算増幅器を用いた SC 逐次近似型 A/D 変換器の回路図を示す。この回路図は  $V_r$  に入力された電圧を変換し、出力する回路図である。また DAC 部分ではサンプルホールド回路一つと分圧回路一つから構成される。スイッチ表は表 1 に示す。

キャパシタの容量値  $C_U = 10pF, C_L = 10pF, C_A = 9.95pF, C_B = 10.05pF$ 、と設定する。 $C_3$  と  $C_4$  は容量不整合  $1\%$  となっている。

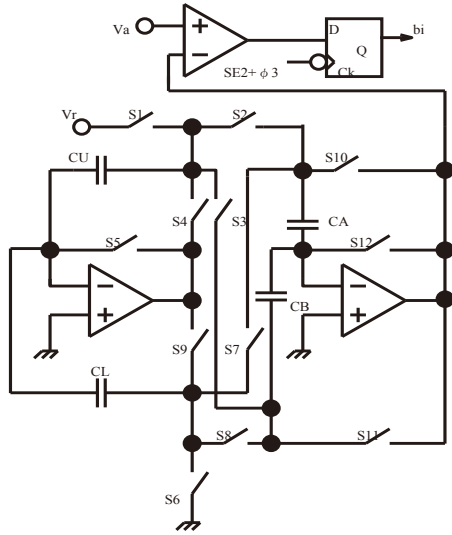


図 2. 提案回路  $\alpha$ .

表 1. 提案回路  $\alpha$  のスイッチ図.

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
SA1	1	1	0	0	1	1	0	0	1	0	0	0
SA2	1	0	0	0	1	1	0	0	0	1	1	0
$\phi 1$	0	bi	0	0	1	0	0	bi	0	1	1	0
$\phi 2$	0	bio	bio	bi	0	0	bio	bio	bi	0	0	1
$\phi 3$	0	0	0	0	1	0	0	0	0	1	1	0
SB1	1	0	1	0	1	1	1	0	0	0	0	1
SB2	1	0	0	0	1	1	0	0	0	1	1	0
$\phi 1$	0	bi	0	0	1	0	0	bi	0	1	1	0
$\phi 2$	0	bio	bio	bi	0	0	bio	bio	bi	0	0	1
$\phi 3$	0	0	0	0	1	0	0	0	0	1	1	0

### 3.1.2 提案回路 $\beta$

図 3 に提案回路  $\beta$  である演算増幅器を用いた SC 逐次近似型 A/D 変換器を示す。この回路図は  $V_r$  に入力された電圧を変換し、出力する回路図である。また DAC 部分ではサンプルホールド回路 2 つと分圧回路一つから構成される。スイッチ表は表 2 に示す。

提案回路  $\alpha$  とはサンプルホールド回路の使用が異なりこちらの回路では測定時の電圧測定が安定する。回路動作は基本的には提案回路  $\alpha$  と相違はない。回路構成はキャパシタの容量値  $C_1=10\text{pF}$ ,  $C_2=10\text{pF}$ ,  $C_3=9.95\text{pF}$ ,  $C_4=10.05\text{pF}$ , と設定する。

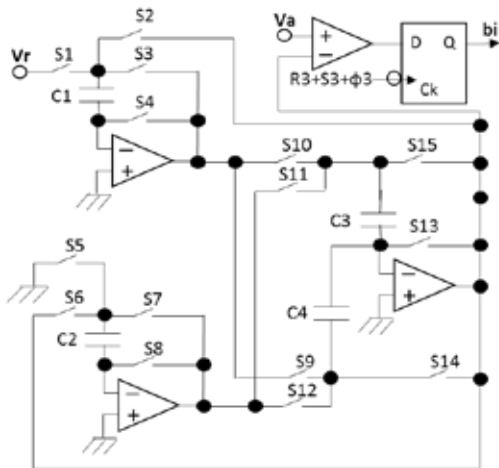


図 3. 提案回路  $\beta$ .

表 2. 提案回路  $\beta$  のスイッチ表.

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15
R1	1	0	0	1	1	0	0	1	0	0	1	1	1	0	0
R2	0	0	1	0	0	0	1	0	1	1	1	0	1	0	0
R3	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1
$\phi 1$	0	bi-1e	0	1	0	bi-1	0	1	0	0	0	0	0	1	1
$\phi 2$	0	0	1	0	0	0	1	0	0	e	0	e	1	0	0
$\phi 3$	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
S1	1	0	0	1	1	0	0	1	0	0	1	1	1	0	0
S2	0	0	1	0	0	0	1	0	0	1	0	1	1	0	0
S3	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
$\phi 1$	0	bi-1e	0	1	0	bi-1	0	1	0	0	0	0	0	0	1
$\phi 2$	0	0	1	0	0	0	1	0	0	e	0	e	1	0	0
$\phi 3$	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1

### 3.2 回路動作

図 3 の回路の動作を次のように示す。

- $R_1$ : 基準電圧  $V_r$  が  $C_1$  に充電され、 $C_2$  では接地とつながり放電される。
- $R_2$ :  $C_1$  と  $C_2$  に充電された電荷が  $C_3$  と  $C_4$  に転送される。
- $R_3$ : 基準電圧  $V_r$  が  $C_1$  に充電、 $C_2$  は放電され、 $C_3$  と  $C_4$  が並列接続となり両端電圧が等しくなる。
- $\phi_1$ :  $C_3$  と  $C_4$  の両端電圧が  $bi-1$  の制御により  $C_1$  または  $C_2$  に転送される。
- $\phi_2$ : 奇数回目では  $C_1$  の電荷が  $C_4$  に、 $C_2$  の電荷が  $C_3$  に転送される。  
偶数回目では  $C_1$  の電荷が  $C_3$  に、 $C_2$  の電荷が  $C_4$  に転送される。
- $\phi_3$ :  $C_3$  と  $C_4$  が並列接続となり両端電圧が等しくなる。

$\phi_1 \sim \phi_3$  を 16 回繰り返す。

- $S_1$ : 基準電圧  $V_r$  が  $C_1$  に充電され、 $C_2$  では接地とつながり放電される。
- $S_2$ :  $C_1$  と  $C_2$  に充電された電荷が  $C_3$  と  $C_4$  に転送される。
- $S_3$ : 基準電圧  $V_r$  が  $C_1$  に充電、 $C_2$  は放電され、 $C_3$  と  $C_4$  が並列接続となり両端電圧が等しくなる。
- $\phi_1$ :  $C_3$  と  $C_4$  の両端電圧が  $bi-1$  の制御により  $C_1$  または  $C_2$  に転送される。
- $\phi_2$ : 奇数回目では  $C_1$  の電荷が  $C_4$  に、 $C_2$  の電荷が  $C_3$  に転送される。  
偶数回目では  $C_1$  の電荷が  $C_3$  に、 $C_2$  の電荷が  $C_4$  に転送される。
- $\phi_3$ :  $C_3$  と  $C_4$  が並列接続となり両端電圧が等しくなる。

$\phi_1 \sim \phi_3$  を 16 回繰り返す。

図 2 の回路動作においても同様の動作を繰り返す。 $C_1, C_2$  は  $C_U, C_L$  に  $C_3, C_4$  は  $C_A, C_B$  に置き換える。

## 4 シミュレーション結果

動作原理を確認するために、SIMetrix を用いて実験を行った。基準電圧  $V_r$  は 1[V] に設定している。CONV1 は一度目の変換、CONV2 は二度目の変換、平均化は CONV1

と CONV2 を平均した値であり、誤差ビットは真値から平均値を引いたものである。

提案回路  $\alpha$  の素子設定を表 3 の用に、提案回路ベータの素子設定を表 4 の用に定める。

表 3. 提案回路  $\alpha$  の素子パラメータ.

素子	値
$C_U, C_L$	10.00[pF]
$C_A$	10.05[pF]
$C_B$	9.95[pF]
$V_r$	1.0[V]
オペアンプの利得	100[dB]
スイッチ	オン抵抗 1.0[k $\Omega$ オフ抵抗 100[T $\Omega$ ]

表 4. 提案回路  $\beta$  の素子パラメータ.

素子	値
$C_1, C_2$	10.00[pF]
$C_3$	9.95[pF]
$C_4$	10.05[pF]
$V_r$	1.0[V]
$\epsilon$	1[%]
スイッチ	オン抵抗 1.0[k $\Omega$ オフ抵抗 100[T $\Omega$ ]

$V_a=666.6565[mV]$  のとき

提案回路  $\alpha$  において

$V_a = 666.6565[mV]$  に設定した時得られたビットを次に示す。

CONV 1 : 1010 1001 1101 0000  
 CONV 2 : 1010 1011 1000 0100  
 平均化 : 1010 1010 1010 1010  
 誤差ビット : 0000 0000 0000 0000

提案回路  $\beta$  において

$V_a = 666.6565[mV]$  に設定した時得られたビットを次に示す。

CONV 1 : 1010 1010 1111 0000  
 CONV 2 : 1010 1010 0110 0000  
 平均化 : 1010 1010 1010 1000  
 誤差ビット : 0000 0000 0000 0010

出力電圧 0~937.5[mV]まで 62.5[mV]刻みで測定した結果を表 5,6 にまとめた

図 4、図 5 は表 5、表 6 のデータを踏まえて、縦軸を誤差ビット、横軸を出力電圧でとったグラフである。

表 5. 提案回路  $\alpha$  の測定結果.

入力電圧[mV]	平均ビット	誤差ビット	分解能[bit]
0	0000 0000 0000 0000 0	0000 0000 0000 0000 0	17
62.5	0000 1111 1111 1111 1	0000 0000 0000 0000 1	16
125	0001 1111 1111 1111 0	0000 0000 0000 0001 0	15
187.5	0010 1111 1111 1111 0	0000 0000 0000 0001 0	15
250	0011 1111 1111 1111 1	0000 0000 0000 0000 1	16
312.5	0100 1111 1111 1111 1	0000 0000 0000 0000 1	16
375	0101 0101 0011 1111 0	0000 0000 0000 0000 1	16
437.5	0101 0101 0101 0100 0	0000 0000 0000 0001 0	15
500	0110 0000 0000 0001 0	0000 0000 0000 0001 0	15
562.5	1000 1111 1111 1111 1	0000 0000 0000 0001 0	15
625	1000 1111 1111 1111 1	0000 0000 0000 0000 1	16
687.5	1010 0000 0000 0010 0	0000 0000 0000 0010 0	14
750	1010 1010 0111 1110 1	0000 0000 0000 0000 0	17
812.5	1010 1010 1010 1011 0	0000 0000 0000 0000 1	16
875	1010 1111 1111 1100 1	0000 0000 0000 0011 1	14
937.5	1011 1111 1111 1110 0	0000 0000 0000 0010 0	14
	1100 1111 1111 1110 0	0000 0000 0000 0010 0	14
	1110 0000 0000 0000 0	0000 0000 0000 0000 0	17
	1110 1111 1111 1111 1	0000 0000 0000 0000 1	16

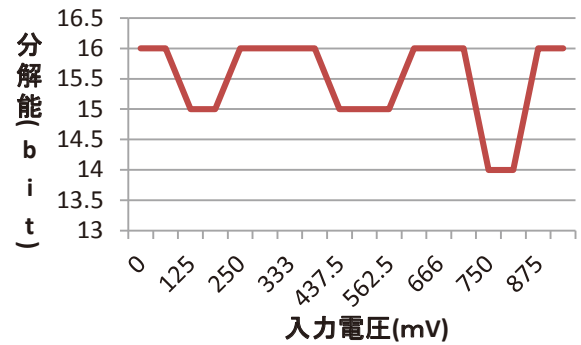


図 4. 提案回路  $\alpha$  の測定結果.

表 6. 提案回路  $\beta$  の測定結果.

入力電圧[mV]	平均ビット	誤差ビット	分解能[bit]
0	0000 0000 0000 0000	0000 0000 0000 0000	16
62.5	0001 0000 0000 0000	0000 0000 0000 0000	16
125	0010 0000 0000 0000	0000 0000 0000 0000	16
187.5	0011 0000 0000 0000	0000 0000 0000 0000	16
250	0100 0000 0000 0000	0000 0000 0000 0000	16
312.5	0101 0000 0000 0001	0000 0000 0000 0001	15
375	0101 0101 0101 1000	0000 0000 0000 0011	14
437.5	0101 0101 0101 1000	0000 0000 0000 0011	14
500	0110 0000 0000 0001	0000 0000 0000 0001	15
562.5	1000 1111 1111 1111	0000 0000 0000 0000	16
625	1001 0000 0000 0000	0000 0000 0000 0000	16
687.5	1001 1111 1111 1111	0000 0000 0000 0001	15
750	1010 1010 1010 1000	0000 0000 0000 0010	14
812.5	1010 1010 1010 1000	0000 0000 0000 0010	14
875	1010 1111 1111 1111	0000 0000 0000 0001	15
937.5	1100 0000 0000 0000	0000 0000 0000 0000	16
	1101 0000 0000 0000	0000 0000 0000 0000	16
	1110 0000 0000 0000	0000 0000 0000 0000	16
	1111 0000 0000 0000	0000 0000 0000 0000	16

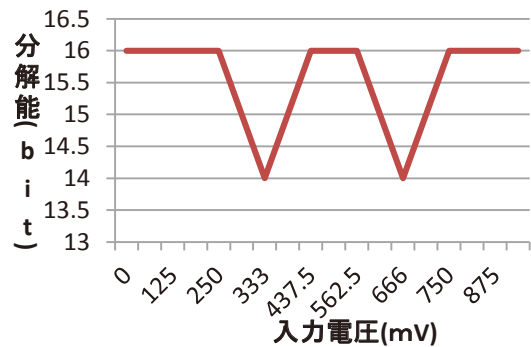


図 5. 提案回路  $\beta$  の測定結果

## 5 考察

SC 逐次近似型 AD 変換器  $\alpha$  では容量比不整合による影響で CONV1 と CONV2 のそれぞれの変換を単体で捉えると  $V_a=500$  [mV] の場合では、分解能は 8 [bit] であった。それぞれの変換による値を平均化することにより、分解能は 15 [bit] が得られる。

また、容量比不整合 1 [%] の時、表 5 より  $V_a=625$  [mV]、687.5 [mV]、750 [mV]、812.5 [mV] で、誤差が最大になった。そして、分解能が 14 [bit] となることが確認された。

SC 逐次近似型 AD 変換器  $\beta$  では容量比不整合による影響で CONV1 と CONV2 のそれぞれの変換を単体で捉えると  $V_a=500$  [mV] の場合では、分解能は 8 [bit] であった。それぞれの変換による値を平均化することにより、分解能は 16 [bit] が得られる。

また、容量比不整合 1 [%] の時、表 5 より  $V_a=333$  [mV]、666 [mV] で、誤差が最大になった。そして、分解能が 14 [bit] となることが確認された。

2 つの回路を比較すると回路  $\alpha$  では 250, 500, 750 [mV] 付近で誤差が見られ、回路  $\beta$  では 333, 666 [mV] 付近で誤差が発生し、それぞれ違う傾向で誤差が発生しているのがわかる。

今後の課題として、それぞれの回路での誤差原因の追究と変換を 2 回行ったことにより変換時間も 2 倍になったので、変換の精度を維持させたまま変換時間を短縮させていくことが必要であると考えられる。

## 参考文献

- 1) Satomi Ogawa, Student Member, IEEE, and Kenzo Watanabe, "A Switched-Capacitor Successive-Approximation A/D Converter", IEEE Transactions on Instrumentation and Measurement, pp. 847-853, Vol. 42, No. 4, Aug. 1993.
- 2) 渡辺健蔵・松本寛樹・藤原一伸著, スイッチドキャパシタ循環型データ変換器, 静岡大学電子工学科研究報告, pp. 105~114, 7月 1985.
- 3) Poki Chen, Member, IEEE, and Ting-Chun Liu, "Switching Schemes for Reducing Capacitor Mismatch Sensitivity of QuaSi-Passive Cyclic DAC", IEEE Transaction on Circuits and Systems—II: EXPRESS BRIEFS, pp. 26-30, Vol. 56, No. 1, Jan. 2009
- 4) Watanabe Kenzo, Temes Gabor, Tagami Tomohisa, "A New Algorithm for Cyclic and Pipeline Data Conversion", IEEE Transaction on Circuits and Systems, pp. 249-252, vol. 37, No. 2, Feb. 1990.