

真空紫外光 CVD による次世代積層型システム LSI
作製用要素プロセス技術の開発

15360194

平成 15 年度～平成 17 年度

科学研究費補助金(基盤研究(B))研究成果報告書

平成 18 年 4 月 30 日

研究代表者 亀山晃弘

宮崎大学工学部 助手

目 次

はしがき

研究概要	1
研究組織	2
交付決定額	2
研究発表	3
(1) 学会誌等	
(2) 口頭発表	
(3) 出版物	
研究成果による工業所有権の出願取得状況	9

研究成果

1 次世代新方式 LSI の概念	1 0
1-1. はじめに	1 0
1-2. SiP (System in Package) と SoC (System on Chip) について	1 1
1-3. SiP の問題点	1 3
1-4. SiP 用の Via ホール作製技術	1 6
1-5. おわりに	1 7
1-6. 参考文献	1 7
2 真空紫外光 CVD 法	1 8
2-1. はじめに	1 8
2-2. CVD の反応機構	1 9
2-3. 反応機構の解析手法	2 0
(1) 反応の活性化エネルギー	2 1
(2) 段差被覆性	2 3
2-4. 光 CVD の特徴	2 4
2-5. 光 CVD における反応機構	2 8
2-6. 参考文献	3 1
3 SiP 用 Via ホールへの基板加工技術の開発	3 3
3-1. はじめに	3 3
3-2. プラズマエッチング装置の製作	3 4

3-2-1.	プラズマエッチングの原理	3 4
3-2-2.	プラズマエッチング装置の概略	3 7
3-2-3.	装置の立ち上げと調整	4 1
3-3.	RIE を用いたシリコンウエハー上の Via ホールを模した微細構造の作製 と SEM 観察	4 1
3-3-1.	試料作製	4 1
3-3-2.	実験結果	4 2
3-4-3.	まとめ	4 6
3-4.	フェムト秒レーザーによる加工	4 7
3-4-1.	フェムト秒レーザーによる加工におけるこれまでの成果	4 7
3-4-2.	フェムト秒レーザーによる材料加工の原理	4 8
3-4-3.	実験方法	4 8
3-4-4.	シリコンとガラスの加工穴直径変化の計測	5 5
3-4-5.	実験結果	5 6
3-4-6.	考察	6 1
3-4-7.	まとめ	6 3
3-5.	おわりに	6 3
3-6.	参考文献	6 4
4	真空紫外光 CVD による SiP 用 Via ホールへの絶縁薄膜の作製と評価	6 5
4-1.	はじめに	6 5
4-2.	実験装置及び方法	6 7
4-2-1.	実験装置	6 7
4-2-2.	SiO ₂ 薄膜作製	6 7
4-2-3.	断面観察	6 8
4-3.	実験結果	7 1
4-3-1	断面観察結果	7 1
4-3-2	原料依存性	7 2
4-3-3	酸素添加効果	7 7
4-3-4	ランプ波長依存性	8 2
4-4.	考察	8 8
4-4-1	深さ、幅による影響	8 8
4-4-2	薄膜の隙間と剥離	8 8
4-4-3	ランプ波長依存性	9 0
4-5.	はじめに	9 1

4-6 参考文献	92
付録	93
卷末言	110

は し が き

本報告書は平成15年度から平成17年度におよぶ科学研究費補助金により行われた調査・研究の成果をまとめたものである。SiP (System in Package) は次世代 LSI 設計の新しい概念である。従来の LSI は主にメモリーなど単一機能を有する回路を1チップの上に作製し、外部回路としてコンピューターなどのシステムを作り上げていくのが主流であった。昨今、メモリーなどの単純なチップは東南アジアにその生産拠点が奪われつつあり、我国の LSI 生産の主力は、より複雑で多彩な構造・機能を持ち、携帯電話・電子マネー・カード IC など、ユーザーのニーズに応じて設計するシステム LSI への移行が余儀なくされている。LSI のシステム化には1つのチップにあらかじめ必要とされる全機能を設計する SoC (System on Chip) といくつかの要素モジュールを開発しそれを積層化させる SiP の2通りの概念が有力と見られており、そのうち SiP は、①開発期間が短く、②小型化が望め、③100万個以下の生産量において低コスト化が望めるという特徴で、SoC にまさっているため開発が強く望まれている。現在、従来と同じ厚さ2~300 μm の基板を用いた IC を重ね合わせることによって試作品を作っており、各要素技術の開発がおこなわれつつある。しかし、高速化・省電力化の点で問題があるため、将来的には、これから開発される新しい技術を集結させて新しくチップ貫通電極を介して多層化する事が求められている。しかしながら、複数のチップを連結させるということは、信号等のソフト、ハード面での規制作り、そのための要素技術など、開発項目は山積み状態である。特に基板の貫通穴内面に絶縁膜を施す技術は未だまったく手をつけられておらず、強く開発が求められている。本研究では、申請者がこれまで提案し、実用化技術としてその特性を磨き抜いてきた真空紫外光 CVD 技術をさらに発展させて SiP 型 LSI 作製のための要素技術として不可欠な貫通穴電極用絶縁膜の作製技術の開発を行うことを目的とする。

本報告書では、「研究成果」の項目で、平成15~17年度基盤研究(B)「真空紫外 CVD による次世代積層型システム LSI 作製用要素プロセス技術の開発」において、得られた研究成果を概説する。第1章では、LSI の付加価値を高めるため盛んに開発されている SiP (System in Package) の原理についておよび、SiP 開発における技術的な問題点を述べる。第2章では、我々が開発した真空紫外光 CVD の概略について述べる。第3章では、SiP 用の Via ホールを作製する為の技術開発について報告する。第4章では、真空紫外光 CVD による SiP 用 Via ホールへの絶縁薄膜の作製について報告する。

研究組織

研究においては研究代表者を含めて当初（H15.4～H17.9）は3名の体制で行った。研究代表者は黒澤宏（宮崎大学工学部教授）である。黒澤は研究全般の企画・立案を行い、装置の設計・改造を行い、分担者である亀山(宮崎大学工学部助手)が実験を行った。得られたデータを解析し、次の実験条件へのフィードバックは、もう1人の分担者である横谷(宮崎大学工学部助教授)が行った。H17.9に代表者である黒澤が宮崎大学を退職したことにより、H17.10に代わりに亀山が代表者となり、横谷と共に2名で研究を遂行した。

H15.4～H17.9

研究代表者：黒澤宏（宮崎大学工学部教授）

研究分担者：横谷篤至(宮崎大学工学部助教授)

研究分担者：亀山晃弘(宮崎大学工学部助手)

H17.10～H18.3

研究代表者：亀山晃弘

研究分担者：横谷篤至

変更の理由

黒澤がH17.9.30付けで退職(科学技術振興機構JSTサテライト宮崎に就職)したため、研究代表者を亀山に変更した。

交付決定額(配分額)

(金額単位：千円)

	直接経費	間接経費	合計
平成18年度	7,200	0	7,200
平成19年度	5,000	0	5,000
平成20年度	2,200	0	2,200
総計	14,400	0	14,400

研究発表

(1) 学会誌等

- 1) “Second harmonic generation in high-purity silica glasses by a combination of thermal poling and UV laser pulse irradiation”
A. Kameyama, A. Yokotani and K. Kurosawa, *Proc. of The Third Asian Pacific Laser Symposium 2002(APLS2002), TuSC2, Senri Life Science Center Osaka*, pp. 86-89, (2003).
- 2) “真空紫外光 CVD 法による有機シロキサンを用いた酸化膜形成評価”
宮野淳一, 黒澤宏, 横谷篤至: 電気学会論文誌 C, **123(5)**, 858-863, (2003).
- 3) “VUV-CVD 法で生成したシリカ膜の電気特性”
本山理一, 黒澤宏, 横谷篤至: 電子情報通信学会(エレクトロニクスソサイエティ C) **86(8)**, 913-919, (2003).
- 4) “飛行時間型質量分析法による表面微量分析技術の開発”
吉岡章夫, 上村一秀, 柳田英明, 横谷篤至, 黒澤宏: 宮崎大学工学部紀要, **32**, 107-113, (2003).
- 5) “PLD 法による結晶性チタン酸バリウム薄膜の作製”
若松攻二, 横谷篤至, 黒澤宏: 宮崎大学工学部紀要, **32**, 114-122, (2003).
- 6) “真空紫外エキシマランプによる銅薄膜の室温合成に関する研究”
今村一晴, 前園好成, 横谷篤至, 黒澤宏: 宮崎大学工学部紀要, **32**, 123-128, (2003).
- 7) “Growth of oriented LaF₃ thin films on Si (100) substrates by the pulsed laser deposition method”
A. Yokotani, T. Ito, A. Sato, and K. Kurosawa, *J. Korean Cryst. Growth and Cryst. Technol.*, **13(4)**, 157-161, (2003).
- 8) “Atmospheric pressure deposition of silica thin films by photo-CVD using vacuum ultraviolet excimer lamp”
Y. Maezono, K. Nishi, A. Yokotani, and K. Kurosawa, *Proc. of Chemical Vapor Deposition XVI and EUROCVI 14*, **1**, pp. 596-602, (2003).
- 9) “フェムト秒レーザアブレーションにおけるレーザ発振条件の加工特性に及ぼす影響”
沢田博司, 川原公介, 二宮孝文, 横谷篤至, 黒澤宏, 精密工学会誌, **69(1)**, 83-88, (2003).
- 10) “フェムト秒レーザを用いた薄板半導体基板の切断加工技術の開発”
横谷篤至, 黒木泰宣, 松尾直之, 川原公介, 二宮孝文, 黒澤宏, 電気学会論文誌 C, **123(2)**, 216-221, (2003).

- 11) “Room Temperature Deposition of SiO₂ thin film by Photo-CVD using Vacuum Ultraviolet Light”
Y. Maezono, J. Miyano, A. Yokotani, and K. Kurosawa, *Proc. of The Third Asian Pacific Laser Symposium 2002(APLS2002)*, *WeLB2, Senri Life Science Center Osaka*, pp. 127-130, (2003).
- 12) “Development of Dicing Technique for Thin Semiconductor Substrate With Femtosecond Laser”
A. Yokotani, Y. Kurogi, N. Matsuo, K. Kurosawa, K. Kawahara, T. Ninomiya, H. Sawada, *Proc. of The Third Asian Pacific Laser Symposium 2002(APLS2002)*, *TuLB3, Senri Life Science Center Osaka*, pp. 27-30, (2003).
- 13) “Characteristics of double pulsed femtosecond laser ablation on silicon”
T. Ninomiya, H. Sawada A. Yokotani, and K. Kurosawa, *Proc. of The Third Asian Pacific Laser Symposium 2002(APLS2002)*, *TuLA3, Senri Life Science Center Osaka*, pp. 7-10, (2003).
- 14) “真空紫外エキシマランプ光 CVD によるシリカ薄膜常圧形成技術の開発”
前園好成, 横谷篤至, 黒澤宏, 菱沼宣是, 松野博光, *レーザー研究*, **32(1)**, pp. 54-57 (2004).
- 15) “Second-order optical nonlinearity and change in refractive index in silica glasses by a combination of thermal poling and x-ray irradiation”
A. Kameyama, A. Yokotani and K. Kurosawa, *Journal of Applied Physics*, **95(8)**, 4000-4006, (2004).
- 16) “真空紫外光 CVD を用いた半導体プロセス低温化技術”
横谷篤至, 甘利紘一, 石村想, 黒澤宏, 歳川清彦, 宮野淳一, *電気学会光・量子デバイス研究会*, **OQD-04-34**, 13-18, (2004).
- 17) “フェムト秒レーザーを用いた半導体関連材料の加工と特性の評価”
横谷篤至, 水野俊男, 向本徹, 川原公介, 二宮孝文, 沢田博司, 黒澤宏, *電気学会論文誌 C*, **124(11)**, 2267-2273, (2004).
- 18) “シリコン清浄表面上における TEOS 分子の光分解過程の観測”
柳田英明, 上村一秀, 黒澤宏, 横谷篤至, *電気学会論文誌 C*, **124(7)**, 1410-1415, (2004).
- 19) “紫外レーザーを用いたファイバグレーティングセンサの作製と評価特性”
加藤隆晴, 佐藤明子, 福島康広, 亀山晃弘, 甲藤正人, 横谷篤至, 黒澤宏, *宮崎大学工学部紀要*, **33**, 81-86, (2004).
- 20) “フェムト秒レーザーを用いた半導体関連材料の加工と特性の評価”
水野俊男, 向本徹, 横谷篤至, 川原公介, 二宮孝文, 沢田博司, 黒澤

- 宏, 宮崎大学工学部紀要, **33**, 93-99, (2004).
- 21) “ファイバークレーティングセンサ反射特性のシュミレーションによる解析”
佐藤明子, 福島康広, 加藤隆晴, 亀山晃弘, 甲藤正人, 横谷篤至, 黒澤 宏, 宮崎大学工学部紀要, **33**, 111-116, (2004).
 - 22) “PLD 法によるハイドロキシアパタイト被膜の形成”
甲藤 正人, 黒澤 宏, 横谷 篤至, 窪寺 昌一, 亀山 晃弘, 東口 武史, 中山 斌義, 塚本 雅裕, 阿部 信行, 電気学会 光・量子デバイス研究会, **OQD-04-33**, 7-11, (2004)
 - 23) “Characterization of SiO₂ Films Deposited by VUV-CVD Using OMCTS Precursor”
K. Toshikawa, J. Miyano, Y. Yagi, A. Yokotani and K. Kurosawa, *4th-International Symposium on Dry Process 2004, Tokyo*, **6(5)**, pp. 341-346, (2004.11.30-12.1)
 - 24) “Analysis of the photochemical reaction on the surface for room temperature deposition of SiO₂ thin films by photo-CVD using vacuum ultraviolet light”
A. Yokotani, K. Amari, Y. Maezono, K. Toshikawa, and K. Kurosawa, *Japanese Journal of Applied Physics*, **44(2)**, 1019-1021, (2005).
 - 25) “Time-resolving image analysis of drilling of thin silicon substrates with femto-second laser ablation”
A. Yokotani, T. Mukumoto, Y. Kanamitsu, H. Fukumoto, K. Kurosawa, *Japanese Journal of Applied Physics*, **44(11)**, 7998-8003, (2005).
 - 26) “Amorphous silicon film deposition from SiH₄ by chemical vapor deposition with argon excimer lamp”
K. Toshikawa, A. Yokotani, and K. Kurosawa, *Japanese Journal of Applied Physics*, **44(11)**, 7785-7788, (2005).
 - 27) “Poly-crystallized hydroxyapatite coating deposited by pulsed laser deposition method at room temperature”
M..Katto, K. Kurosawa, A. Yokotani, S. Kubodera, A. Kameyama, T. Higashiguchi, T. Nakayama and M. Tsukamoto, *Applied Surface Science*, **248(1)**, 365-368, (2005).
 - 28) “高エネルギー及び高輝度光源を用いたマテリアルプロセッシングの研究”
亀山晃弘, 甲藤正人, 横谷篤至, 黒澤宏, レーザー研究第 241 回研究会 (レーザー応用), **RTM-05-32**, pp. 5-10, (2005).
 - 29) “物質表面における光化学反応の原子レベルでの観測と制御”
上村一秀, 吉田智司, 横谷篤至, 黒澤宏, 宮崎大学工学部紀要, **34**, 103-107, (2005).

30) “Applications of OLEDs that use VUV-CVD films”

K. Toshikawa, J. Miyano, A. Yokotani, K. Kurosawa, and Y Matsumoto, Journal of the Society for Information Display, **13(5)**, 453-457, (2005).

口頭発表等

国内学会 研究会

- 1) “エキシマランプを用いた真空紫外光 CVD におけるシリカ薄膜の成膜過程の解析”
前菌好成, 水海陽介, 宮野淳一, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, 第 50 回応用物理学会関係連合講演会, 27a-ZX-II-1, 神奈川大学 (2003 年 3 月 27-30 日).
- 2) “エキシマランプを用いた真空紫外光 CVD におけるシリカ薄膜の成膜過程の解析 II”
前菌好成, 水海陽介, 宮野淳一, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, 第 64 回応用物理学会関係連合講演会, 1p-YH-II-4, 福岡大学 (2003 年 8 月 30-9 月 2 日).
- 3) “フェムト秒レーザーを用いた薄板半導体基板のダイシング技術の開発～加工ダイナミックスの計測～”
平山正士, 水野俊男, 横谷篤至, 黒澤宏, 川原公介, 二宮孝文, 沢田博司, 第 64 回応用物理学会関係連合講演会, 30p-ZQ-III-10, 福岡大学 (2003 年 8 月 30-9 月 2 日).
- 4) “真空紫外光 CVD におけるシリコン清浄面への酸化物薄膜形成過程の観察”
上村一秀, 柳田英明, 横谷篤至, 黒澤宏, 平成 15 年度応用物理学会九州支部学術講演会, 1Ap-13, ハウステンボス (2003 年 12 月 5-6 日).
- 5) “フェムト秒レーザーを用いた薄板半導体基板のダイシング技術の開発～加工ダイナミックスの計測～”
向本徹, 水野俊男, 横谷篤至, 黒澤宏, 二宮孝文, 沢田博司, 平成 15 年度応用物理学会九州支部学術講演会, 1Cp-8, ハウステンボス (2003 年 12 月 5-6 日).
- 6) “真空紫外光 CVD による TMCTS を用いたシリカ薄膜の作製”
前菌好成, 水海陽介, 宮野淳一, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, レーザー学会学術講演会 第 23 回年次大会, 30a-I-1, アクトシティ浜松コンgresセンター (2003 年 1 月 30-31 日).
- 7) “フェムト秒レーザーアブレーションによる薄板半導体基板の切断加工技術の開発”
松尾直之, 黒木泰宣, 川原公介, 二宮孝文, 沢田博司, 横谷篤至, 黒澤

- 宏, レーザー学会学術講演会 第 23 回年次大会, 31a-II-8, アクトシティ
浜松コンgresセンター (2003 年 1 月 30-31 日).
- 8) “フェムト秒レーザー照射による表面周期構造の形成”
川原公介, 二宮孝文, 沢田博司, 横谷篤至, 黒澤宏, レーザー学会学術
講演会 第 24 回年次大会, 30aII-4, 仙台国際センター (2004 年 1 月 29-30
日).
- 9) “真空紫外光 CVD による SiO₂ 薄膜の室温形成における光表面
化学反応過程の解析”
甘利紘一, 前園好成, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, 第 51 回
応用物理学関係連合講演会, 東京工科大学, 28a-ZE-II-3, (2004 年 3 月 28-31 日).
- 10) “フェムト秒レーザーを用いたシリコンウエハーの切断加工”
二宮孝文, 川原公介, 沢田博司, 横谷篤至, 黒澤宏, 第 51 回応用物理学
関係連合講演会, 東京工科大学, 28a-ZE-II-3, (2004 年 3 月 28-31 日).
- 11) “フェムト秒レーザーを用いた薄板半導体基板のダイシング技術の開発～加
工ダイナミックスの計測Ⅱ～”
向本徹, 水野俊男, 横谷篤至, 黒澤宏, 二宮孝文, 川原公介, 沢田博司,
第 51 回応用物理学関係連合講演会, 東京工科大学, 30a-L-III-9, (2004 年 3 月
28-31 日).
- 12) “エキシマランプを用いた光 CVD 法によるアモルファス Si 薄膜の低温形成
技術の開発”
石村想, 歳川清彦, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, 第 65 回
応用物理学学会学術講演会, 東北学院大学 泉キャンパス (宮城県仙台市),
3a-ZH-6p, (2004 年 9 月 1-4 日).
- 13) “PLD 法によるハイドロキシアパタイト被膜の形成”
甲藤正人, 黒澤宏, 横谷篤至, 窪寺昌一, 亀山晃弘, 東口武史, 中山斌
義, 塚本雅裕, 阿部信行, 電気学会 光・量子デバイス研究会, 宮崎大学工
学部 (宮崎県宮崎市), OQD-04-33, (2004.11.5).
- 14) “エキシマランプを用いた光 CVD 法によるアモルファス Si 薄膜の低温形成
技術の開発”
石村想, 歳川清彦, 横谷篤至, 黒澤宏, 平成 16 年度応用物理学会九州
支部講演会, 琉球大学千原キャンパス (沖縄県中頭郡西原町千原), 27Ap-11,
(2004.11.27).
- 15) “フェムト秒レーザーを用いた極薄半導体基板のダイシング技術の開発～加
工ダイナミックスの計測Ⅱ～”
横谷篤至, 向本徹, 金光泰, 福本英人, 黒澤宏, 平成 16 年度応用物理
学会九州支部講演会, 琉球大学千原キャンパス (沖縄県中頭郡西原町千原),
27Da-3, (2004.11.27).

- 16) “PLD 法による結晶性ハイドロキシアパタイト被膜の室温形成”
 甲藤正人, 黒澤宏, 横谷篤至, 窪寺昌一, 亀山晃弘, 東口武史, 塚本雅裕, 片山博貴, 中山斌義, レーザー学会学術講演会, 第 25 回年次大会, けいはんなプラザ (京都府相楽郡精華町) 20aVIII-9, (2005.1.20-21).
- 17) “真空紫外光を用いたゲート酸化膜用の SiO₂ 薄膜の窒化”
 甘利紘一, 歳川清彦, 横谷篤至, 黒澤宏, 菱沼宣是, 松野博光, 第 52 回応用物理学関係連合講演会, 埼玉大学 (埼玉県さいたま市), 30a-C-3, (2005.3.29-2005.4.1).
- 18) “フェムト秒レーザーを用いた極薄半導体基板のダイシング技術の開発～加工ダイナミックスの計測(III)”
 横谷篤至, 黒澤宏, 向本徹, 金光泰, 福本英人, 川原公介, 二宮孝文, 沢田博司, 第 52 回応用物理学関係連合講演会, 埼玉大学 (埼玉県さいたま市), 30a-C-3, (2005.3.29-2005.4.1).
- 19) “PLD 法により形成した HAp 被膜の水雰囲気圧力依存性”
 石橋健三, 甲藤正人, 黒澤宏, 横谷篤至, 窪寺昌一, 亀山晃弘, 東口武史, 中山斌義, 塚本雅裕, 阿部信行, 第 66 回応用物理学学会学術講演会, 徳島大学 常三島キャンパス (徳島県徳島市), 8a-B-3, (2005 年 9 月 7-11 日).
- 20) “真空紫外光を用いたゲート膜酸化膜用のバリア層形成技術の開発”
 甘利紘一, 石村想, 歳川清彦, 横谷篤至, 黒澤宏, 菱沼是宣, 松野博光, 第 66 回応用物理学学会学術講演会, 徳島大学 常三島キャンパス (徳島県徳島市), 10a-D-6, (2005 年 9 月 7-11 日).
- 21) “真空紫外光を用いた高純度酸化シリコン薄膜の作製”
 亀山晃弘, 横谷篤至, 黒澤宏, 平成 17 年度応用物理学学会九州支部講演会, 福岡工業大学, 1Da-3, (2005.11.26-27).
- 22) “フェムト秒レーザーパルスを用いたアブレーション特性の評価”
 金光泰, 福本英人, 横谷篤至, 黒澤宏, 平成 17 年度応用物理学学会九州支部講演会, 福岡工業大学, 1Dp-4, (2005.11.26-27).
- 23) “PLD 法にて形成した HAp 被膜のレーザーフルーエンス依存性”
 甲藤正人, 黒澤宏, 横谷篤至, 窪寺昌一, 亀山晃弘, 東口武史, 塚本雅裕, 片山博貴, 中山斌義, 藤田雅之, レーザー学会学術講演会, 第 26 回年次大会, 大宮ソニックシティ (埼玉県大宮市), 10pIV-6, (2006.2.09-10).
- 24) “フェムト秒レーザーパルスを用いたアブレーション特性の評価”
 福本英人, 金光泰, 甲藤正人, 横谷篤至, 黒澤宏, レーザー学会学術講演会, 第 26 回年次大会, 大宮ソニックシティ (埼玉県大宮市), 09pIV-5, (2006.2.09-10).

国際会議

- 1) “Crystallized hydroxyapatite coatings deposited by PLD with targets of different densities”
M. Katto, K. Ishibashi, K. Kurosawa, A. Yokotani, S. Kubodera, A. Kameyama, and T. Higashiguchi, *8th International Conference on Laser Ablation Banff Centre (Banff, Canada)*, (2005.9.11-16).
- 2) “Pulsed Laser Deposition Methods for Poly-Crystallized Hydroxyapatite Coatings”
M. Katto, K. Kurosawa, A. Yokotani, S. Kubodera, T. Higashiguchi, A. Kameyama, T. Nakayama, H. Katayama, M. Tsukamoto and N. Abe, *International Symposium on Smart Processing Technology, Univ. of Osaka, (Osaka, Japan)*, (2005.9.14-15).

出版物

なし

研究成果による工業所有権の出願・取得状況

- 1) 「プラスチックの表面の改質方法、プラスチック表面のメッキ方法、プラスチック・プラスチック表面改質装置」 特願 2005-098776
- 2) 「被覆の窒化方法」 特願 2005-254698
- 3) 「FBGを用いた歪み計測システム」 特願 2005-306487
- 4) 「FBG製造装置」 特願 2005-306488

研 究 成 果

第 1 章 次世代新方式 LSI の概念

1-1. はじめに

昨今、メモリーなどの単純なチップではなく、より複雑な構造・機能を持つシステム LSI の開発が盛んに行われている。SiP (System in Package) は次世代 LSI 設計の新しい概念である。従来の LSI は主にメモリーなど単一機能を有する回路を 1 チップの上に作製し、外部回路としてコンピューターなどのシステムを作り上げていくのが主流であった。昨今、メモリーなどの単純なチップは東南アジアにその生産拠点が奪われつつあり、我国の LSI 生産の主力は、より複雑な構造・機能を持ち、携帯電話・電子マネー・カード IC など、ユーザーのニーズに応じて設計するシステム LSI への移行が余儀なくされている。LSI のシステム化には 1 つのチップにあらかじめ必要とされる全機能を設計する SoC (System on Chip) といくつかの要素モジュールを開発しそれを積層化させる SiP の 2 通りの概念が有力と見られており (Fig. 1. 1)、そのうち SiP は、①開発期間が短く、②小型化が望め、③100 万個以下の生産量において低コスト化が望めるという特徴で、SoC にまさっているため開発が強く望まれている。本章では、まず SiP と SoC の特徴について説明する。その上で SiP をより高性能化するためにはどのような問題点を克服する必要があるのかについて調査した結果を報告する。(1)

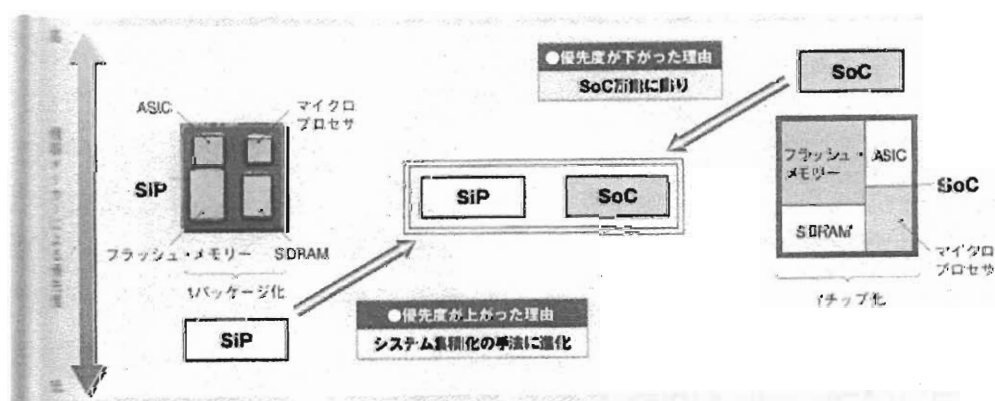


Fig. 1. 1 SiP と SoC の機器メーカーによる開発の優先度⁽¹⁾。ユーザーに対して、SoC は優先度が下がり SiP は逆に上がったために同じ土俵に上がった。

1-2. SiP (System in Package) と SoC (System on Chip) について

LSIのシステム化には1つのチップにあらかじめ必要とされる全機能を設計する SoC といくつかの要素モジュールを開発しそれを積層化させる SiP の2通りの概念が有力と見られている。

つい最近までは、プロセスの微細化を進めて1チップ化することにより、小型化、高性能化、低コスト化を同時に実現してきた。その1チップ化技術の具体例が SoC である。しかし $0.13\mu\text{m}$ を境に多くの問題点が発生してきた。具体的には Fig. 1.2 に示すように

- (1) マスク・コストの高騰
 - (2) トランジスタ・リークが増大
 - (3) 動作電圧のかい離
 - (4) アナログ回路の縮小の限界
- である。

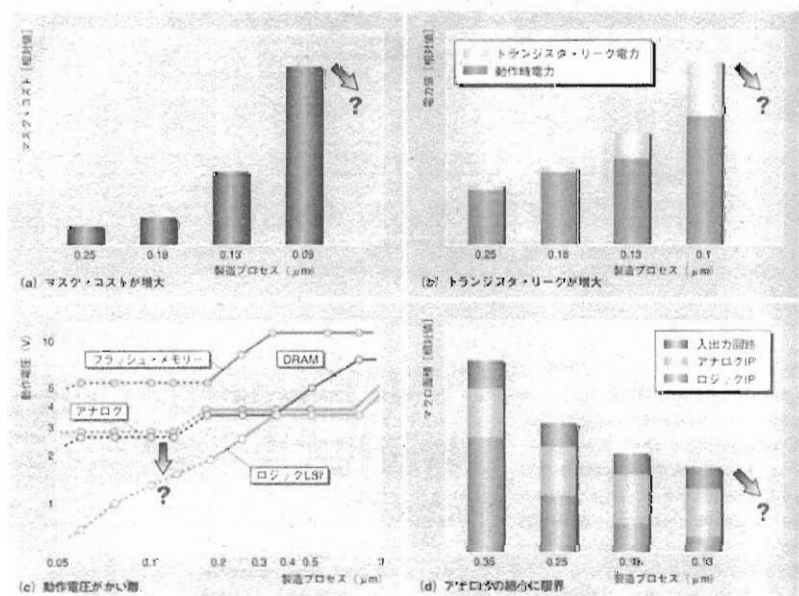


Fig. 1.2 SoC の問題点。線幅が $0.13\mu\text{m}$ 以下になるのを境にして SoC に限界が見えてきている⁽¹⁾。

- (1) マスク・コストの高騰は特に著しい。0.13 μm 世代では 0.18 μm 世代に比べてマスク・コストは 2 倍に増え、約 1 億円に達している。開発コスト全体で数億円にになり、100 万個以上出ないと採算が取れない、といわれている。この問題を解決するために電子ビーム直描などマスクレス技術の検討が進んでいるが、未完成である。
- (2) トランジスタ・リークが増大は、0.13 μm 以降、無視できなくなってきた。解決策として、しきい電圧や電源電圧を制御する回路技術による工夫があるが、設計がより複雑化する方向になる。
- (3) (3) 動作電圧のかい離や、(4) アナログ回路の縮小の限界は、特にロジック回路とアナログ回路の混載で問題になる。アナログ回路は性能を確保するため、低電圧化や面積縮小が 0.13 μm 以降に進まなくなることから、微細化の恩恵が受けにくくなる。このような状況でアナ・デジ混在チップの開発が進められているが、本質的な解決策は見えていない。

一方、SiP は「小型化」が目的のパッケージから SoC と同様に「システム集積化」を目的とする手法に進化した。

発端は、SRAM とフラッシュ・メモリーを積層した CSP (chip size package) の開発である。携帯電話の小型化競争に乗って大ヒットした。それを弾みに LSI メーカーのパッケージ部門はチップ層数を増やしたり、ワイヤー・ボンディングからチップ貫通電極を介する接続に換えて多層化したりする方向に走った。メモリーだけではなくロジック LSI も組み合わせ、「SiP」と称して開発を進めた。

しかしこのような初期の SiP は製造技術開発が主体で、チップを寄せ集めて小型化するパッケージとしての位置づけでしかなかった。ユーザーに密着した設計の観点がおろそかであり、ビジネスになかなかつながらなかった。LSI 設計部門はパッケージ部門から提案されても SoC の設計効率を高めることが第一であって SiP はおろそかにしていた。しかし上記で述べた SoC の問題点が顕著になるにつれて、SiP における認識に変化が訪れ、SiP をパッケージ主体の単なるチップの寄せ集めとしての考え方から、設計主体で SoC に代わる新たなシステム LSI の一方式としての SiP に認識が生まれてきた。

ここで SiP と SoC の優劣を Fig. 1.3 に示す。現状では、小型化、低コスト化、開発期間の短縮、設計資産の再利用性、高速化、低消費電力化の各項目で異なる。小型化では、アナログ回路とロジック回路、CMOS と SiGe、LSI と受動部品のように異種デバイスも集積あるいは積層しやすいという点で SiP が有利である。低コスト化は生産個数が 100 万個以上の場合には SoC、以下の場合には SiP が有利になる。開発期間の短縮と設計資産の再利用性では既存のチップを利用できる SiP がいずれも有利である。高速化、低消費電力化はバス幅が拡大しや

すく、負荷が小さい SoC が有利である。

このように SiP と SoC はそれぞれ利点があり、目的に応じて使い分けられると考えられる。しかし近年のシステム LSI は高性能な製品を少量生産するケースが多く、SiP の方が有利な点が多い。それゆえ SiP の需要はますます高まるものと考えられる。

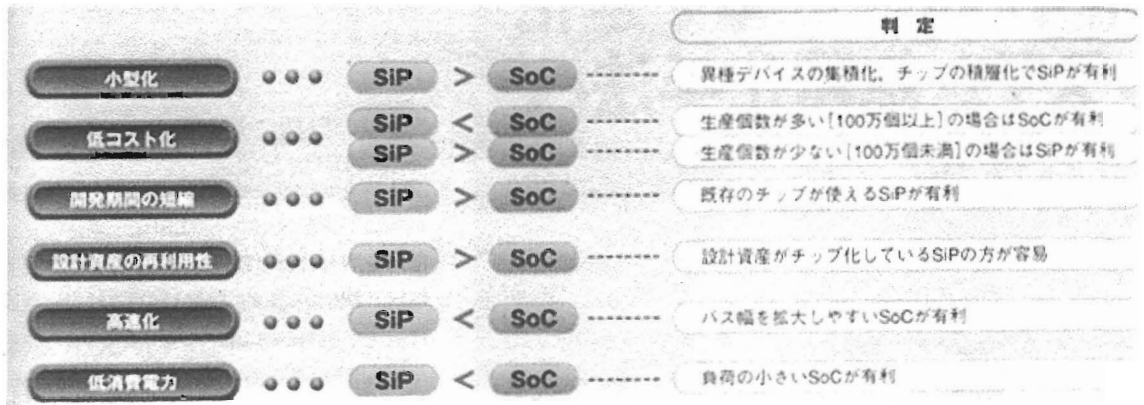


Fig. 1.3 SiP と SoC の優劣⁽¹⁾

1-3. SiP の問題点

1-2 で述べたとおり、SiP はもはや単なるパッケージではなく、設計主導でシステムの集積化を実現するための手法に進化している。しかし SiP を設計技術として広く浸透させるためには、いくつかの問題点を解決する必要がある。その問題点は次の 6 点である。

- (1) コストは従来に比べて安くなるか。
- (2) 汎用 LSI を自由に組み合わせられるか。
- (3) インターフェイスの違いはどうするか。
- (4) 設計は簡単にできるか。
- (5) 発熱は問題にならないか。
- (6) 積層するチップ寸法に制約はあるか。

それらの解決策としては、

- (1) コストが従来に比べて安くなるかどうかは、チップ単体では難しいの

が実情である。従来の個別部品を組み合わせたコストと、SiP 単体のコストを比較すると、SiP の方が高くなる。これは、SiP の場合、LSI はベア・チップの状態で調達する必要があるため、テスト・コストがパッケージ・コスト以上にかかる事が多い。しかもベア・チップを接続する基板は、高密度配線が求められ、特別な設計・製造プロセスが必要になる。それ故、SiP の方がコスト高になる。しかしチップ単体では高価になるが、SiP を使用しているシステム全体では従来のチップを組み合わせるよりも安価になる可能性が高く、研究開発が進められている。

- (2) 汎用 LSI を自由に組み合わせられるかどうか、については、SiP に使う LSI は KGD(known good die)と呼ばれる良品選別したベア・チップで調達する必要がある。しかし大半の LSI メーカーは KGD を社外に供給する体制が整っていない。しかも KGD の選別方法や品質保証レベルは各社で異なる。さらに、SiP 化した後に各チップを試験するためのテスト・パターンを、LSI メーカーはノウハウとして出したがらない。そのような状況から SiP はマイクロプロセッサと、その周辺の LSI を 1 社で生産できるメーカーから供給されるケースが多い。今後、規格化が進めば、多種多様な SiP が供給されるようになるであろう。
- (3) 汎用 LSI を自由に組み合わせられるようにするため、電氣的インターフェイスの標準化が望まれているが、日立製作所中央研究所では、その標準化を狙える有力な候補として、ボード、パッケージ、チップの各階層の接続に共通に使える超小型入出力回路を開発している。
- (4) 設計は簡単にできるようにするための、SiP 設計に最適化した市販のシュミレーション・ツールは、まだほとんどない。そのため、プリント基板向けの既存ツールを使い回すことでしのいでいるのが現状である。しかし一部では日立のように独自に SiP の設計環境を構築しているところもある (Fig. 1. 4)。
- (5) 発熱の問題については、既に採用されている SiP は低消費電力化を重視した携帯機器向けが主体であり、発熱量の高い LSI の放熱対策で苦労するケースはまだほとんどないが、今後パワー LSI のシステム化が進み必要になるであろう。現在消費電力の多い LSI にも対応できるように、SiP の発熱を解析できるシュミレーション環境の構築が進められている。
- (6) 積層するチップ寸法に制約はあるか、については、まさに我々の研究課題に関係する内容なので下記で詳しく述べる。

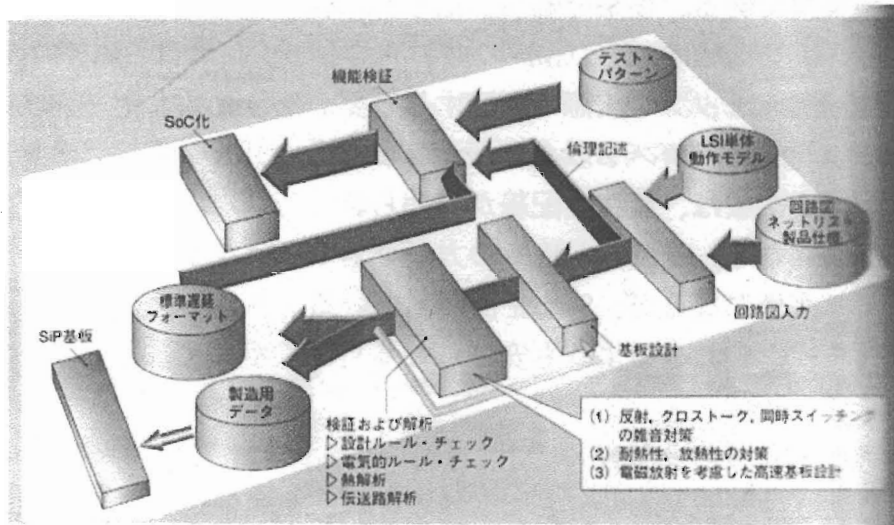


Fig. 1.4 日立で独自に構築している SiP の設計環境の模式図⁽¹⁾

SiP 内部でチップを積層する場合、厚さ 2~300 μ m の基板を用いた LSI を重ね合わせることによって Fig. 1.5 に示すような試作品を作ることにより各要素技術の開発がおこなわれつつある。接続方法がワイヤー・ボンディングだと下から順にチップ寸法を小さくしていく必要がある。その結果、LSI を選択する上で制約になる。チップの寸法がほぼ同じ大きさである場合には、チップ間にスペーサを入れることによってボンディング箇所を確保できる。しかし厚さ方向が余分に増えてしまうという犠牲を払うことになる。また、ワイヤー・ボンディングを用いる限り、高速化・省電力化の点で問題があるため、これらの問題点を解決するためには、新しい電極接続技術の開発が必要である。

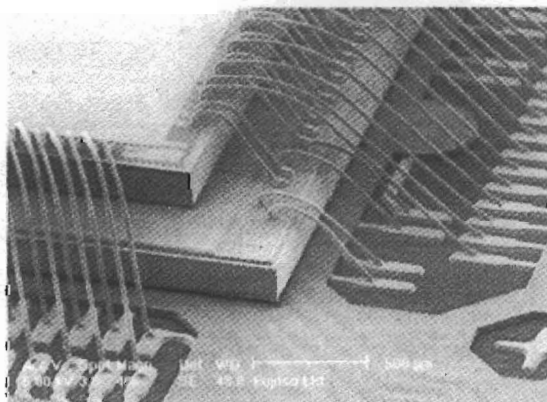


Fig. 1.5 現在のワイヤー・ボンディング法で作製された SiP⁽¹⁾

1-4. SiP 用の Via ホール作製技術

ワイヤー・ボンディング法は、各々の LSI とパッケージ基板との間を金属ワイヤーで接続する方法である。それに対して、各々の LSI 基板そのものに貫通穴を多数作製し、その中に貫通電極を作製して、SiP を作製する方法が提案され、多くの大学・企業で研究・開発が進められている。貫通電極で多層化する SiP 実用デバイスの概念図を Fig. 1.6 に示す。

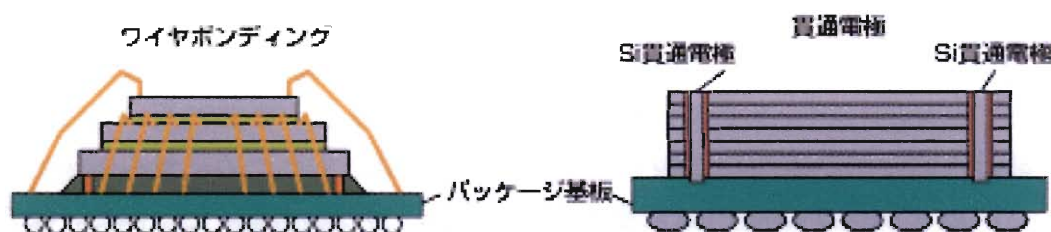


Fig. 1.6 ワイヤー・ボンディング法と貫通電極

概念図に示したように、厚さ $30\sim 50\mu\text{m}$ の LSI 基板に貫通電極を作製することによって、スペース的に融通の利き、しかも高速化・省電力な SiP が作製できる。

同時に、貫通電極で SiP を作製するためには、幾つかの問題点をクリアしなければならない。その問題点を下に列挙する。

- (1) SiP に使用する各 LSI 基板（シリコンウエハー）の厚さは $30\sim 50\mu\text{m}$ と考えられているが、シリコンウエハーのその薄さに加工する技術を開発する必要がある。
- (2) 厚さ $30\sim 50\mu\text{m}$ のシリコンウエハーに貫通穴を作製する技術を開発する必要がある。
- (3) 極薄シリコンウエハー上に回路設計・組み立てを行う必要がある。
- (4) 貫通穴の内面部に、シリコンウエハー上と同等の絶縁特性を持つ絶縁膜を作成する技術を開発する必要がある。
- (5) 貫通穴内部に電極を作製する技術を開発する必要がある。

特に (4) の基板の貫通穴内面部に絶縁膜を施す技術は、未だまったく手をつけられておらず、強く開発が求められている。従来、シリコンウエハー上の絶縁膜については、熱 CVD 法などで良質の絶縁膜が作製できるので、実用化して

いる。しかし SiP 作製工程では、既に回路など高温に弱い部分を作製した後に、さらに貫通穴内面部に絶縁膜を付けなければならないことがあるので、絶縁膜を室温で作製する技術が不可欠である。

1-5. 終わりに

我々が今回、科学研究費補助金にて研究を行ったテーマは、数多い SiP 開発の要素項目の中で、まさに 1-4. に示した問題を解決することとした。我々は、世界に先駆けて開発した真空紫外光 CVD という、室温で絶縁薄膜を成膜できる唯一無比の画期的技術を有している。真空紫外光 CVD を中心的に用いることにより、貫通穴電極用絶縁膜の作製という、SiP を実用化するために最も障害となっている問題を解決する事が出来ると考え、数多くの技術開発を行った。またそのための実験に必要な基板加工技術の開発も行った。

1-6. 参考文献

(1) “日経マイクロデバイス”、日経 BP 社、2002 年 10 月号

第2章 真空紫外光 CVD 法

2-1. はじめに

フォトンエネルギーにて材料ガスを励起、分解し、薄膜形成を行う光 CVD (化学気相堆積法; Chemical Vapor Deposition) は、活性化エネルギーの低減やプラズマのような高エネルギーを用いないことにより、低温、低ダメージのプロセスとして古くから研究されている。しかし光源と反応チャンバの隔壁窓への成膜による照度劣化 (窓曇り) や、光源の照度が低いことにより生成速度が低いこと、また CVD の原料ガスが分解するのに十分なフォトンエネルギーを持った光源がなかった理由等により、従来の熱 CVD、プラズマ CVD に取って代わることは無かった。

1990 年代に、短波長で大面積化が可能である真空紫外光領域のエキシマランプが開発^(1,2)され、これを利用した真空紫外光 CVD による薄膜形成が試みられた。特に、Xe₂*ランプの波長は、従来の低圧水銀ランプよりも短い 172nm であり、そのフォトンエネルギーは 7.2eV と大きい。よって従来分解不可能であった原料ガスの分解も可能である。この手法にて、材料ガスに有機シリコン化合物であるアルコキシシランの TEOS (Tetraethoxysilane: Si(OC₂H₅)₄) を用い、室温での酸化膜形成が確認されている。⁽³⁾ この室温での薄膜形成は、今後のデバイスの低温化、低ダメージ化の要求に答えるものであり従来の CVD を凌駕することが可能である。本章では、まず CVD の一般的な反応機構について調査した内容を報告する。CVD の反応機構は、その反応の律則過程が表面か気相かによって、表面反応律則と気相反応律則に大きく分けられる。この反応律則過程は、反応の最終形態である成膜の反応速度の活性化エネルギーと段差被覆性を調べることにより明らかにする事が出来る。次に光 CVD の特徴や現状等を報告する。光 CVD は、室温で薄膜を作製できるプロセスとして、従来から注目されていたが、優れた特性を持つ光源が無かったことから、今まで熱 CVD やプラズマ CVD などの影に隠れていた。しかし、最近開発された誘電体バリア放電エキシマランプのお陰で、その問題も解決しつつある。その一例として、我々のグループが行った真空紫外光 CVD の実験成果を交えて報告する。具体的には、製膜速度の時間依存性から活性化エネルギーを見積もり、製膜の律則過程について概説する。

2-2. CVD の反応機構

CVD の反応は複雑であり、それぞれの素過程を明らかにすることは困難である。よって、CVD の反応機構は、最終的な薄膜の状態から推定される。CVD の反応は、主たる反応がどの過程が律則されるかによって、気相中で中間性生成物や最終生成物が形成される気相反応律則と基板表面との相互作用により行われる表面反応律則に大別されるそして、この 2 つの反応により、その膜特性は大きく変化する。

Fig. 2.1 に気相反応律則と表面反応律則の模式図を示す。気相反応律則(a)は基板以外の場所である気相中で中間生成物あるいは最終生成物が形成され、基板表面に落下、付着し、表面とは化学的に何ら相関を持つことなく膜状の生成物が形成される。よって一般的に、その膜質、段差被覆性は劣ると考えられる。一方、表面反応律則(b)では、原料ガスは気相中において相互に全く反応し得ないか、反応したとしても化学的に活性度を保つ中間生成物を形成した状態で基板表面に到達し、そこで最終的に行われ、最終生成物が堆積する。

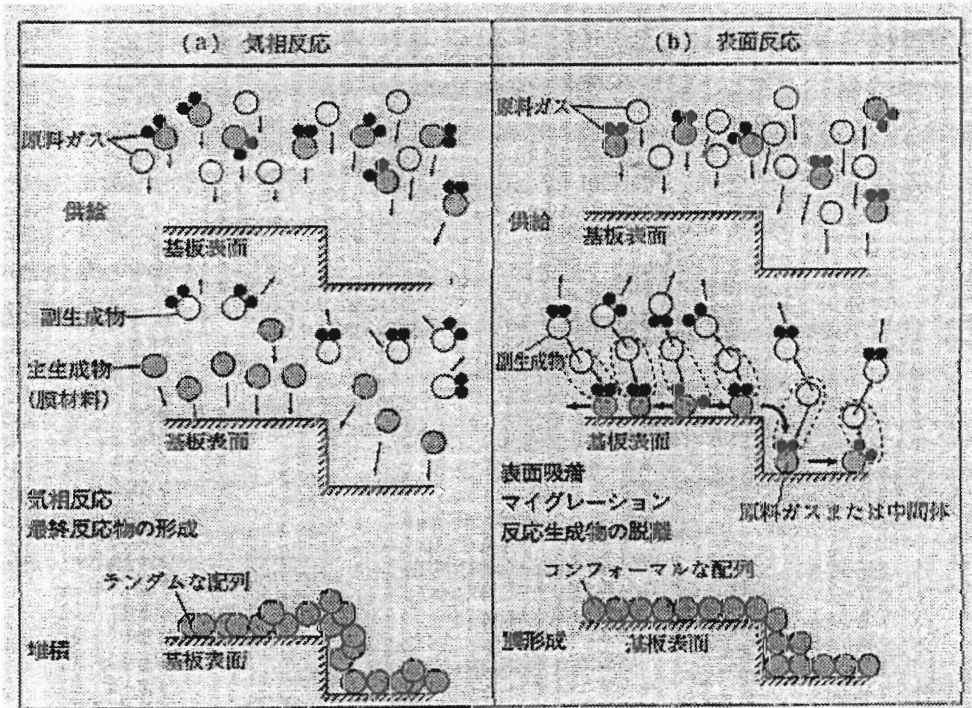


Fig. 2.1 気相反応と表面反応(4)

2-3. 反応機構の解析手法

CVD において気相反応律則と表面反応律則のどちらが主たる反応機構であるかは、CVD 反応における最終的な反応形態である成膜状態を調べることによって、明らかにすることができる。1 つは生成速度を生成温度に対してプロットしたアレニウスプロットから求める反応の活性化エネルギーであり、もう 1 つは段差被覆性（ステップカバレッジ、埋め込み）である。次に、この 2 つの解析手法について述べる。

(1) 反応の活性化エネルギー

化学反応を進行させるためには、その反応に推進力を与え、ポテンシャルの壁を越えて、反応系から熱エネルギー的に安定である反応の終了である生成系にもっていく必要がある。反応系と生成系のエネルギー差が自由エネルギー変化量であり、ポテンシャルの壁の高さが活性化エネルギーである。通常、化学反応の推進力である励起のためのエネルギーは熱であり、反応の活性化エネルギーは反応速度定数の温度依存性から算出できる。

ここで、CVD の場合は固体表面上に吸着される分子が表面上での化学反応により最終的にるとき、ある温度で固体表面上に平衡吸着する分子量を表す式を吸着等温式という。CVD で最もよく用いられる、単分子層吸着モデルの Langmuir の吸着等温式は、次のように導かれる。⁽⁵⁾

吸着されたサイトの割合： θ

未吸着サイトの割合： $(1-\theta)$

吸着速度： $k_a \cdot p_i \cdot (1-\theta)$

脱着速度： $k_d \cdot \theta$

とすると、平衡時には脱吸着速度が等しいので、

$$k_a \cdot p_i \cdot (1-\theta) = k_d \cdot \theta \text{ から}$$

Langmuir の吸着等温式は(1)式で表される。ここで、吸着の平衡定数 K は(2)式となる。

$$\theta = \frac{k_a \cdot p_i}{k_d + k_a \cdot p_i} = \frac{K \cdot p_i}{1 + K \cdot p_i} \quad (1)$$

k_a : 吸着速度定数

k_d : 脱着速度定数

$$K = \frac{k_{ai}}{k_d} = K_0 \exp\left(\frac{\Delta E_{AD}}{R \cdot T}\right) : \text{吸着の平衡定数} \quad (2)$$

ΔE_{AD} : 吸着エネルギー
 T : 反応温度
 R : 気体定数

次に、表面での反応速度が、吸着分子間でのみ進行する Langmuir-Hinshelwood 機構に従い、さらに吸着種 A の反応速度 r_A が吸着種 A の割合 θ_A に比例する場合の反応速度式は、(1)式より、(3)式で表される。

$$-r_A = k \cdot \theta_A = \frac{k_a \cdot K \cdot p_A}{1 + K \cdot p_A} \quad (3)$$

また、表面反応の速度定数が(4)式で表されるとすると、

$$k = k_0 \cdot \exp\left(\frac{-\Delta E_{SR}}{R \cdot T}\right) \quad (4)$$

ΔE_{SR} : 表面反応の活性化エネルギー

低温領域では、吸着速度が大きくなり、 $Kp_A \gg 1$ となるので、(3)式は、(2)式と(4)式から(5)式となる。

$$r \cong k = k_0 \cdot \exp\left(\frac{-\Delta E_{SR}}{R \cdot T}\right) \quad (5)$$

高温領域では、脱離速度が大きくなり、 $Kp_A \ll 1$ となるので、(3)式は、(2)式と(4)式から(6)式となる。

$$\begin{aligned} r \cong k \cdot K \cdot p_A &= k_0 \cdot \exp\left(\frac{-\Delta E_{SR}}{R \cdot T}\right) \cdot K_0 \cdot \exp\left(\frac{-\Delta E_{AD}}{R \cdot T}\right) \cdot p_A \\ &= k_0 \cdot K_0 \cdot \exp\left\{\frac{-(\Delta E_{SR} - \Delta E_{AD})}{R \cdot T}\right\} \cdot p_A \end{aligned} \quad (6)$$

よって表面反応の見かけ上の活性化エネルギーは、低温領域では ΔE_{SR} となるが、高温では $(\Delta E_{SR} - \Delta E_{AD})$ となる。従って、 ΔE_{AD} の大きな系の高温での挙動は、温度上昇に伴う吸着減少率が反応速度の増大率を上まわり、温度上昇とともに反応速度が低下し、見かけ上の活性化エネルギーが負の値をとる傾向を示す。

このモデルで実際の CVD の生成温度に対する生成速度のアレニウスプロットで表すと Fig. 2.2 のように表される。

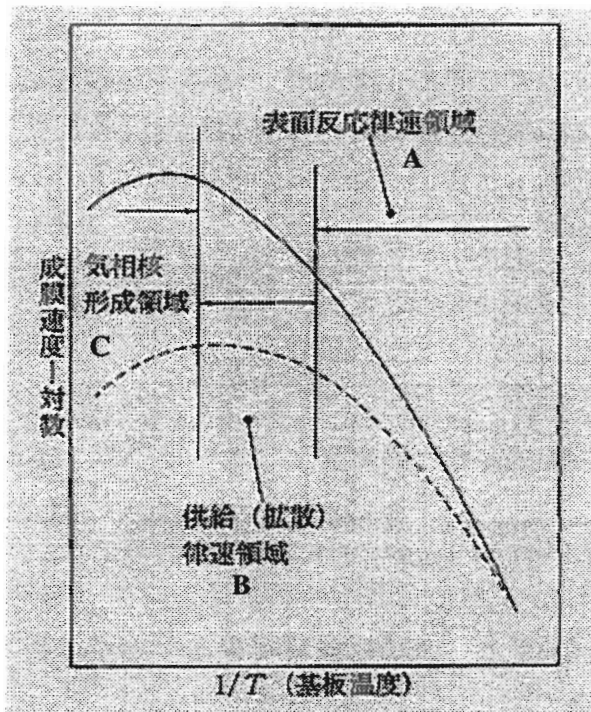


Fig. 2.2 CVD 膜形成反応におけるアレニウスプロットのモデル⁽⁶⁾

ここで、CVD の場合の反応速度定数は、反応速度論の零次反応として反応量である膜の厚さが時間に比例することを前提としており、成膜された膜厚を生成時間から算出する生成速度を用いる。一般に、A は表面反応律則、B は供給律則、C は気相反応律則（気相核形成）領域と考えられる。A の表面反応律則である低温領域では、表面に吸着した分子が表面反応により膜となり、生成速度は表面反応で律則される。よって、生成速度が高くなることより、化学的に活性度を保つ中間生成物の基板表面での最終的な反応が促進され、生成速度が速くなる。B の供給率律則である中温領域では、表面での分子の吸着と脱離の割合が徐々に平衡状態になり、生成速度も頭打ち傾向となる。よってアレニウスプロットにおける勾配は、A の領域の表面反応律則よりも小さくなり、活性化エネルギー値は小さくなる。C の気相反応律則の高温領域では、温度上昇に伴う分子の吸着減少率が表面での反応速度の増大率を上まわり、温度上昇とともに反応速度が低下し、見かけの活性化エネルギーが負の値をとる傾向を示す。真空紫外光 CVD では、気体上の原料分子に光子エネルギーが作用する事が、反応の開始となり、C のように見かけ上負の活性化エネルギーを示すような状況で成膜されることが多い。

(2) 段差被覆性

気相反応律則と表面反応律則の違いによる段差被覆性の違いを Fig. 2. 3 の段差被覆性の模式図で示す。

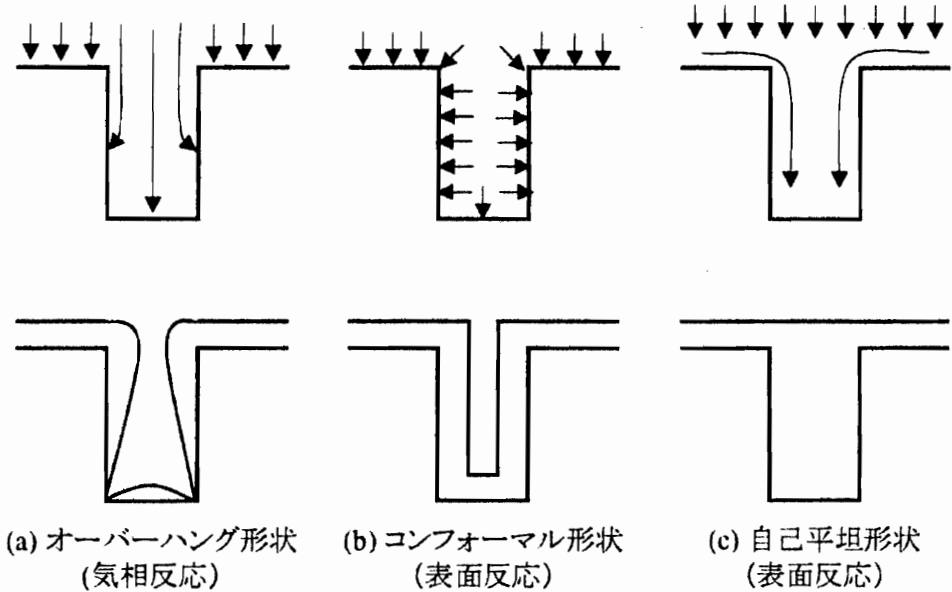


Fig. 2. 3 段差被覆性

気相反応律則によって成膜された段差被覆性を示す典型的な例として、オーバーハング形状(a)があげられる。原料ガスに $\text{SiH}_4\text{-O}_2$ を用いた常圧熱 CVD では、トレンチの側壁部と底部に比較し、上部に多く膜が堆積しオーバーハング形状(a)となりトレンチ内部にはボイド(巣)が形成される。^(7,8)これは、材料ガスの分解反応が気相中で行われ、発生した流束の1部がトレンチ側壁部への堆積に消費され、トレンチ底部への反応生成物の付着確率がトレンチ外部の平面部よりも減少する。よって、膜が成長するにつれてトレンチ内部の膜厚が薄くなり、最終的にボイドが発生する段差被覆性となる。

これに対し、表面反応律則によって成膜された段差被覆性を示す例としてコンフォーマル形状(b)と自己平坦性(c)が挙げられる。減圧下にて材料ガスに TEOS を用いた熱 CVD⁽⁹⁾では、トレンチ上部、側壁部、底部ともに原料分子の付着確率が同じ条件下では、付着後、表面の反応により膜が形成され、トレンチ上部、側壁部、底部に同様に膜が形成されるコンフォーマル形状(b)を示す。また、原料ガスに SiH_4 を用いた減圧熱 CVD のポリシリコン膜形成^(10,11)、材料ガスに WF_6 を用いた減圧熱 CVD によるブランケット W 生成⁽¹²⁾もコンフォーマル形状(b)を示す表面反応律則型である。また材料ガスに $\text{O}_3\text{-TEOS}$ を用いた常圧 CVD では、

TEOS と O_3 の反応により、気相中で一旦流動性を持つシクロサン系のポリマー（オリゴマー）が形成され、基板表面でそれが O_3 と反応して最終的に SiO_2 膜になると考えられている。よって(c)のように等方的な自己平坦性を有する段差被覆性を示す。 O_3 濃度が大きい場合は、さらに段差被覆性は向上しフラットな膜になるが、逆に膜質は基板表面の状態に左右されるという基板依存型の表面反応律則を示す。^(13,14)

2-4. 光 CVD の特徴

光 CVD は、反応の励起エネルギーとして光を用いる光励起プロセスであり、以下のような特徴を有する。

- A) 熱エネルギーに依らず光エネルギーのみにより反応に寄与するラジカル（活性種）を多量に生成する事が可能なため、本質的に低温プロセスである。
- B) 光励起による発生するのが中性のラジカルのみであり、イオンは発生しないため、本質的にイオン損傷がない。
- C) 光化学反応では、励起波長を適切に選択し、反応ガス中の特定の種類の分子のみを励起したり、種類の異なる分子の励起度を制御できるので、化学反応に対する選択性がある。
- D) 光励起プロセスでは、光照射を行っている部分にだけ反応を起こすことができるので、励起光源としてレーザーを用いれば、ウエハ上で選択的な反応（選択成長、選択エッチングなど）を起こすことが可能であり、空間的分解反応に優れている。
- E) ラジカルが数 eV~10 数 eV のエネルギーを有していること、及び、光エネルギーにより基板表面での反応が促進されることなどにより、熱プロセスだけでは実現不可能であった新機能デバイス、新機能材料などの創製が可能である。

特に A) に代表されるように、従来の熱エネルギーに用いる CVD に比較し、低温プロセスであることが大きな特色であり、そのため、E) のように新規プロセスの実現が可能と考えられる。

1990 年代に U. Kogelschatz 達^(1,2)により希ガス及び希ガスハライドの真空紫外光 (VUV; Vacuum Ultraviolet) 領域の誘電体バリア放電エキシマランプが研究、開発された。誘電体バリア放電エキシマランプの概念図を Fig. 2.4 に示す。

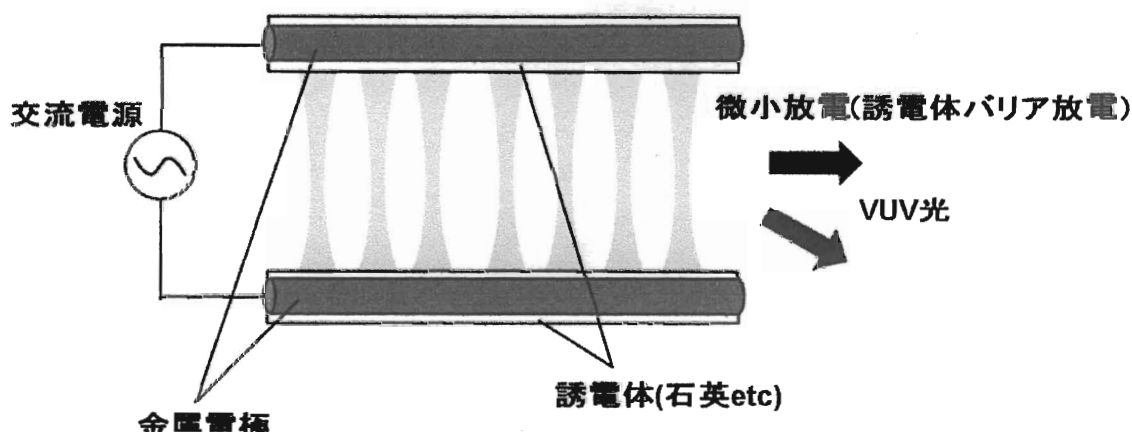


Fig. 2.4 誘電体バリア放電エキシマランプの概念図

エキシマランプは、放電プラズマにより、放電ガスの原子が励起され、希ガスの励起状態である 2 量体のエキシマ状態から基底状態に戻るときに発光するエキシマ光を利用するものである。単色光に近いインコヒーレント光であること、レーザーと異なり大面積を照射できることを特徴としている。さらに、従来の光 CVD の代表的光源である低圧水銀ランプよりも、短波長のエキシマランプはフォトンエネルギーが高く、また同じ真空紫外光源である重水素ランプと比較して 10 倍以上の放射強度を有する。この高いエネルギーフォトンと高輝度を有するエキシマランプを用い、光分解、光エッチング、光 CVD 等の新しいマテリアルプロセッシングの研究が行われている。

現在 Fig. 2.5 に示すように、308nm (XeCl^*)、222nm (KrCl^*)、172nm (Xe_2^*)、146nm (Kr_2^*)、126nm (Ar_2^*)、の 5 種類のエキシマランプが開発されている。近年では、特に Xe_2^* ランプは K. Stockwald 等⁽¹⁵⁾、松野^(16,17)によって、さらに、研究開発が行われ、現在では FPD (Flat Panel Display) 製造における O_3 による光洗浄プロセスにおいて実用化されている。

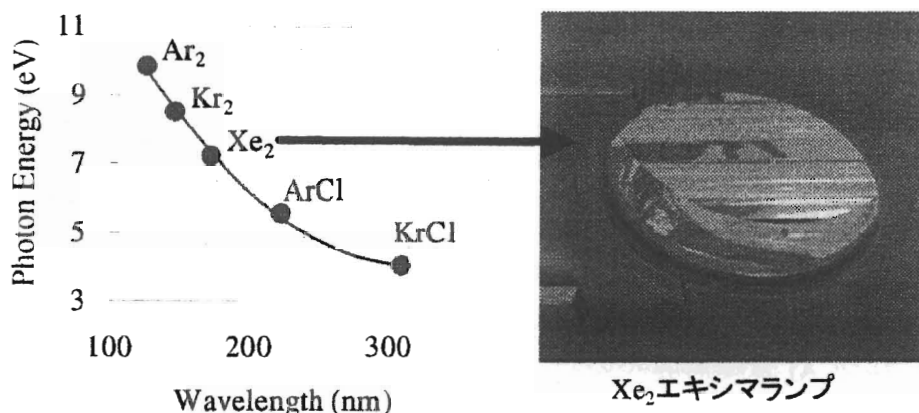


Fig. 2.5 エキシマランプの波長と光子エネルギー

光 CVD においても、高光子エネルギーを有する Xe₂* 又は Ar₂* ランプは有望である。従来の光 CVD の代表的光源である低圧水銀ランプ波長の 185nm に比較し、172nm の波長を有する Xe₂* ランプの光子エネルギーは 7.2eV である。よって従来分解不可能であった材料ガスも分解可能であり、薄膜アプリケーションの拡大が期待される。

この Xe₂* ランプの真空紫外光を用いた光 CVD (真空紫外光 CVD) の研究として、P. Bergonzo 達が SiH₄ と NH₃ を用いた窒化膜形成^(18,19)、I. W. Boyd 等が O₃ を用いた酸化膜形成^(20,21)、F. Kessler 等が Si₂H₆ や GeH₄ を用いた a-Si:H、a-Ge:H、a-SiGe:H、形成⁽²²⁾が挙げられる。しかし、これらの研究は、無機化合物を光分解する観点から、従来の光 CVD 法に準じた研究といえる。

これに対し、Xe₂* ランプを用いた真空紫外光 CVD の特徴をしめす研究として、室温の薄膜形成と、材料ガスに有機金属化合物を用いた薄膜形成の 2 点が挙げられる。室温形成が可能であるということは、Xe₂* ランプの高光子エネルギーにより、熱エネルギーを用いずに、反応プロセスを生じさせることができることを指している。これは、従来の CVD には見られなかった大きな利点であり、従来の光 CVD が光エネルギーを熱エネルギー等の補助として用いてきた点と大きく異なる。また、有機材料を用いることは、有機分子の結合エネルギーが、Xe₂* ランプの光子エネルギーの 7.2eV よりも低く、有機分子を直接励起し解離することにより、薄膜を形成できることを示している。

以下に、Xe₂* ランプを用いた室温での薄膜形成と有機金属化合物を用いた薄膜形成の研究例を示す。

(1) 室温での薄膜形成

村原達⁽²³⁾が室温にて酸化膜形成を行った。室温下にて、F を含む NF_3 、 SiF_4 と酸素を含む O_2 、 N_2O を Xe_2^* ランプのフォトンエネルギーにより光分解し、発生した F を Si 基板上に吸着させ、その後の酸化作用により SiO_2 を形成した。1 層ずつ形成を行う ALD (Atomic Layer Deposition) の 1 つである。

(2) 有機金属化合物を用いた薄膜形成

溝尻達が材料ガスに DMAH (Dimethylaluminiumhydride; $\text{AlH}(\text{CH}_3)_2$) を用い、Al 薄膜形成⁽²⁴⁾を行った。従来の熱 CVD では、300 度での成膜温度を必要とした⁽²⁵⁾が、フォトンエネルギーによる材料分解のアシスト効果により、活性化エネルギーが低下し、200°C の低温での成膜が可能となった。

(3) 室温下での有機金属化合物を用いた薄膜形成

両者の特徴を有する研究として以下の 2 点が挙げられる。大島は、材料ガスに Trimethylgermaniumchloride ($\text{GeCl}(\text{CH}_3)_3$) を用い、室温下にて Ge 堆積⁽²⁶⁻²⁸⁾を行った。また黒澤、横谷達は材料ガスに TEOS を用い、室温下にて SiO_2 薄膜形成^(3,29,30)を行った。このように、 Xe_2^* ランプを用いた真空紫外光 CVD は、有機金属化合物を用いることにより室温下での薄膜形成が可能であることが大きな特徴といえる。特に、有機金属化合物である有機シリコン化合物の中で、ULSI の酸化膜形成に広く用いられる TEOS 等のアルコキシシランを材料ガスとして用いることによって真空紫外光 CVD の特徴を示す薄膜形成が可能と考えられる。つまり、アルコキシシランの Si-O 結合は 8.3eV であるが、有機分子の結合エネルギーは、 Xe_2^* ランプのフォトンエネルギーの 7.2eV よりも低いので有機分子を直接励起し解離することによって薄膜形成ができる。

従来の光 CVD におけるフォトンエネルギーは、熱プロセスにおける、活性化エネルギーの低減のための補助的意味合いで用いられてきた。真空紫外光 CVD では、高フォトンエネルギーを持つエキシマランプを用いることにより、フォトンエネルギーのみにて材料ガスを分解する薄膜形成が可能となり室温プロセスを実現できるようになったことが、今までの光 CVD との大きな違いである。よってダメージレスの室温プロセスとして、今後の発展が期待される。

2-5. 光 CVD における反応機構

光 CVD における反応機構について、我々も含めて幾つかの研究グループが報告している。ここでは、活性化エネルギーについて注目したいいくつかの報告例を示す。

宮野は、真空紫外光を用いて TEOS を分解することにより、室温で酸化シリコン薄膜を作製されることを報告している⁽³¹⁾。光源として Xe₂*ランプ ($\lambda=172\text{nm}$ 、放射照度 10mW/cm^2) を用いて、O₂ 添加を行わない場合が TEOS=10sccm、圧力 300mTorr、O₂ 添加を行った場合が TEOS/O₂=100/100sccm、圧力 300mTorr、の条件で薄膜作製を行った。25°C から 400°C まで基板温度を変化させ、その時の膜厚を生成時間より算出した生成速度を、生成温度に対しアレニウスプロットを Fig. 2.6 に示す。縦軸は生成速度、横軸は生成温度の絶対値の逆数である。

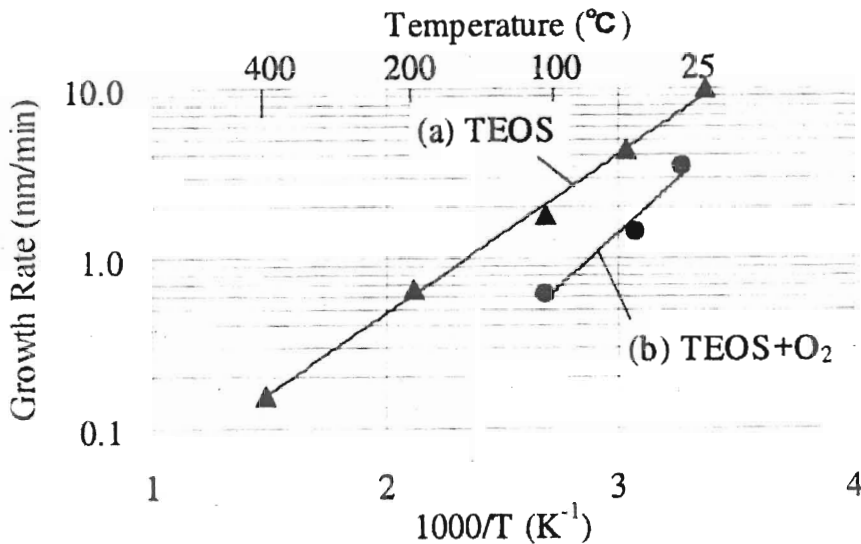


Fig. 2.6 生成温度に対する生成速度のアレニウスプロット
(a) TEOS=100sccm, 300mTorr, 10mW/cm^2
(b) TEOS/O₂=100/100sccm, 300mTorr, 10mW/cm^2

O₂ 添加を行わずに TEOS のみを用いて成膜した真空紫外光 CVD 膜(a)の生成速度は室温の 25°C で 9.9nm/min、100°C で 1.8nm/min、400°C で 0.15nm/min となり、高温よりも室温のほうが生成速度が大きくなった。TEOS に O₂ を添加し成膜した真空紫外光 CVD 膜(b)の生成速度は 33°C で 3.3nm/min、100°C で 0.6nm/min となり、やはり室温で成膜速度が大きくなった。この結果、O₂ 添加に係わらず、活性化エネルギーの値は負となった。

通常の CVD では、温度による材料ガス分解が大きく寄与するため、温度が高い方が生成速度が大きくなる場合が多いが、材料ガスに TEOS を用いて成膜した真空紫外光 CVD では、生成温度が低いほど生成速度が大きくなり、活性化エネルギーの値は負となった。

通常の CVD で活性化エネルギーが負の値をとるのは、高温領域にて見られる現象である。この高温領域では、温度上昇に伴う分子の吸着減少率が表面での反応速度の増大率を上回り、温度上昇と共に反応速度が低下し見かけ上の活性化エネルギーが負の値をとる傾向を示す。ここで材料ガスに TEOS を用いて成膜した CVD の例を Fig. 2. 7 に示す。TEOS は 650°C 程度以上の温度で分解反応が生じ、O₃ の存在下では 300°C 以上で反応する。材料ガスに TEOS 単独を用いて成膜した熱 CVD (●) と材料ガスの TEOS に O₂ を添加し成膜した熱 CVD (○) においては、650°C から温度が高くなるにつれて成膜速度が速くなり、表面反応律則の傾向を示す。材料ガスの TEOS に O₃ を添加し成膜した熱 CVD (■) では、400°C までは生成速度が高くなる表面反応律則であるが、400°C 以上では気相反応律則となり、気相中での分解による原料の消耗及び O₃ の消耗により成膜速度が低下する。

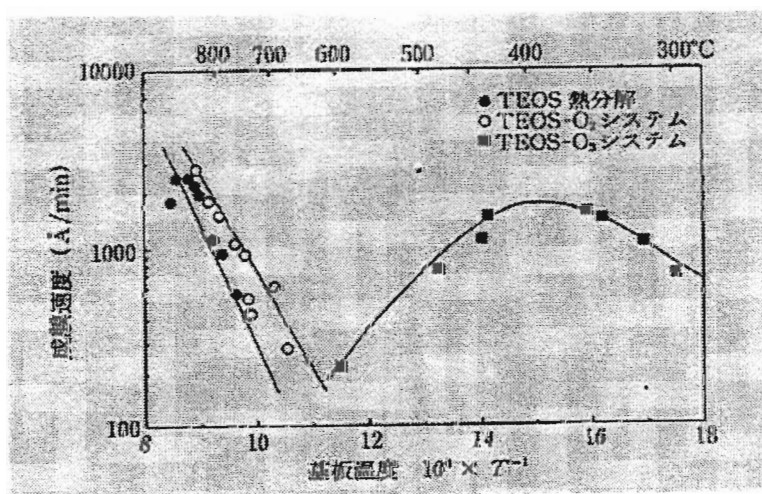


Fig. 2. 7 TEOS 系 SiO₂ 膜のアレニウスプロット⁽³²⁾

このような例は、S. Ngyuen 達が行った、材料ガスに TEOS を用いて成膜した PECVD (13.56MHz の RF プラズマ、6.9Torr、He ベース) による薄膜形成¹⁸⁾にも見られる。Fig. 2. 8 に示すように、TEOS は、プラズマ放電中では室温でも分解し、50~400°Cにおいては、50°Cに成膜速度が最も大きくなり、温度が高くなるにつれて低くなる。低温では、熱エネルギーによる反応が寄与せず、高温では熱エネルギーが寄与するためと考えられる。

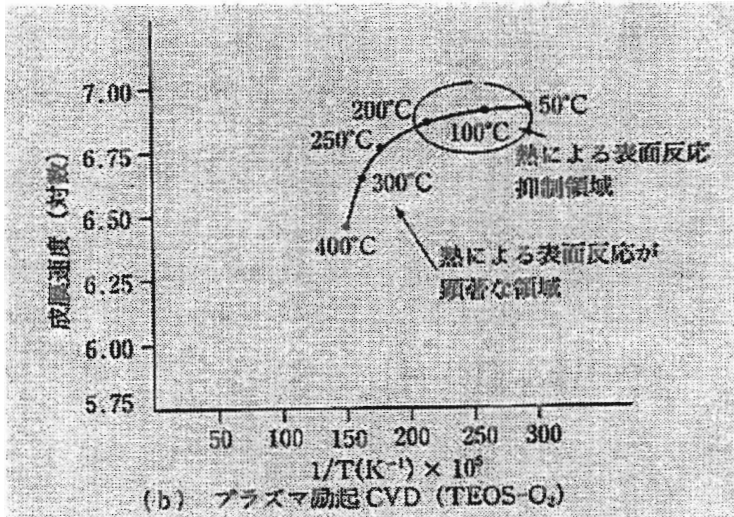


Fig. 2. 8 プラズマ CVD のアレニウスプロット⁽³³⁾

また従来の光 CVD においても、見かけの活性化エネルギーの値が負の値となる場合がある。K. Inoue 達が行った重水素 (上から照射) と低圧水銀又はキセノン (横から照射) の 2 重光励起により、材料ガスの Si₂H₆ に O₂ を添加して成膜した光 CVD と熱 CVD を比較⁽³⁴⁾した結果を Fig. 2. 9 に示す。熱 CVD では基板温度の増加に伴い成長速度の増加するが、光 CVD では低温ほど成長速度が速い。これは、原料ガスの分解が気相で主に行われ、膜形成種の基板表面への吸着が温度上昇と共に減少するためと考えられる。

これらのことから材料ガスに TEOS を用いた真空紫外光 CVD の反応は気相中で原料ガスである TEOS が光子を吸収し、この光子エネルギーにより励起・分解され、発生した中間生成物やラジカル等の反応活性種が基板に吸着し、薄膜を形成する気相反応律則と考えられる。そのため、反応活性種が、基板表面に達したとき、温度が高い場合には脱離の割合が多くなって生成速度は遅くなり、逆に温度が低い場合には吸着の割合が大きくなり生成速度は速くなると考えられる。

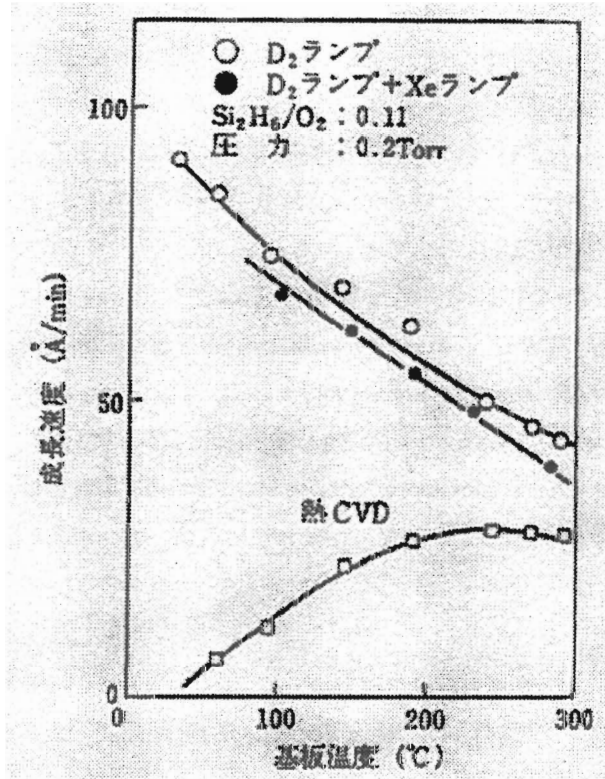


Fig. 2.9 光 CVD と熱 CVD のアレニウスプロット⁽³⁴⁾

2-6. 参考文献

- (1) U. Kogelschatz, Appl. Surf. Sci., **54**, 410, (1992).
- (2) H. Esrom and U. Kogelschatz, Thin Solid Films, **218**, 231, (1992).
- (3) A. Yokotani, N. Takezoe, K. Kurosawa, W. Sasaki, T. Igarashi and T. Matsuno, Appl. Phys. Lett., **69(10)**, 1399, (1996).
- (4) 前田和夫, “VLSI と CVD—半導体デバイスへの CVD 技術の応用”, p. 30, 書店 (1997).
- (5) 化学工学会編集, “CVD ハンドブック”, pp. 56-59, 朝倉書店, (1991).
- (6) 前田和夫, “VLSI と CVD—半導体デバイスへの CVD 技術の応用”, p. 37, 書店 (1997).
- (7) K. Maeda and J. Sato, Denki Kagaku, **26**, 153, (1977).
- (8) R. M. Levin and K. E. Lutterodt, J. Vac. Sci. Technol., B1, **54**, (1983).
- (9) P. J. Tobin et al., J. Electrochem. Soc., **127(10)**, 2202, (1980).

- (10) R.A. Levy et al., *J. Electrochem. Soc.*, **134**, 430, (1987).
- (11) S. Nakayama et al., *Jpn. J. Appl. Phys.*, **23**, L494, (1984).
- (12) K. P. Muller et al., *Inter. Elec. Dev. Meet. Tech. Digest*, IEDM96, p. 507, (1996).
- (13) 伊藤仁, “ULSI プロセス技術 (原央編)”, 培風館, (1997).
- (14) Y. Nishimoto et al, *Extended Abstract of The 19th Conf. on Solid State Device and Mat.*, p. 447, August, (1987).
- (15) K. Stockwald, and M. Neiger, *Contrib. Plasma Phys.*, **35(1)**, 15, (1995).
- (16) 松野博光, 五十嵐龍志, 光技術コンタクト, **32**, 30, (1994).
- (17) 五十嵐龍志, レーザー研究, **23(12)**, 1051-1055, (1995).
- (18) P. Bergonzo, P. Patel, I. W. Boyd and U. Kogelschatz, *Appl. Surf. Sci.*, **54**, 424, (1992).
- (19) P. Bergonzo and I.W.Boyd, *Appl. Phys. Lett.*, **63(13)**, 1757, (1993).
- (20) J. Zhang and I. W. Boyd, *Appl. Phys. Lett.*, **71(20)**, 2964, (1997).
- (21) P. Bergonzo, I. W. Boyd and U. Kogelschatz, *Appl. Phys. Lett.*, **69**, 393, (1993).
- (22) F. Kessler, H-D. Mohring and G. H. Bauer, *Mater. Res. Soc. Symp. Proc.*, **192**, p. 559, (1990).
- (23) 飯塚仁志, 村原正隆, 第 60 回応用物理学会学術講演会講演予稿集, **2**, 606, 3a-F-5, (1999).
- (24) 溝尻貴文, 馬庭隆志, 英貢, 第 43 回応用物理学関係連合講演会講演予稿集, **2**, 585, 27p-ZV-8, (1996).
- (25) T. Kuwano et al., *Jpn. J. Appl. Phys.*, **29**, 2639, (1990).
- (26) 大島久純, 第 57 回応用物理学会学術講演会講演予稿集, **2**, 555, 9p-ZG-5, (1996).
- (27) 大島久純, 第 56 回応用物理学会学術講演会講演予稿集, **2**, 542, 28a-SC-4, (1995).
- (28) 大島久純, 第 42 回応用物理学関係連合講演会講演予稿集, **2**, 651, 30p-ZA-9, (1995).
- (29) N. Takezoe, A. Yokotani, K. Kurosawa, W. Sasaki, T.Igarashi and H. Matsuno, *Appl. Surf. Sci.*, **138**, 340, (1999).
- (30) K. Kurosawa, N. Takezoe, A. Yokotani, H. Yanagitta and R. Nomura, *Mater. Res. Soc. Symp. Proc.*, **555**, p. 167, (1999).
- (31) 宮野淳一, 博士学位論文, 宮崎大学大学院工学研究科物質エネルギー工学専攻, (2003).
- (32) K. Fujimoto et al., *J. Electrochem. Soc.*, **137(8)**, 2883, (1990).
- (33) S. Nguyen et al., *J. Electrochem. Soc.*, **137(7)**, 2209, (1990).
- (34) K. Inoue, Y. Nakatani, M. Okuyama and Y. Hmakawa, *Jpn. J. Appl. Phys.*, **64**, 6496, (1988).

第3章 SiP 用 Via ホール用の基板加工技術の開発

3-1. はじめに

従来の SiP 作製においては、各 LSI 基盤とパッケージ基板との間の電極には、ワイヤー・ボンディングで接続していた。ワイヤー・ボンディング法とは、各々の LSI とパッケージ基板との間を金属ワイヤーで接続する方法である。SiP 内部でチップを積層する場合、厚さ 200~300 μm の基板を用いた LSI を重ね合わせることによって作製している。接続方法がワイヤー・ボンディングだと下から順にチップ寸法を小さくしていく必要がある。その結果、LSI を選択する上で制約になる。チップの寸法がほぼ同じ大きさである場合には、チップ間にスペースを入れることによってボンディング箇所を確保できる。しかし厚さ方向が余分に増えてしまうという犠牲を払うことになる。また、ワイヤー・ボンディングを用いる限り、高速化・省電力化の点で問題があるため、これらの問題点を解決するためには、新しい電極接続技術の開発が必要である。この方法では、厚さ 30~50 μm のシリコンウエハーに、貫通穴電極用の貫通穴 (Via ホール) を作製する必要がある。幅数 μm で長さ 30~50 μm 、すなわちアスペクト比 10 以上の貫通穴を作製するために、現在多くの技術が検討されている。我々は、プラズマエッチング法とフェムト秒レーザー法、の 2 種類の加工方法を検討してみた。

本章では、まずプラズマエッチング装置の原理と設計・製作について述べる。プラズマエッチングには、大きく分けて等方性エッチングと異方性エッチングの 2 種類があるが、それぞれの特徴について述べる。次に RIE (Reactive Ion Etching) 装置にて作製した Via ホールの SEM (Scanning Electron Microscopy) 観察の結果について報告する。最後に、フェムト秒レーザーを用いた加工穴形成過程の実験結果について述べる。

3-2. プラズマエッチング装置の製作

3-2-1. プラズマエッチングの原理

(1) 等方性エッチング

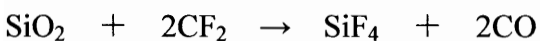
プラズマエッチング装置とは、プラズマにより発生する反応性イオンを利用したエッチング装置のことである。その概略図を Fig. 3. 1 に示す⁽¹⁾。この装置は、平行平板アノードカップル型のプラズマエッチング装置の原理図である。高周波電源 (RF) に接続された平面電極と、これに相対して対向電極が設置されている構造が基本になっている。平面電極はカソード (陰極)、対向電極はアノード (陽極) で、試料のウエハは対向電極上に配置される。反応室 (チャンバー) 内にエッチングガスを流し、真空度を約 1~10Pa に保持する。高周波電源により高周波の電力を平面電極に印加すると、両電極間に放電が起こりガスをイオン化 (プラズマ) させる。(高周波の電力は、ブロッキングコンデンサを通過する。) 発生したプラズマ中の電子とプラスイオンは、その質量の違いから電子は早く、プラスイオンは動きが遅い。そのため、電子は平面電極と対向電極にすぐに到達し、一方イオンはほとんど動かない。

平行平板アノードカップル型のプラズマエッチング装置では、高周波電源によって作製したイオンは、後述する RIE のようにウエハに DC バイアスが発生しないため、物理的な反応はなく、化学的反応によってウエハをエッチングする。この場合、基板の縦横方向に同時にエッチングされる (等方性エッチング) が行われる。

酸化膜のエッチングに用いるイオンの原料 (エッチングガス) には、通常は、フッ素系の薬品、例えば、CF₄ (四フッ化炭素 : フロン 14) や CHF₃ (三フッ化メタン) を用いる。例えば、CF₄ ガスはプラズマ中で次のように分解される。



発生したフッ素原子と CF₂ は酸化膜と次の反応をする。



生成した SiF₄ はそのまま、基板上から離脱するのでエッチングが進行する。

この方式の特徴は、後述する RIE に比べて物理的ダメージが少ないエッチングが可能であることである。反面、エッチングガスと基板との化学反応によって

エッチングが基板の縦横方向に同時に行われるため、構造の下側にアンダーカットが形成されてしまい、精度のよい加工を行うことはできない。

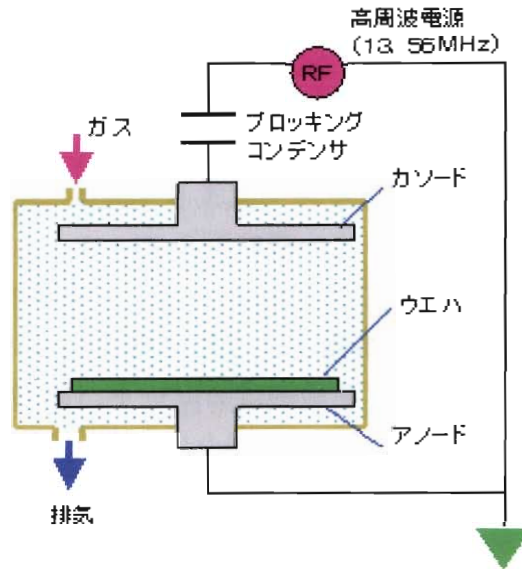


Fig. 3.1 プラズマエッチング装置概略図

(2) 異方性エッチング

エッチングによって精度のよい加工を行うには、エッチングが縦横方向に同時に進行するのではなく、特定の方向だけが進行すること（異方性エッチング）が要求される。異方性エッチングを行うことのできる装置の代表が、RIE である。その RIE 装置の原理図を Fig. 3. 2 に示す。RIE 装置は、高周波電源（RF）に接続された平面電極と、これに相対して対向電極が設置されている構造が基本になっている。平面電極はカソード（陰極）、対向電極はアノード（陽極）で、試料のウエハーは平面電極上に配置される。反応室（チャンバー）内にエッチングガスを流し、真空度を約 $1\sim 10\text{Pa}$ に保持する。高周波電源により高周波の電力を平面電極に印加すると、両電極間に放電が起こりガスをイオン化（プラズマ）させる。（高周波の電力は、ブロッキングコンデンサを通過する。）発生したプラズマ中の電子とプラスイオンは、その質量の違いから電子は早く、プラスイオンは動きが遅い。そのため、電子は平面電極と対向電極にすぐに到達し、一方イオンはほとんど動かない。平面電極に到達した電子は、ブロッキングコンデンサにより回路を遮断されているため平面電極を帯電させる。対向電極は、アースに接続されているため、対向電極に到達した電子はアースに流れる。平

面電極に帯電した電圧は400~1000Vに達し、これを陰極降下という(Fig. 3.3)。プラスイオンは平面電極及びウエハー上に、陰極降下で発生した垂直な電界に沿って入射し、物理的、化学的に異方性エッチングが行われる。RIE装置は、精度のよい加工を行うことができる反面、試料にダメージを与えやすくなる欠点も持っている。

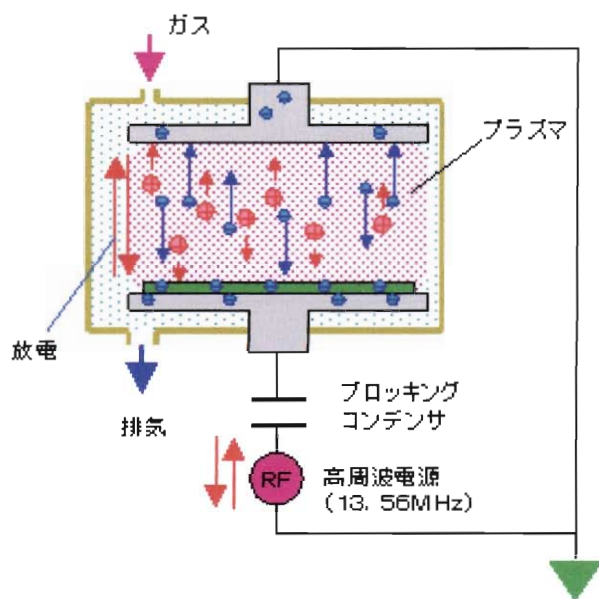


Fig. 3.2 RIE装置の概略図⁽¹⁾

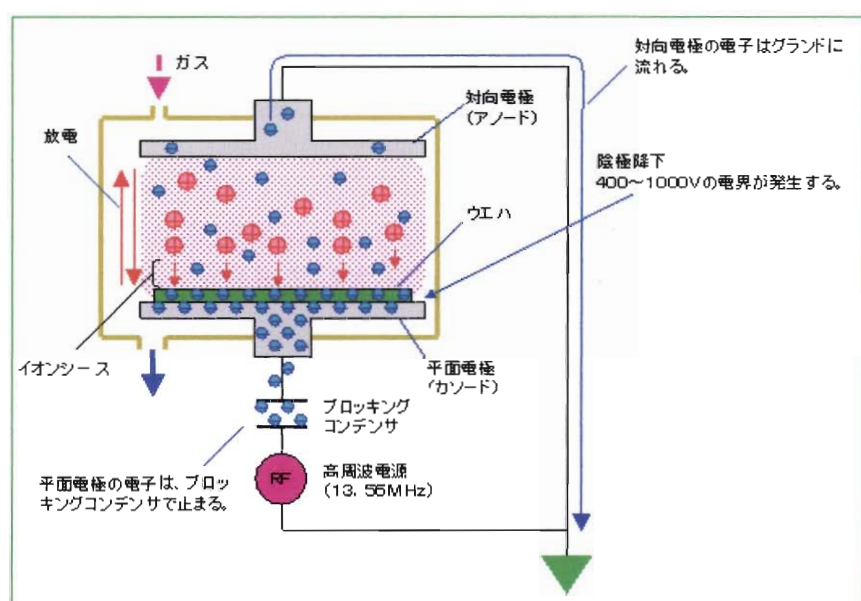


Fig. 3.3 RIE装置によるDCバイアスの発生原理⁽¹⁾

3-2-2. プラズマエッチング装置の概略

今回、本研究のために製作したプラズマエッチング装置（㈱サムコインターナショナル研究所製、BP-1 改）の概略図と写真を Fig. 3. 4 と Fig. 3. 5 に示す。また、この装置の仕様、設置条件を次にまとめた。

＝仕様＝

反応器：SUS 製

試料ステージ：φ100mm

電極：SUS 製 平行平板方式

RF 電源：13.56MHz 最大 300W

真空計：ピラニー真空計

ガス導入系：浮子式流量計 3 系統

＝設置条件＝

電源：AC100V 20A

アース：D 種設置以上

ガス：1/4SWL 4 箇所

冷却水：Rc1/2 2 箇所 (IN、OUT)

また、この装置の特徴を箇条書きにすると、次のとおりである。

＝特徴＝

- (1) 反応器は SUS 製で取り扱いが容易であるように設計されている。
- (2) カソードカップリング方式による電極構造を採用している。
- (3) 基板は水冷することが可能である。
- (4) 各種計測用モニターが接続可能である。
- (5) 多目的な用途に使用できるよう、設計にフレキシビリティを持たせている。

等が上げられる。

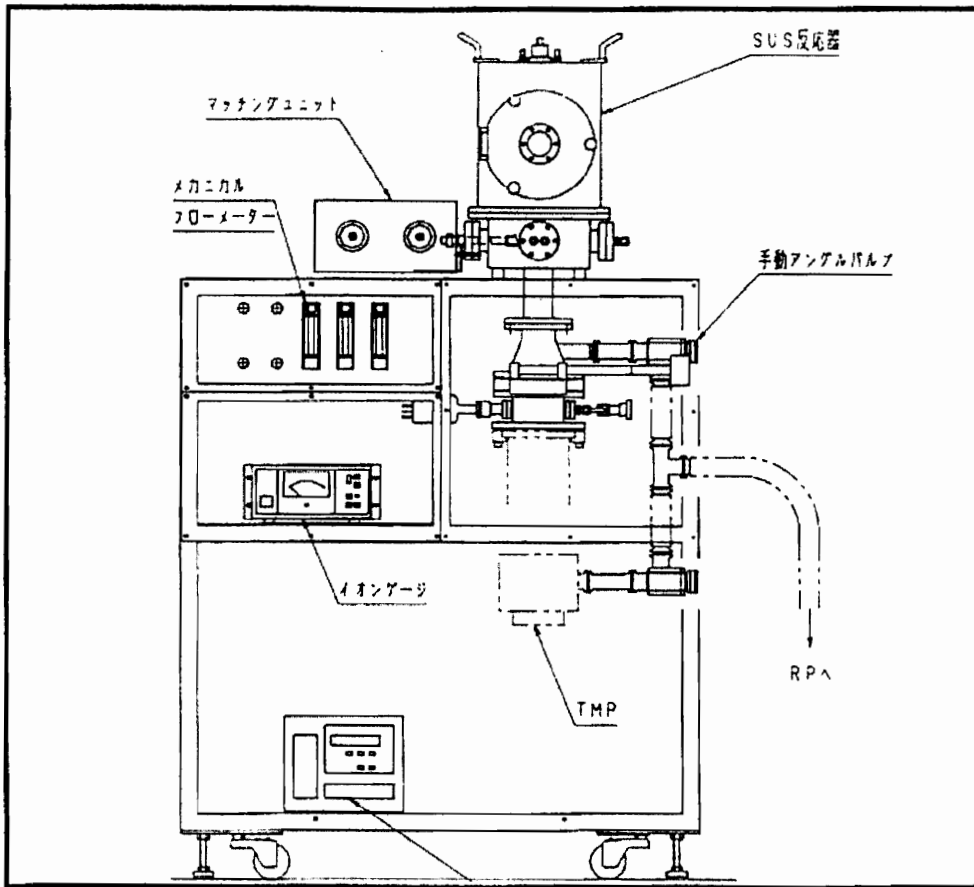


Fig. 3.4 プラズマエッチング装置概略図

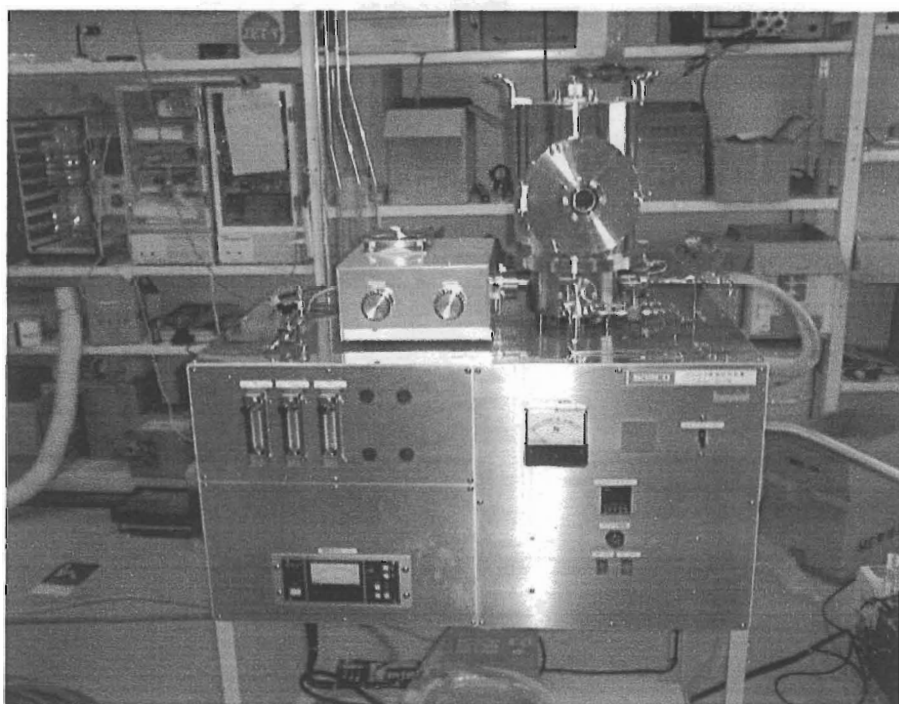


Fig. 3. 5a プラズマエッチング装置写真(正面図)

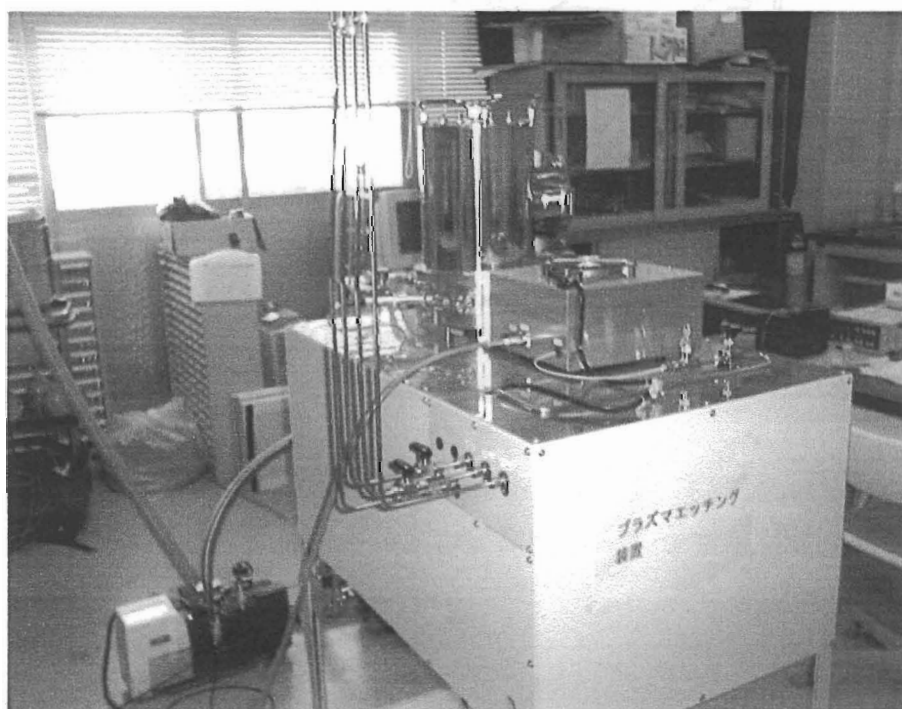


Fig. 3. 5b プラズマエッチング装置写真(背面図)

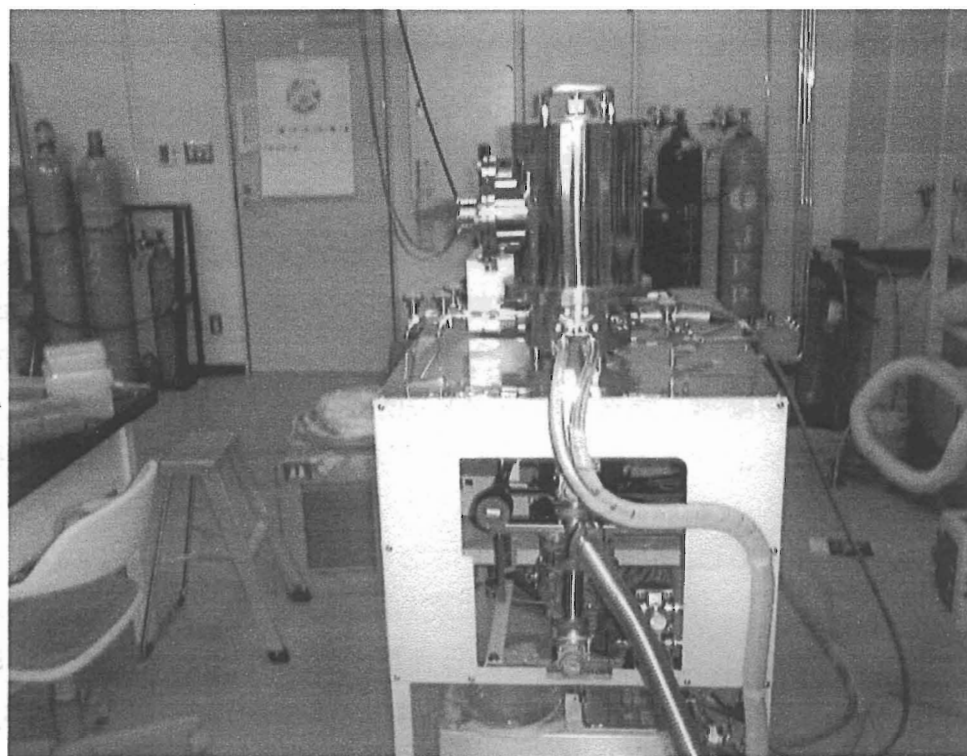


Fig. 3. 5c プラズマエッチング装置写真(側面図)

3-2-3. 装置の立ち上げと調整

プラズマエッチング装置の冷却水を確認してから、メインブレーカをオンにした後、ロータリーポンプとターボ分子ポンプの間のバルブを開いて、ロータリーポンプにて排気を行う。その後、ターボ分子ポンプのスイッチをオンにする。ターボ分子ポンプの回転数が、2700 回転まであがったのを確認した後、ねじを緩めて、バルブをあける。ロータリーポンプとターボ分子ポンプの間のバルブを閉めた後、ロータリーポンプと試料チャンバーとのバルブを開けて、試料チャンバーの排気を行う。ピラニーゲージで試料チャンバー内圧力が 10Pa 以下になっていることを確認した後、ロータリーポンプと試料チャンバーとのバルブを閉める。その後、ターボ分子ポンプと試料チャンバーとのバルブを開ける。ピラニーゲージが 1Pa 以下になっていることを確認した後、イオンゲージのフィラメントをオンにし、 5×10^{-3} Pa 以下になるまで待つ。 5×10^{-3} Pa 以下になったら、イオンゲージを 10^{-1} Pa オーダーに戻しフィラメントをオフにする。次に、ターボ分子ポンプをエッチングガスから保護するために TPV バルブを開ける。その後、酸素バルブを開いて、100~50ml/min に設定する。真空バルブを少しずつ閉め、ピラニーゲージが 20Pa を示すように、調節する。次に高周波電源の数値を調節して、プラズマエッチングを行う。所定のエッチングを行った後、高周波電源をオフにした。その後エッチングガスを、ロータリーポンプとターボ分子ポンプで排気し、試料チャンバー内の真空度が 5×10^{-3} Pa 以下になっていることを確認する。リークバルブを開けて、試料チャンバーをリークしてから、試料を取り出し、再度試料チャンバーを排気し、 5×10^{-3} Pa 以下になっていることを確認してからロータリーポンプとターボ分子ポンプを止めてエッチングを終了させる。

3-3. RIE を用いたシリコンウエハー上の Via ホールを模した微細構造の作製と SEM 観察

3-3-1. 試料作製

RIE 装置を用いて、所定のパラメーターで、シリコンウエハー上に微細構造を作製した。作製した微細構造は、ホール（深さ各 5、50 μm 、直径各 1、5、10、20、50 μm ）、ピラー（高さ各 5、50 μm 、直径各 1、5、10、20、50 μm ）、直線流路と 90° 曲げ流路（深さ各 5、50 μm 、幅各 1、5、10、20、50 μm ）、Y 字流路（深さ各 5、50 μm 、幅各 1、5、10、20、50 μm ）である。作製した微細構造は SEM によって観察を行った。SEM の印加電圧は 20kV である。

3-3-2. 実験結果

(1) ホール（垂直穴）

RIE によって作製したホール（深さ 5 μm 、直径各 5、50 μm ）の SEM 写真を、Fig. 3. 6a と Fig. 3. 6b に示す。

直径が 5 μm 、50 μm いずれの場合でも、真円に近い穴が、等間隔に空けられている事が、確認できた。

次に、空けられているホールの深さ方向の精度を、確認するため、試料を水平方向から 40° 傾けた状態で観測を行った。深さ 5 μm で直径 5 μm のホールを 40° 傾けた状態で測定した、SEM 写真を、Fig. 3. 7 に示す。ホールの出口部分のピッチは、約 100nm 以下であった。ホール全体にわたってほぼ同じ直径で、

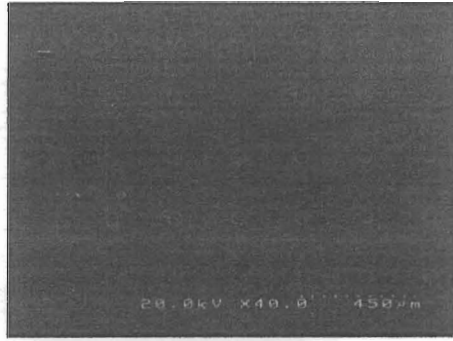


Fig. 3. 6a RIE によって作製したホール（深さ 5 μm 、直径各 50 μm ）

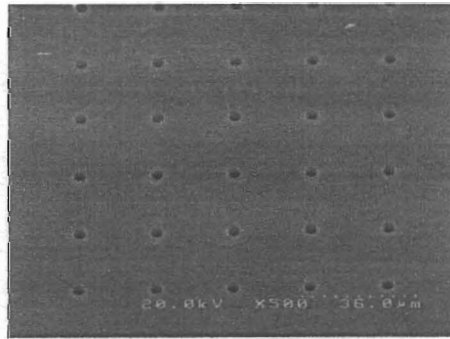


Fig. 3. 6b RIE によって作製したホール（深さ 5 μm 、直径各 5 μm ）

穴が形成されていることが確認できた。

さらに、このホール側面の加工による荒れ具合を確認するために、SEM の倍率を上げて拡大したところ (Fig. 3. 8)、ホールの入り口付近では 100nm 程度の荒れがあったものの、ホールの中間より下では、比較的滑らかな加工断面が得られた事が確認できた。

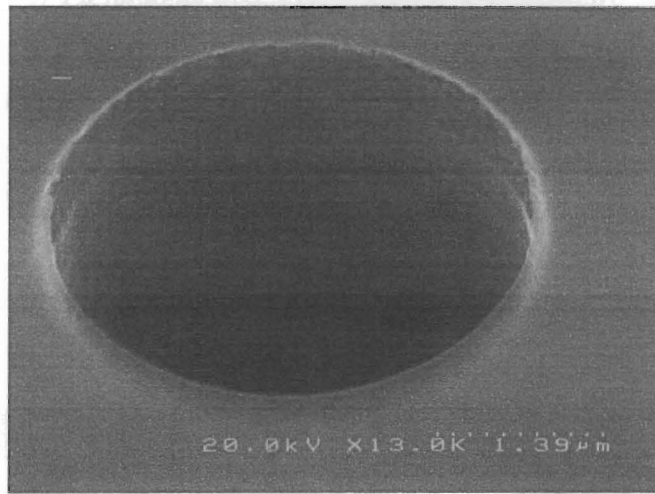


Fig. 3. 7 RIE によって作製したホールの拡大図
(深さ 5 μ m、直径 5 μ m、水平方向から
40° 傾けている)



Fig. 3. 8 RIE によって作製したホールの側面
(深さ 5 μ m、直径 5 μ m、水平方向から
40° 傾けている)

(2) ピラー

RIE によって作製したピラー（高さ $5\mu\text{m}$ 、直径 $5\mu\text{m}$ ）の SEM 写真を、Fig. 3.9 に、拡大写真を Fig. 3.10 に示す。ピラー側面の加工状態を確認するため、試料を 40° 傾けて観測した。

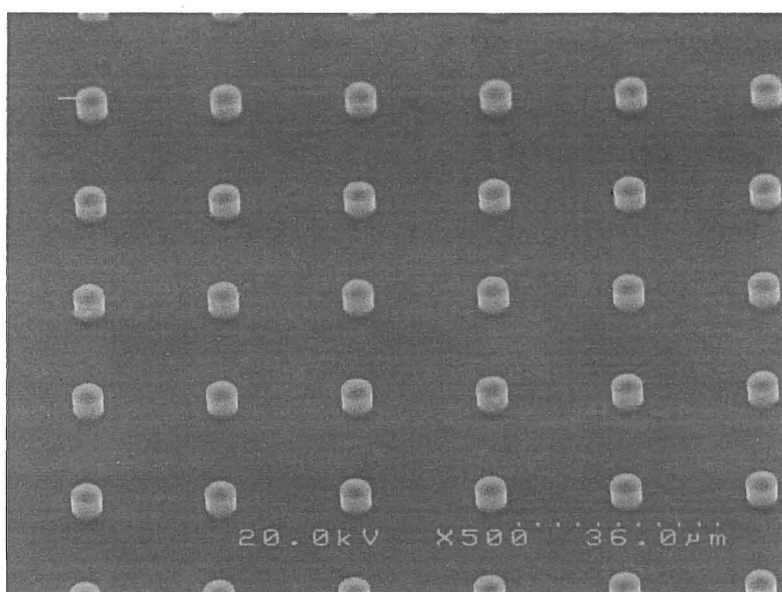


Fig. 3.9 RIE によって作製したピラーの側面（高さ $5\mu\text{m}$ 、直径 $5\mu\text{m}$ 、水平方向から 40° 傾けている）

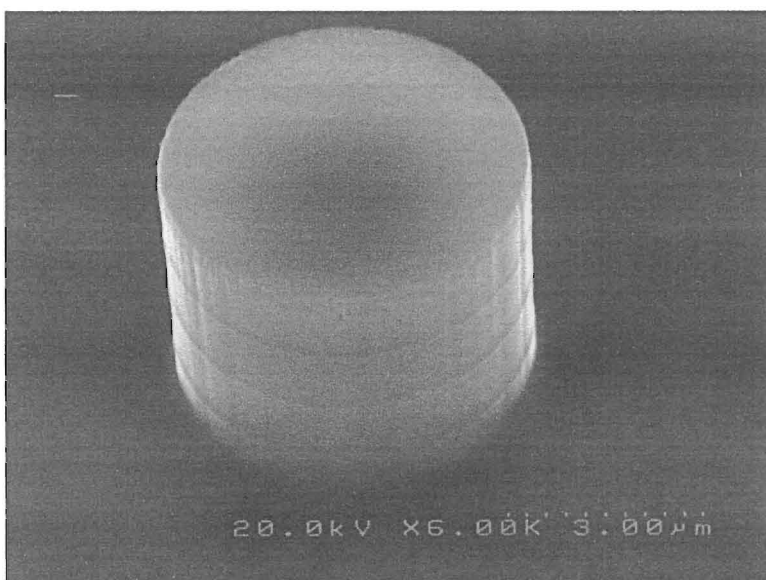


Fig. 3.10 RIE によって作製したピラーの側面の拡大図（高さ $5\mu\text{m}$ 、直径 $5\mu\text{m}$ 、水平方向から 40° 傾けている）

ホールと同様、ピラー側面は高さ $5\mu\text{m}$ に渡って、なめらかな表面を有しており、更に直径は、高さ方向に沿ってほとんど変化が無い、良好な加工特性が得られた。

(3) 90° 曲げ流路

RIE によって作製した 90° 曲げ流路（深さ $5\mu\text{m}$ 、幅各 $5\mu\text{m}$ ）の SEM 写真を、Fig. 3. 11 に、拡大写真を Fig. 3. 12 に示す。流路側面の加工状態を確認するため、試料を 40° 傾けて観測した。

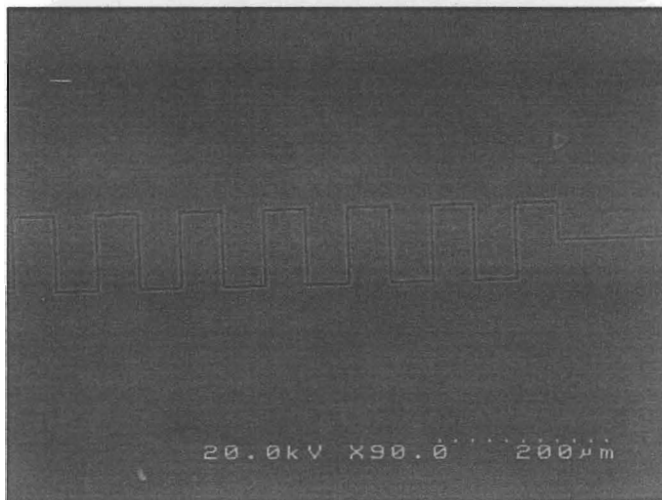


Fig. 3. 11 RIE によって作製した 90° 曲げ流路
（高さ $5\mu\text{m}$ 、直径 $5\mu\text{m}$ ）

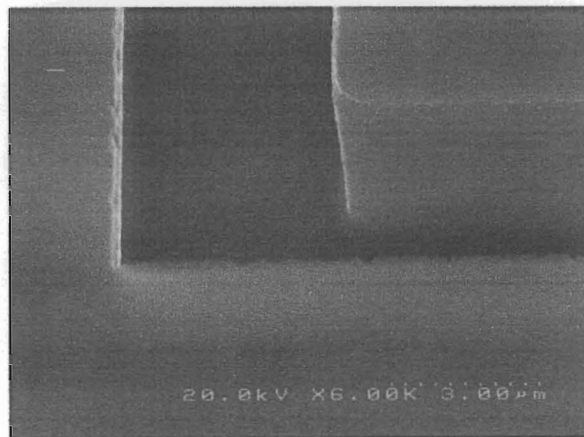


Fig. 3. 12 RIE によって作製した 90° 曲げ流路の拡大図
（高さ $5\mu\text{m}$ 、直径 $5\mu\text{m}$ 、水平方向から 40° 傾
けている）

90° 曲げ流路側面は高さ 5 μm に渡って、なめらかな表面を有しており、流路の幅と高さは、ほとんど均一な、良好な加工特性が得られた。

3-3-3. まとめ

以上より、RIE を用いることによって、数 μm レベルの微細構造物の加工が可能であることを示した。加工断面の荒れ具合については、エッチングを行う際の、パラメーター（電圧、エッチングガスの種類、ガス圧力）を調整することにより、改善できると考えられる。

3-4. フェムト秒レーザーによる加工

3-4-1. フェムト秒レーザーによる加工におけるこれまでの成果

前述したように、電子デバイスを小型化する方法の1つとして SiP によるシステム LSI を使用する事が考えられており、そのためには基板を極薄化することが考えられている^(2,3)。例えば、IC カードのような薄いカードの中に積層して IC チップを埋め込むためには半導体基板の厚さを $30\mu\text{m}\sim 50\mu\text{m}$ 以下にする必要がある。しかし、極薄基板は機械的強度が極端に低下し、従来のダイシング技術で機械式切削加工をそのまま応用したのでは切断面にチッピングやクラック (Fig. 3.13) が生じてしまい、基板破壊となってしまう。

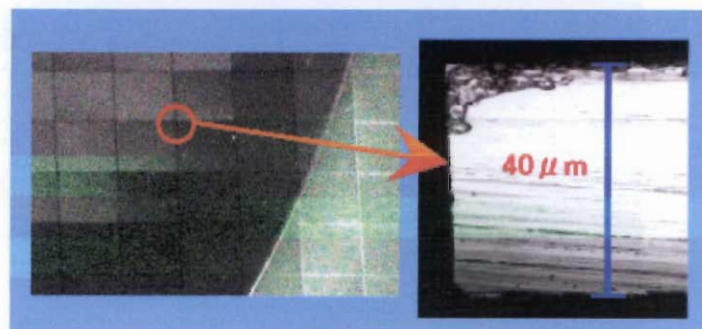


Fig. 3.13 極薄シリコン基板の切断後のクラック

そこで我々は材料を非接触で加工できるレーザー加工に着目した⁽⁴⁾。従来の加工用レーザーとして用いられているナノ秒レーザーでは、熱拡散によりエネルギーが照射部周辺に伝わるため、材料融解による盛り上がりが発生させてしまう⁽⁵⁻⁷⁾。そこで、熱拡散よりも早くエネルギーを注入できるフェムト秒レーザーを用いて研究を行ってきた。しかし、フェムト秒レーザーを用いても完全に熱影響を抑制することが出来たわけではない⁽⁸⁾。そこで本研究では厚さ $50\mu\text{m}$ の極薄シリコン基板にフェムト秒レーザーを照射し、高速ゲート付きのイメージインテンシファイアを装着した CCD カメラを使用して、ゲート幅 5ns でフェムト秒という超短パルスによって瞬時に起こる加工現象を時間的にとらえて解析した。この高速度 ICCD カメラを用いて、フェムト秒レーザーアブレーションによるシリコン基板への加工穴形成過程を観察し、熱影響との関係を調べる。

過去の研究で、時間波形制御を行ったダブルパルスフェムト秒レーザーで極薄シリコン基板のダイシングを行った結果、従来のレーザーダイシング方法で発生していたクラックやチッピングが見られなかった。時間波形制御による利

点は、マイクロクラックの発生を抑制しつつ、加工穴底面が平坦な円柱状の加工溝を得ることが出来るという点である⁽⁹⁻¹³⁾。また、パルス間のずれが 10ps の時に加工穴は最も浅くなるという結果が出た。そこで本節では、それらの結果を受けて、遅延時間を制御し加工穴形成過程を観察する実験を行い、遅延時間による立ち上がり時間と固体材料の微細加工特性の評価を行った結果について、報告する。

3-4-2. フェムト秒レーザーによる材料加工の原理

レーザーを物質に照射した場合、レーザー光の照射強度がある大きさ（閾値）以上になると、物質表面が瞬時に熔融・蒸発しイオン、原子、分子、固体片などが瞬時に噴出される現象をレーザーアブレーションという。レーザー加工はアブレーションによって固体表面がエッチングされるプロセスを利用して行われる。エキシマレーザーなどの短波長レーザーを用いてアブレーションを行う場合、1光子あたりのエネルギーは大きく(ArF*エキシマレーザー: 6.4eV、KrF*エキシマレーザー: 5.0eV)、1光子のみで物質の結合を切断しつつ、アブレーションを起こすことができる。

これに対して、我々が用いたフェムト秒レーザーの波長は 780nm で1光子あたりのエネルギーは 1.6eV と小さい。しかし、光強度を強くすることで複数の光子を吸収する多光子吸収が起きはじめる。これを多光子吸収過程と呼び、1光子では吸収のない透明物質に対しても、高強度超短パルスレーザーの作り出す大きな光強度ならば、この多光子吸収により吸収効率が上がり、アブレーションが可能となる。

3-4-3. 実験装置

Fig. 3. 14 に実験装置の全体構成図を示す。装置構成はフェムト秒レーザー発生部、撮影部、サンプル加工部の 3 つ、及び遅延光学系素子から成る。装置ごとに説明を行う。

(1) フェムト秒レーザー発生部

励起源である LD 励起 Er ドープファイバーフェムト秒パルス発振器より、波

長 $\lambda=780\text{nm}$ 、パルス幅 $\tau=100\text{fs}$ 、平均出力 $P=10\text{mW}$ 、周波数 $f=50\text{MHz}$ のパルス列を出力させた。このフェムト秒パルスの増幅によって光学素子が損傷することを防ぎ、また種々の非線形光学効果を抑制するためにチャープパルス再生増幅技術を用いた。発振器からのフェムト秒パルスは、まず増幅前にストレッチャーとして再生増幅器内の回折格子によって正の群速度分散を与え、パルス幅を $\tau=100\text{ps}$ に伸張しピークパワーを落とし、Q-switch Nd:YLF レーザー（波長 $\lambda=527\text{nm}$ 、平均出力 $P=30\text{W}$ 、周波数 $f=1\text{kHz}$ ）によって励起させたチタンサファイア結晶で平均出力 $P=2\sim 3\text{W}$ （周波数 $f=1\text{kHz}$ ）に増幅させた。その後、コンプレッサーとして回折格子により負の群速度分散を与え、パルス圧縮を行い、波長 $\lambda=780\text{nm}$ 、パルス幅 $\tau=100\text{fs}$ 、最大出力エネルギー $E=1.5\text{mJ}$ 、繰り返し周波数 $f=10\text{Hz}$ のパルスを出力させた。

ここで、再生増幅器内の結晶を励起する Nd:YLF レーザーの Q スイッチ信号を ICCD カメラで遅延時間を操作し時間分解撮影を行う際のトリガーとして用いた。

(2) サンプル加工部

サンプル加工部の構成図を Fig. 3. 15 に示す。サンプル加工部は、サンプルに照射するパルスのショット数を制御するためのメカニカルシャッター、サンプルを固定するための光学ステージ、フェムト秒レーザーを集光するための平凸レンズ ($f=100\text{mm}$) で構成した。焦点を合わせるためにレンズの下部に精密ステージを装着し、パソコン画面で観察しながら $10\mu\text{m}$ ピッチでレーザーの光軸方向に微調整できるようにした。フェムト秒レーザーの繰り返し率が 10Hz であるため、サンプルへのショット数はメカニカルシャッターの開閉時間を $1/16\text{s}$ とすることで、1ショットのみがサンプルに照射できるようにした。

(3) 撮影部

Fig. 3. 16 に本実験で使用した浜松ホトニクス社製高速 ICCD カメラ (C7300) の写真を示す。カメラのトリガーとして、チタンサファイア結晶を励起するために用いた Nd:YLF レーザーの Q スイッチ信号を用いた。ピント調整を行うために、マイクロメーター付き精密ステージを取り付け、X,Y,Z 軸のどの方向にも微調整できるようにした。パルスジェネレーターによってゲートの開閉タイミングを遅延させて撮影することにより、高強度フェムト秒レーザーによる照射サンプルの加工穴形成過程を撮影した。この時の照明用光源として Nd:YAG レーザー (cw 50mW) を使用し、加工部位を照らし続けながら撮影した。

ここで、アブレーションによって生じるプラズマや噴出したプルームの自発発光、加工に用いたフェムト秒パルス光といった雑光は撮影の妨げとなる。そこで、これらの雑光をカットし、照明光のみをできるだけ透過するフィルターを選択してカメラの前面に挿入した。

(4) カメラの配置

シリコン撮影の場合は、サンプル表面で照明光を反射させ、フィルターを透過させた後、カメラに入射させた。カメラのゲート幅を 5ns に設定し、フェムト秒レーザーアブレーションによる加工現象を撮影した。

スライドガラス撮影の場合は、サンプルを透過したレーザー光をさらにフィルターを透過させて、カメラに入射させた。カメラのゲート幅を 5ns に設定しフェムト秒レーザーアブレーションによる加工現象を撮影した。

(5) レーザーと ICCD カメラのタイミング調整

加工穴形成過程を時間分解し撮影するためには、カメラの自己ディレイや信号がケーブルを伝わるのに要する時間、レーザー自体の光軸調整によって変動するディレイ、サンプル～カメラ間の距離を光が進むのにかかる時間をすべて考慮し、レーザーがサンプルに照射するタイミングとカメラのゲートの開閉タイミングを一致させる必要がある。そこで、レーザーとカメラの同期について以下に説明する。

まず、ゲート開閉に遅延をつけるためのパルスジェネレーターからの信号は I. I. コントローラを経由してゲートが開くまでに約 70ns かかってしまう。そこで、70ns 以前に動作している電気信号をトリガーとしなければならない。ポッケルスセルから信号を取ると、信号強度が下がってしまう。このため、ポッケルスセルが正常に動作せず、切り出したパルスが二つになるなどの問題が発生するため、Nd:YLF レーザーの Q スイッチ信号をトリガーとして用いなければならなかった。この Nd:YLF レーザーの Q スイッチ信号をパルスジェネレーターに送った。

一方、レーザー光のタイミングに関して、サンプルを固定する位置より 1mm 程度レンズ側に非線形結晶（カルコン）を置き、ショット数を 1 ショットに制御したレーザー光で照射した。非線形結晶にレーザー光を照射すると、青色に発光する。この発光が写るようにパルスジェネレーターの値を変化させながらカメラで撮影した。メカニカルシャッターは手動なので、いつのタイミングで 1/16s 開閉させることができるのか不安定である。そのため、今回用いた ICCD

カメラは 100ms 間隔で 10 枚の写真を撮るように設定した。これにより、メカニカルシャッターを開く手動操作と ICCD カメラのスタートを同時に行うことで、これら 10 枚の内のどれかにメカニカルシャッターを抜けてきたレーザーが照射された目的の画像が得られる。また、レーザーが照射された瞬間 ($t=0$) のタイミングについては、Fig. 3. 17 に示すように加工穴が形成されると仮定し、調整したパルスジェネレーターの値が $2.725\mu\text{s}$ であったとする。この値ではシャッターの開閉のタイミングがレーザーが照射される時間より遅く直径 a の加工穴が観察できる(状態 A)。そこで、パルスジェネレーターによって遅延時間を減少させていく。すると、2 枚目以降の画像には完成した加工穴、1 枚目の加工穴はだんだん小さくなっていく(図中では $2.705\mu\text{s}$)(状態 B)。ここからさらに遅延時間を減らしていと、1 枚目の画像にはレーザーが照射される直前のサンプル表面に何も変化のない状態、そして、2 枚目の画像には 100ms 後の完成した加工穴が写る時間が見つかる(図中では $2.700\mu\text{s}$)(状態 C)。この方法を用いることにより、レーザー照射の 0 位置とした。

その後、パルスジェネレーターでゲートの開閉タイミングを 1ns 毎に変化させて撮影することにより、照射パルスごとの撮影を行い、高強度フェムト秒レーザーによる加工穴形成過程を撮影した。

(6) 遅延光学系素子

Fig. 3. 18 に遅延光学系素子の構成図を示す。ビームスプリッターにより、フェムト秒レーザーを反射光と、透過光の 2 つに分割した。透過光は、マイクロメーターを取り付けたステージ上のミラーによって反射され任意の遅延時間を付けた後、再度空間的に光路を重ね合わせた。例えば 10ps の遅延時間を付けるとすると、 $\Delta t = \Delta L / c$ より $\Delta L = 3\text{mm}$ となるのでマイクロメーターの値を 1.5mm 動かせば遅延時間が 10ps となる。

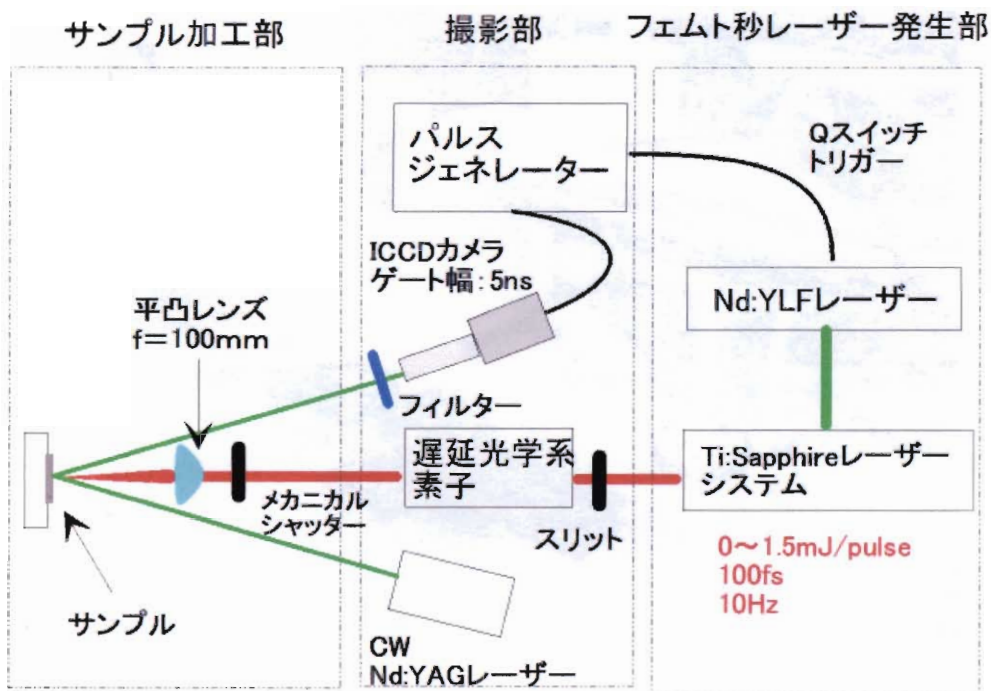


Fig. 3. 14 実験装置全体構成図

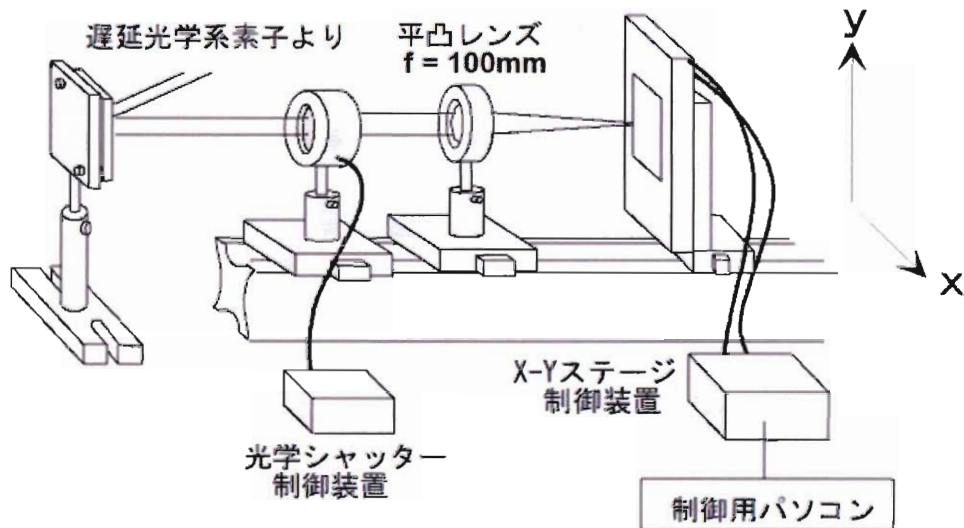
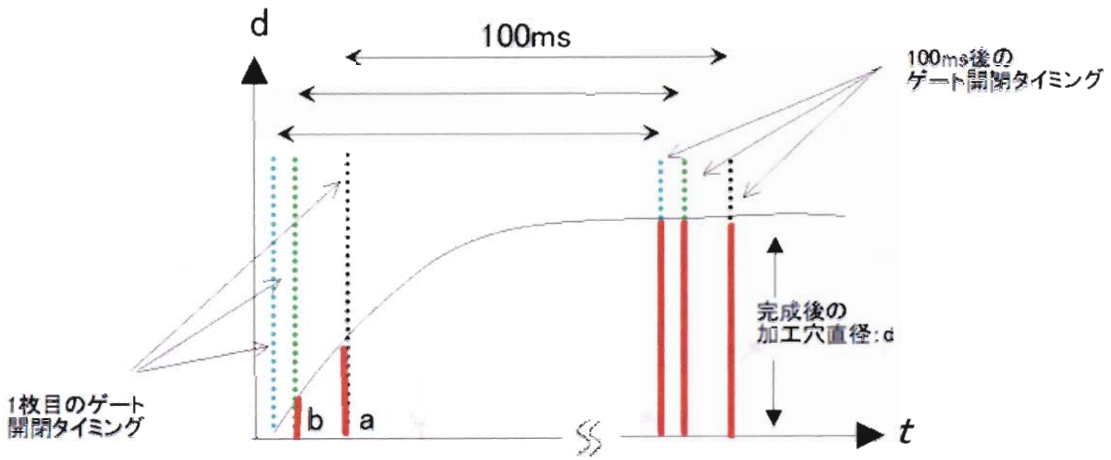


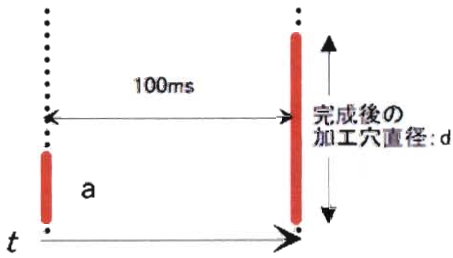
Fig. 3. 15 材料加工制御装置



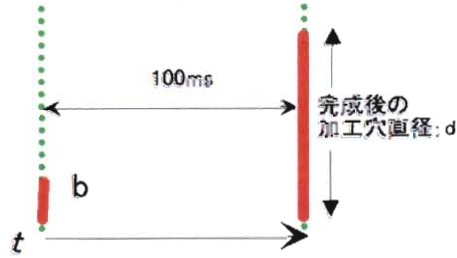
Fig. 3. 16 ICCD カメラ



状態A.パルスジェネレーター設定値
2.725 μ S



状態B.パルスジェネレーター設定値
2.705 μ S



状態C.パルスジェネレーター設定値
2.700 μ S

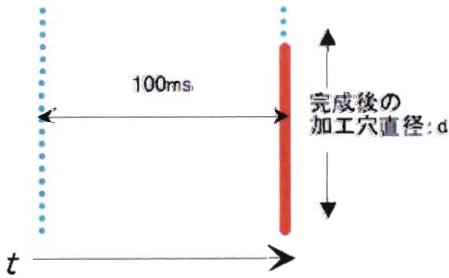


Fig. 3. 17 レーザーとカメラのタイミング位置

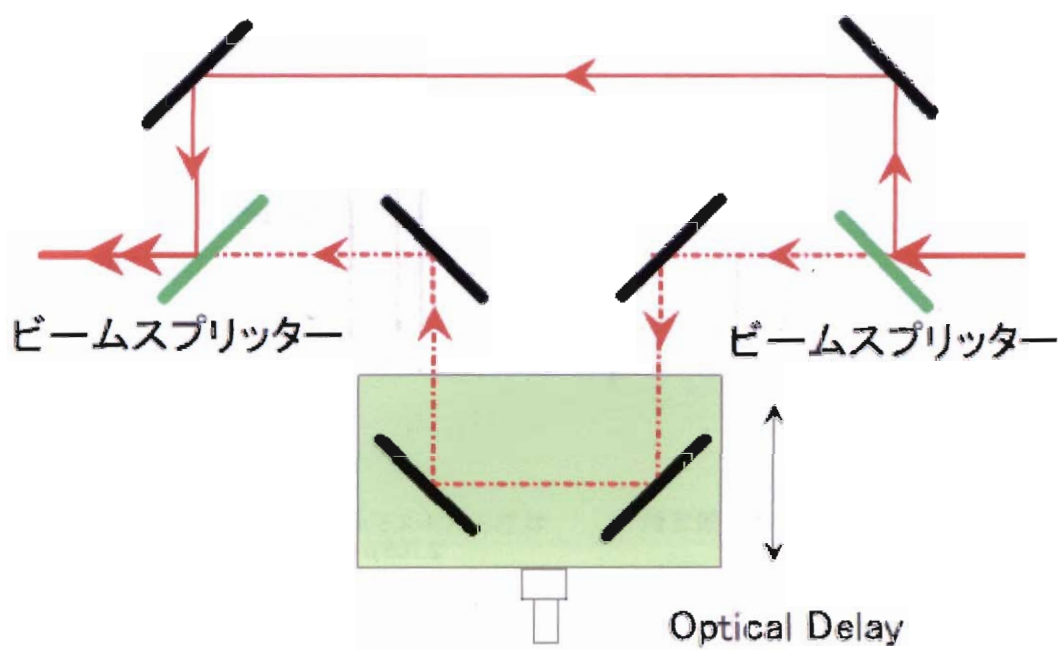


Fig. 3. 18 遅延光学系素子構成図

3-4-4. シリコンとガラスの加工穴直径変化の計測

発振させたフェムト秒レーザーは、パルス幅を 100fs、第 1、第 2 パルスのエネルギー E_1 、 E_2 をそれぞれ $100\mu\text{J}/\text{pulse}$ 、又はそれぞれ $30\mu\text{J}$ として実験を行った。その時の遅延時間は 0s、70fs、5ps、10ps、20ps、30ps、40ps、5ns の 8 通りで実験を行った。サンプルには厚さ $50\mu\text{m}$ のシリコンを用いた。フェムト秒レーザーは、遅延光学系素子を通すことでダブルパルスにし、メカニカルシャッターによりショット数を 1 ショットに制御し、サンプル加工部の平凸レンズ($f=100\text{mm}$)を用いて集光し、光学ステージ上に固定したサンプルに照射した。レーザーと ICCD カメラのタイミング調整は、撮影を開始する前に毎回必ず行った。カメラのゲート幅を 5ns に設定して撮影を行い、加工穴の直径変化を計測し、立ち上がり時間を調べた。

3-4-5. 実験結果

(1) シリコンの時間分解測定の結果

パルスエネルギー (E_1, E_2) = (100 μ J, 100 μ J)の時の高速度 ICCD カメラによって正面から撮影した遅延時間毎の加工穴観察結果の中から二例(遅延時間=0s、10ps)を Fig. 3. 19a と Fig. 3. 19b に示す。すべての画像は 100 μ m 角の大きさで、写真の下の数値はレーザーを照射してからの経過時間 (ns) である。すべての遅延時間において、加工穴の変化が 20ns 以前にはなくなっていたので、20ns 以降は 10ns 間隔で 50ns までの写真を載せた。フィルターを挿入することでプラズマやブルームの自発発光にさえぎられることなく、ほぼ正面から時間の経過とともに加工穴直径が増加していく様子を撮影することができた。

加工穴直径の時間変化をグラフ化した結果の中から二例を Fig. 3. 20a と Fig. 3. 20b に示す。横軸にレーザーを照射してからの経過時間(ns)、縦軸に加工穴直径(μ m)をとり 1ns 毎にプロットした。ここで、最終加工穴直径の 90%となる時間を立ち上がり時間と決めグラフ内に記入した。このグラフから、遅延時間が 0s の時の立ち上がり時間は約 14ns、70fs の時は約 13ns、5ps の時は約 8ns、10ps の時は約 10ns、20ps の時は約 10ns、30ps の時は約 10ns、40ps の時は約 10ns であることがわかった。遅延時間に対する立ち上がり時間のグラフを Fig. 3. 21 に示す。このグラフから、遅延時間が数 ps~10ps 付近の時に立ち上がり時間が一番短くなることがわかった。

(2) ガラスの時間分解測定の結果

シリコンの時と同様、ガラスにおいてもパルスエネルギー (E_1, E_2) = (30 μ J, 30 μ J)と、(100 μ J, 100 μ J)の時の高速度 ICCD カメラによって遅延時間毎の加工穴の観察を行った。そして、シリコンの時と同様に、最終加工穴直径の 90%となる時間を立ち上がり時間と決めた。遅延時間と立ち上がり時間の関係を表 1 に示す。遅延時間による最終加工穴直径にレーザー強度依存性は見られなかった。遅延時間に対する立ち上がり時間のグラフを Fig. 3. 22 に示す。このグラフから、2通りのパルスエネルギーにおいても遅延時間が数 ps~10ps 付近で立ち上がり時間が一番短くなることがわかった。

表1 ガラスの立ち上がり時間

遅延時間	立ち上がり時間(ns)	
	30 μ J/pulse	100 μ J/pulse
0s	5	9
70fs	4	6
5ps	1	4
10ps	2	4
20ps	4	6
30ps	4	6
40ps	3	6

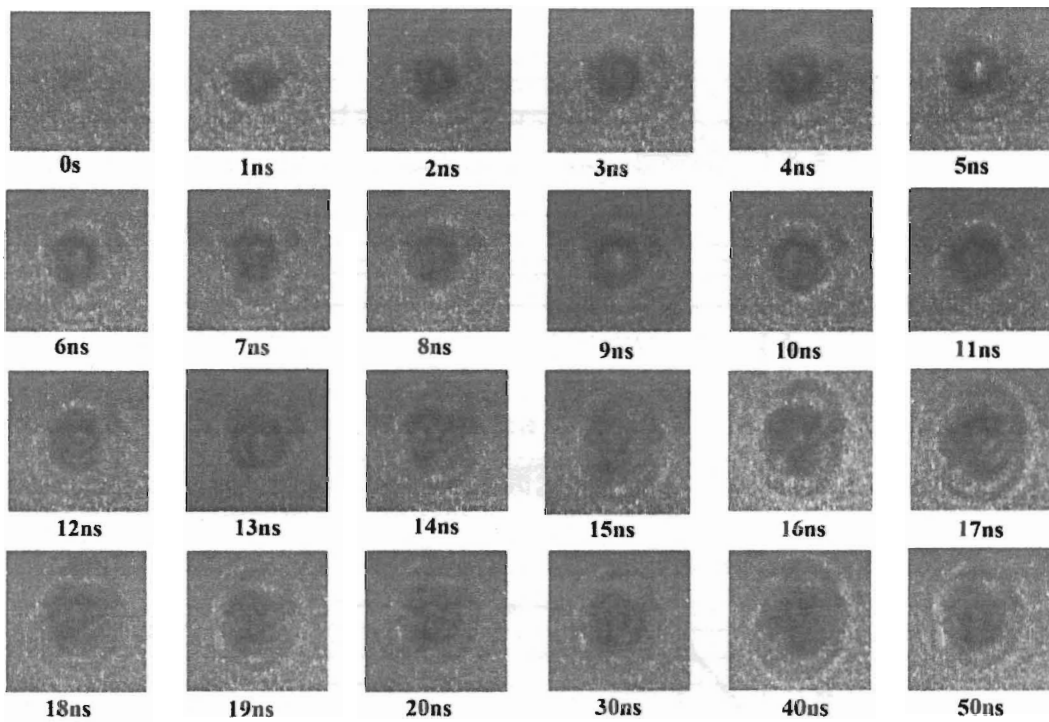


Fig. 3. 19a シリコンの ICCD 画像 (遅延時間 0s)

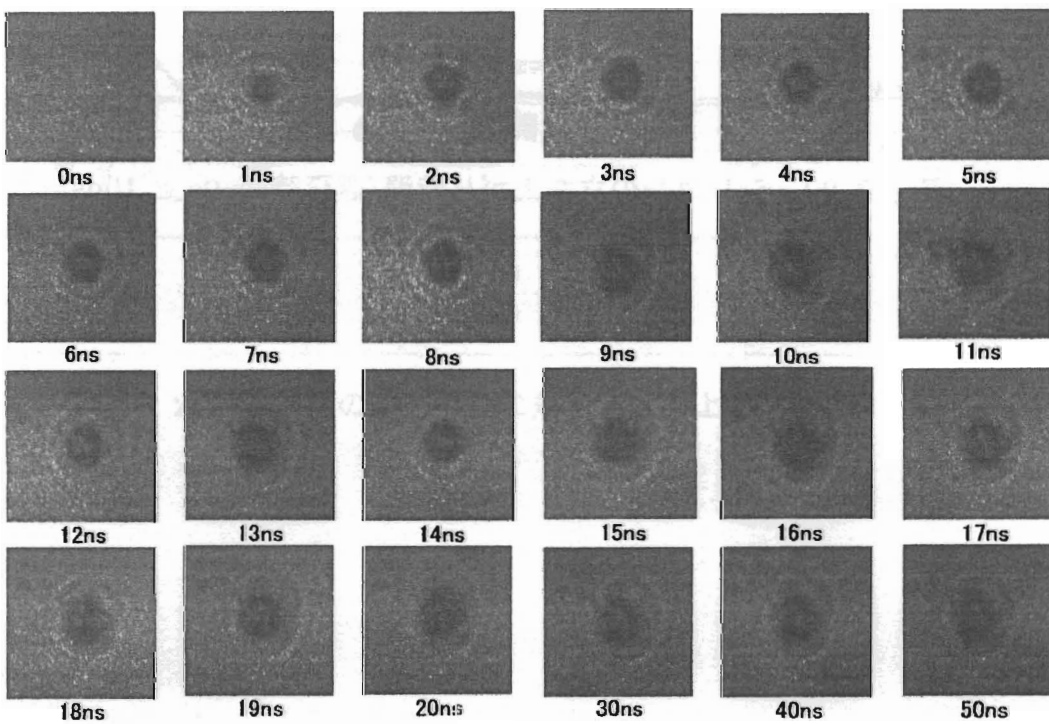
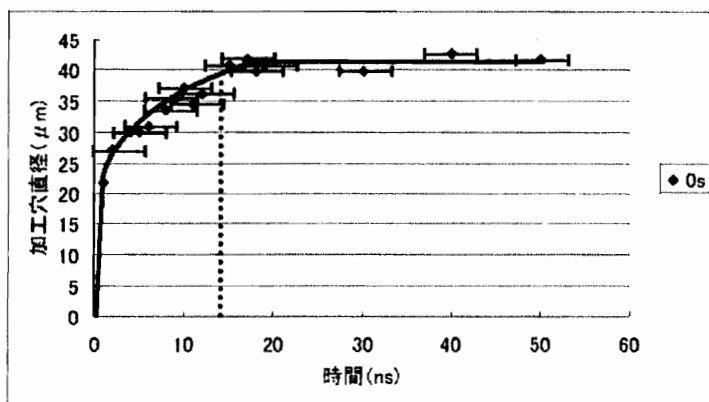
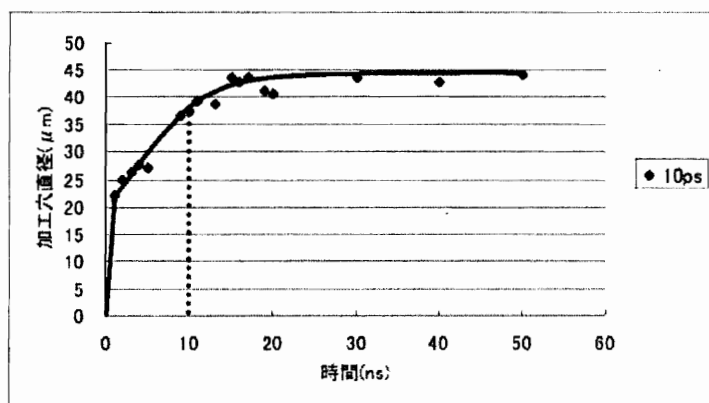


Fig. 3. 19b シリコンの ICCD 画像 (遅延時間 10ps)



遅延時間 0 s



遅延時間 10ps

Fig. 3. 20 シリコンの立ち上がり時間(遅延時間 0s と 10ps)

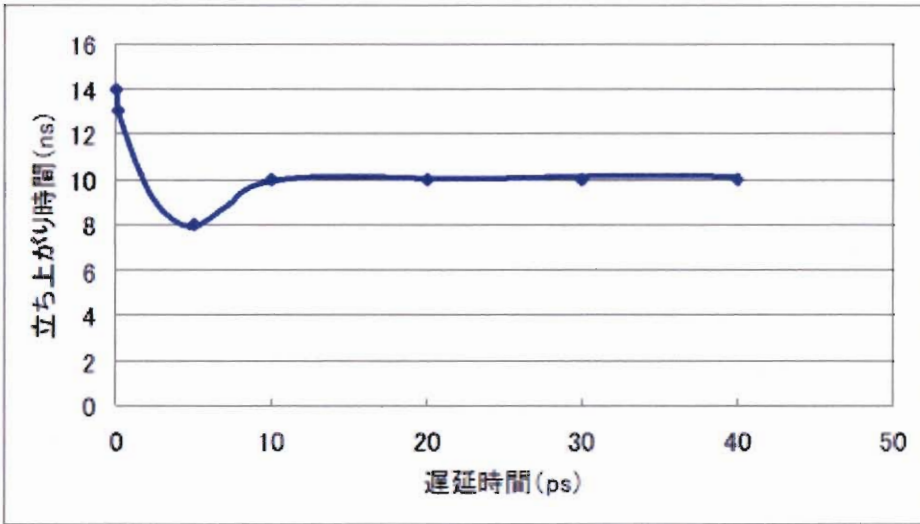


Fig. 3.21 シリコンの遅延時間に対する立ち上がり時間

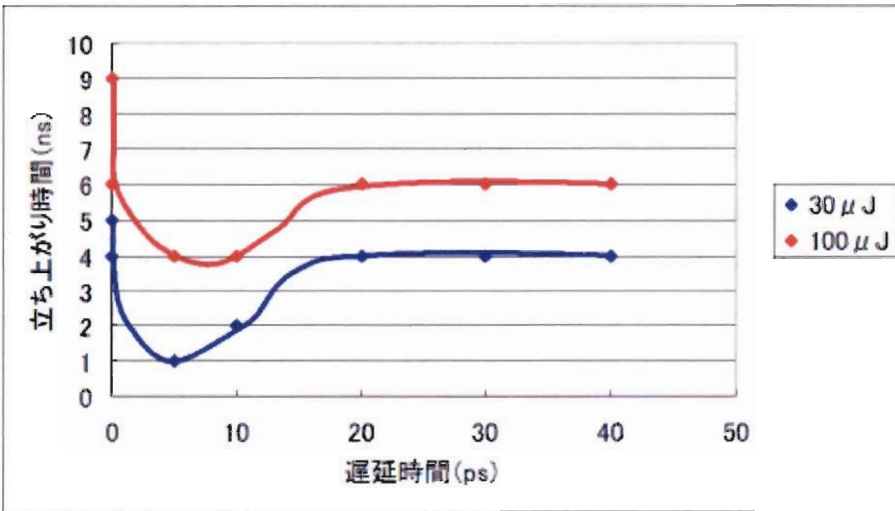


Fig. 3.22 ガラスの遅延時間に対する立ち上がり時間

3-4-6. 考察

(1) シリコンの時間分解測定

Fig. 3. 21 から分かるように遅延時間が 0s~40ps のときの立ち上がり時間は、0s で約 14ns、5ps で約 8ns、10ps で約 10ns、40ps で約 10ns であった。今回の実験ではカメラのゲート幅が 5ns であったので立ち上がり時間には数 ns の誤差が生じてしまうが、多くのデータから曲線を求めたことにより遅延時間が数 ps~10ps の間で立ち上がり時間が最も短くなると推測できるデータが得られた。数 ps~10ps で立ち上がり時間が短くなった原因は、第 1 パルス照射後の数 ps~10ps の間ではレーザー照射部が固体から液体へと変化しているのではないかと推測できる。固体と液体では吸収率や反射率が異なる。そのため吸収される第 2 パルスのエネルギーが変化したと推測できる。レーザーの中心ほどビームの強度が強いため、照射部中央に近い部分ほど液化がはやく進む。そこにちょうど第 2 パルスが照射されると、ビームの中心に近いほど吸収される割合が減少する。このように全体的に吸収されるエネルギーが減少するため、立ち上がり時間が短くなったと考えられる。

過去の研究で、レーザー照射後 10 ps 以降においてアブレーションが生じた際に発生するプルームが観測された⁽¹²⁾。このプルーム噴出中に第 2 パルスが照射すると、その粒子群によって第 2 パルスが遮蔽される。この時噴出する粒子の密度が最も高い角度はレーザー光と平行な角度であるため第 2 パルスの中央の強度が大きく減少すると予想できる。このため、遅延時間 10ps~40ps では立ち上がり時間に差が生じなかったと推測できる。

第 1 パルス照射後の加工穴変化途中に第 2 パルスを照射するために遅延時間を 5ns に調整した。その結果、各遅延時間での最終加工穴直径の中で最も小さい約 33 μm となった。これはプルーム現象の影響によるもので、プルームは約 50ns の時に最も強く観測された。遅延時間 5ns の時は 10ps よりもプルームの影響が強いため加工穴が小さくなったと推測できる。

(2) ガラスの時間分解測定

Fig. 3. 22 から分かるように、異なるパルスエネルギーの場合においても多くのデータから曲線を求めたことにより遅延時間が数 ps~10ps の時に立ち上がり時間が最も短くなると推測出来るデータが得られた。この数 ps~10ps で立ち上がり時間が短くなった原因は、シリコンで述べた考察と同じと推測できる。よって、パルスエネルギーに関係なく遅延時間が数 ps~10ps の間で立ち上がり時間が最も短くなると推測できる。

パルスエネルギー $(E_1, E_2) = (30\mu\text{J}, 30\mu\text{J})$ の場合、遅延時間が 0s の時の最終加工穴直径は約 $20\mu\text{m}$ 、Single pulse の時は約 $23\mu\text{m}$ であり、その差は $3\mu\text{m}$ であった。それに対し、 $(E_1, E_2) = (100\mu\text{J}, 100\mu\text{J})$ の場合は、遅延時間が 0s の時の最終加工穴直径は約 $25\mu\text{m}$ 、Single pulse の時は約 $50\mu\text{m}$ であり、その差は $25\mu\text{m}$ であった。この 2 つの最終加工穴直径に大きな差が出たのは、レーザーを平凸レンズで集光照射した時に焦点距離が合っていなかった事が原因と推測できる。

3-4-7. まとめ

我々は、ダブルパルスフェムト秒レーザーアブレーションでシリコン及びガラスの穴開け加工を行い、その加工穴形成過程を ICCD カメラで時間分解測定することで遅延時間と立ち上がり時間の関係を調べた。

- ・ シリコン基板の加工でレーザーエネルギー $(E_1, E_2) = (100\mu\text{J}, 100\mu\text{J})$ の時、遅延時間が数 ps \sim 10ps で立ち上がり時間が最も短くなる
- ・ 遅延時間が 5ns の時、プルームの影響で最終加工穴直径が小さくなる
- ・ ガラス加工でレーザーエネルギー $(E_1, E_2) = (30\mu\text{J}, 30\mu\text{J})$ の時、遅延時間が数 ps \sim 10ps で立ち上がり時間が最も短くなる
- ・ ガラス加工でレーザーエネルギー $(E_1, E_2) = (100\mu\text{J}, 100\mu\text{J})$ の時、遅延時間が数 ps \sim 10ps で立ち上がり時間が最も短くなる
- ・ フェムト秒レーザーをダブルパルスにするとシングルパルスに比べ立ち上がり時間が短くなる

以上の結果より、照射エネルギーに関係なくフェムト秒レーザーをダブルパルスにすることで立ち上がり時間が短くなり、さらに遅延時間が数 ps \sim 10ps の時に立ち上がり時間が最も短くなることが分かった。よってダブルパルスにすることで熱影響の少ない微細加工ができると考えられる。

3-5. おわりに

本章では SiP 用 Via ホール用の基板加工技術の開発を目指して、1つは RIE を、もう1つはフェムト秒レーザーによる加工実験について概説した。RIE については、高い加工精度で、貫通穴等の構造物が作成可能であることを示した。また、フェムト秒レーザーによる加工においても、加工精度を高めるために必要な条件を見出す事ができた。

3-6. 参考文献

- (1) <http://www1.ocn.ne.jp/~raichi/test/raichi/tdry/tdry.html>
- (2) S. Ohmi and R. T. Tung, *J. Appl. Phys.*, **86**, 3655, (1999)
- (3) S. Ohmi and R. T. Tung, *J. Electronic Materials*, **28**, 1115, (1999)
- (4) 黒澤 宏, "レーザー 基礎の基礎", オプトロニクス社, (1999).
- (5) J. Ihlemann, B. Wolff and P. Simon, *J. Appl. Phys.*, **A54**, 363, (1992).
- (6) B. C. Stuart, M. D. Feit, A. M. Rubenchik, B. W. Shore and M. D. Perry, *Phys. Rev. Lett.*, **74**, 2248, (1995).
- (7) J. Ihlemann, A. Scholl, H. Schmit and B. Wolff-Rottke, *J. Appl. Phys.*, **A60**, 411, (1995).
- (8) E. Ohmura, I. Fukumoto and I. Miyamoto, *Proc. 2nd Int. Symp. On Laser Precision Microfabrication, Singapore*, p. 66, (2001).
- (9) 西川精一, "金属工学入門 第1編 金属の基礎"
- (10) 水野俊男, "フェムト秒レーザーを用いた半導体関連材料の加工特性の評価", 宮崎大学工学部大学院 2004 年修士論文.
- (11) 川原公介, 二宮孝文, 沢田博司, 横谷篤至, 黒澤宏, レーザー学会学術講演会 第24回年次大会, 30aII-4, 仙台国際センター (2004年1月29-30日).
- (12) 沢田博司, 川原公介, 二宮孝文, 横谷篤至, 黒澤宏, 精密工学会誌, **69**(1), 83-88, (2003).
- (13) 黒木泰宣, "フェムト秒レーザーを用いた極薄半導体基板のダイシング技術の開発 ~時間波形制御による高精度加工の検討~", 宮崎大学工学部大学院 2003 年修士論文.

第4章 真空紫外光 CVD による SiP 用 Via ホールへの絶縁薄膜の作製と評価

4-1. はじめに

近年、携帯電話などのデジタルモバイル機器を中心に小型化、薄型化が進んでおり、これに伴い、用いる電子デバイスの小型化、システムの高性能化の要求が益々高くなっている。従来、ボード上で実現してきたシステムを一つの Si チップ上で実現する SoC(System on Chip) が、低電力化、高性能化、実装面積削減というメリットも大きく、半導体ビジネスの主流となっている。ところが、最近になって、システム LSI の開発期間の長期化や、さまざまなシステム機能を 1 チップに統合するための開発リスクの増大が問題になり始めている。そこで SoC と同等の機能を、複数の半導体チップを一つの半導体パッケージに包み込むことによって、高性能化、低電力化、低実装面積化を実現することのできる SiP(System in Package)技術が注目されている。現在の SiP 製品は LSI(Large Scale Integrated circuit : 大規模集積回路)チップを積層した後、積層されたチップ毎の電極 (バンパ)と回路基板をワイヤ・ボンディング技術により配線する方法が主流であるが、ワイヤスペース確保のための薄型化の限界、半導体チップの増加による配線の高密度化に伴う高価格化などの問題がある。そこで、現在、新しいチップ間接続技術として Si 貫通電極技術の開発が進められている。これは、チップに穴径 μm の貫通穴(Via hole)を作製した後、Cu などの金属で埋め込み電極として利用するため、チップ内を配線が垂直に通すことができ、配線を最短、かつ柔軟に接続することができる。その実際の貫通穴の概略図を Fig. 4.1 に示す。この技術の開発には、チップと電極を絶縁するために、深さ約 $50\mu\text{m}$ の貫通穴側面への絶縁膜の作製技術が必要となる。また、半導体回路作製後に絶縁膜を作製するため、プラズマ CVD 法や熱 CVD 法のような、高温を必要とするプロセスを用いることができず、低温下での絶縁膜作製プロセスが求められている。

光 CVD 法の一つである真空紫外光(Vacuum UltraViolet : VUV)CVD 法は、真空紫外光のもつ高光子エネルギーを利用し、原料の分解、薄膜の形成を行うため、現在、半導体分野で主流となっているプラズマ CVD 法や熱 CVD 法のように、 $250\sim 800^{\circ}\text{C}$ の高温を利用するため生じる不純物拡散や基板内の点欠陥の発生を低減することが可能である。また、プラズマ CVD 法のように、高エネルギープラズマを必要としないため、高エネルギー粒子の衝突による基板へのダメージも低減することができるといった特長を持っている。

我々は、これまで、誘電体バリア放電エキシマランプを用いた真空紫外光 CVD 法で、 SiO_2 薄膜や GeO_2 薄膜の室温形成を可能にした¹⁾。また、カバレッジや平坦性のよい、

SiO₂ 薄膜を作製できることを報告した²⁾。そこで、これらの技術を活かして、半導体作製工程で用いられる様々な用途の薄膜の低温作製が可能になるのではないかと考え、真空紫外光 CVD 法を用いた半導体要素プロセスの低温化を目的に実験を行った。その中でも今回は、SiP 用 Via ホールへの絶縁膜作製技術開発を目的とし、その基礎実験として模擬的に作製した試料に SiO₂ 薄膜の作製を試みた。

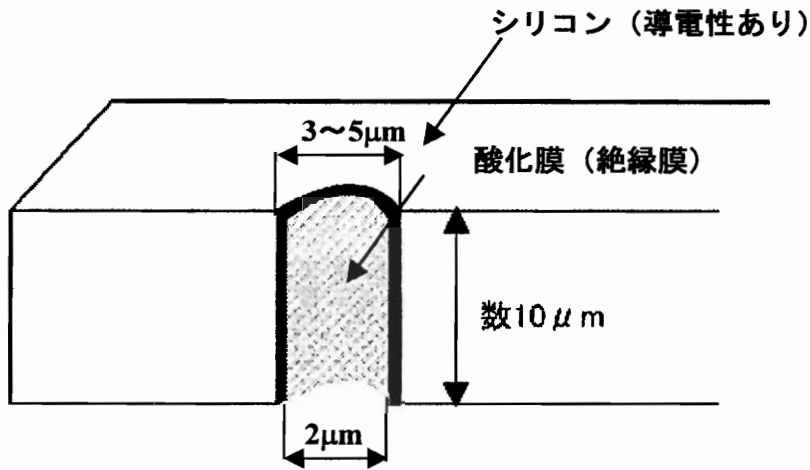


Fig. 4.1 貫通穴 概略図

本章では、SiP 用 Via ホールを模した微細構造物に真空紫外光 CVD によつての絶縁薄膜を作製した手順について述べる。

4-2. 実験装置及び方法

4-2-1. 実験装置

Fig. 4.2 にミクロンオーダー構造物への SiO_2 薄膜の作製を行ったときに用いた実験装置の概略図を示す。光源には Xe_2^* ランプ及び、 Ar_2^* ランプを用いて、原料のガスには TEOS、TMCTS を用いた。これらの原料は、常温・常圧下では液体であるためロータリーポンプ、メカニカルブースター及び、ターボ分子ポンプを用いて、チャンバー内を真空状態にすることで気化させチャンバー内に導入した。また、添加ガスには酸素を用いた。エキシマランプのヘッド部分と基板間距離は 30mm にし、チャンバー内の圧力測定には、ピラニーゲージを用いた。

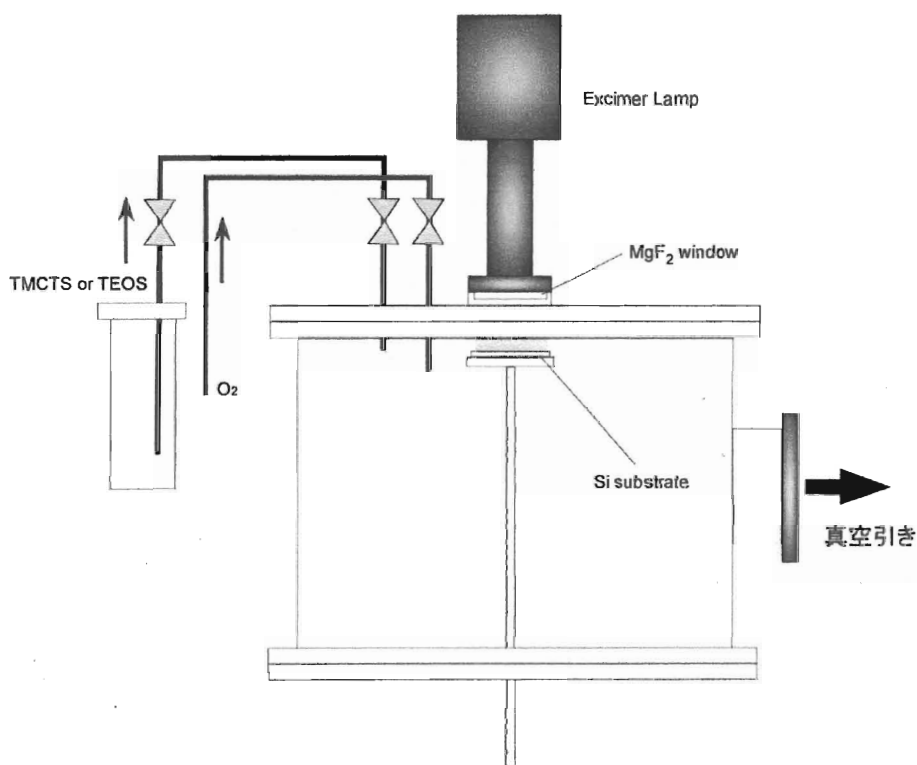


Fig. 4.2 SiO_2 薄膜の作製に用いた実験装置概略図

4-2-2. SiO₂ 薄膜作製

まず、照射対象である Si 基板をチャンバー内の土台に設置し、光源であるエキシマランプをチャンバー上部に設置した。その後、ロータリーポンプ、メカニカルブースター及び、ターボ分子ポンプを用いてチャンバー内の真空引きを行い、ロータリーポンプでチャンバー内を真空引きしながら原料である TEOS、TMCTS を真空気化させ、チャンパー内に導入した。この時のチャンパー内圧力は 0.5Torr である。原料に酸素を添加する場合は原料を 0.5Torr 導入した後、酸素を 0.5Torr チャンパー内に導入した。この状態で基板である Si に対し、真空紫外光を 120 分間照射し、SiO₂ 薄膜を作製した。基板温度は室温で成膜した。また、基板である Si 基板には、今回、ミクロンオーダーの凹凸が加工してある Si の微小流路 (Fig. 4.3) を、Via ホールを模擬したものとして用いた。1 枚の試料には 1 μ m~50 μ m の異なった幅の溝、穴、突起が加工してあり、溝の深さが 5 μ m、及び 50 μ m のものを用いた。薄膜作製後、基板を研磨もしくはダイヤモンドカッターによる切断を行い、基板上の流路の断面を走査型電子顕微鏡 (Scanning Electron Microscope : SEM) で観察することにより、SiO₂ 薄膜の埋め込み特性を評価した。

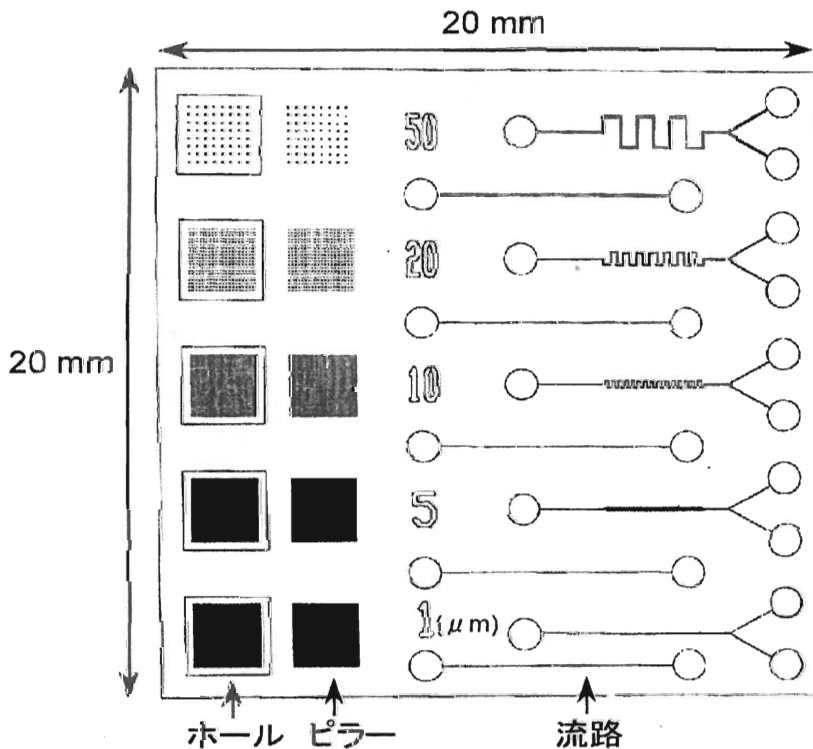


Fig. 4.3 Si 基板に施されているパターン図

4-2-3. 断面観察

(研磨による試料作製)

基板の断面を観察するためには、研磨面に対し基板表面がほぼ垂直になるように固定する必要があり、研磨中の薄膜の脱離を防ぐために Si 基板が研磨中動かないように固定する必要があった。そこで、アクリル樹脂等を用いて薄膜を作製した基板を固定した。初めに、スライドガラス上にエポキシ樹脂であるペトロポキシ 154(米国パルス・ペトロ・プロダクツ社製)を垂らし、Si 基板のパターニングが施された面が下向きになるようにスライドガラス上に置き、さらに Si 基板上にもペトロポキシ 154 をたらし、Si 基板をペトロポキシ 154 が包んでいる状態にした後、ホットプレートを用いて約 10 分間加熱しペトロポキシ 154 を硬化した。また、この後空気が侵入する恐れがある Si 基板、スライドガラスの側面はワックスを塗り、空気の侵入による空洞の発生を防いだ。これに樹脂と試料との剥離防止の役割を果たすボンディング材(マルトー製)を塗り、可視光照射器の新ワン・ライト(MR-102B, マルトー製)を用いて 3 分間照射を行った。その後、専用モールドに Si 基板がモールドの下面に対し垂直になるように固定し、アクリル系樹脂であるアクリル・ワン #1320(マルトー製)をモールドに流し込み、約 20 分間、可視光を照射し、アクリル・ワン #1320 を硬化させ、基板を研磨面にほぼ垂直になるように固定した。Fig. 4.4 に断面の概略図を示す。これを、研磨機の専用ホルダーに取りつけた後、プレートの回転数 10rpm/min、アームの回転数 50rpm/min で研磨を行った。研磨は、まず#600のダイヤモンドプレートで、SEMで測定したいSiの断面が見えるまで削り(Fig. 4.5)、その後、鉄・銅盤に9 μ m粒子のダイヤモンドスプレーを吹き付け、#600のダイヤモンドプレート傷がなくなるまで、約30~60分間研磨を行った。その後、プレートを銅盤に取り替え、それに3 μ m粒子のダイヤモンドスプレーを吹き付け、9 μ mの傷がなくなるまで、約60~90分研磨し、最後に、プレートをスズ盤に取り替え、それに1 μ m粒子のダイヤモンドスプレーを吹き付け、3 μ mの傷がなくなるまで、約60~90分研磨した。(Fig. 4.6) この状態でイオンスパッタ装置を用いて表面に金膜を付着させ、SEMを用いて断面の観察を行った。

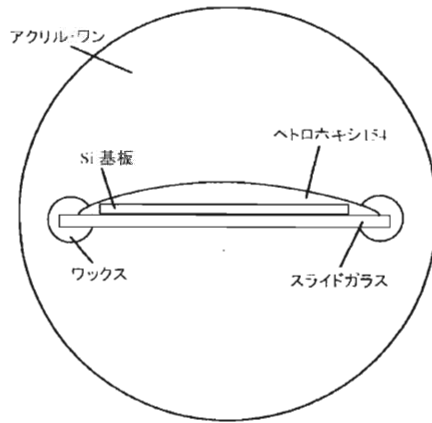


Fig. 4.4 試料断面図

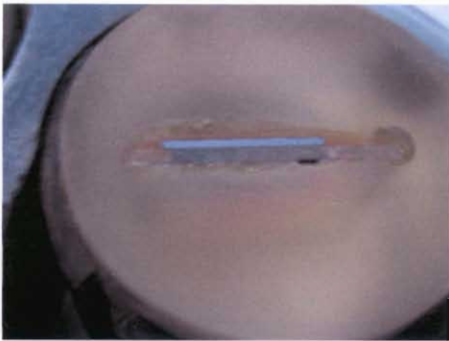


Fig. 4.5 研磨による断面図 (1)

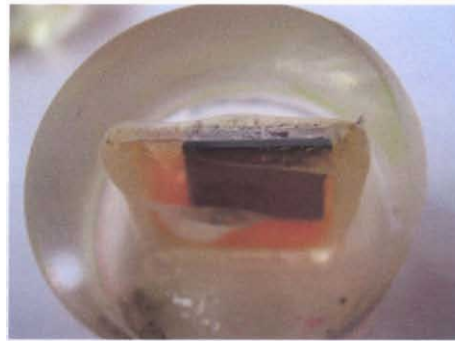


Fig. 4.6 研磨による断面図 (2)

(割断による試料作製)

ダイヤモンドカッターによる割断ではまず、Si 基板の SEM で観察する部分の端にダイヤモンドカッターで亀裂を入れ、そこを中心に2つのピンセットで挟みこむようにSi基板をつかみ、観察する部分に直接ふれないようにして割断した。その割断した基板断面をそのまま観察することは不可能なので、専用モールドにSi基板がモールドの下面に対し垂直になるように固定し、基板に対して3分の1程度、アクリル系樹脂であるアクリル・ワン #1320(マルトー製)をモールドに流し込み、約20分間、可視光照射器の新ワン・ライト(MR-102B, マルトー製)で照射し、アクリル・ワン #1320を硬化させた。(Fig. 4.7) この状態でイオンスパッタ装置を用いて表面に金膜を付着させ、SEMを用いて断面の観察を行った。

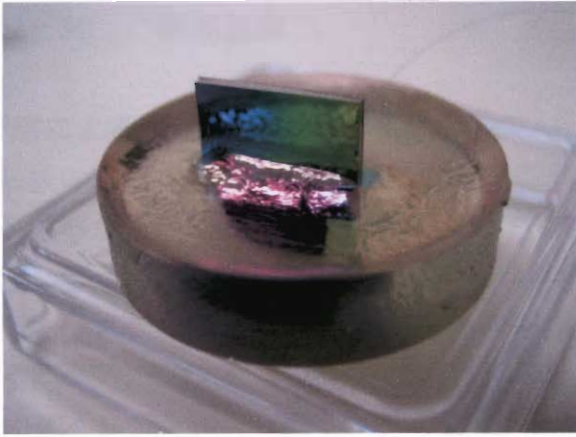
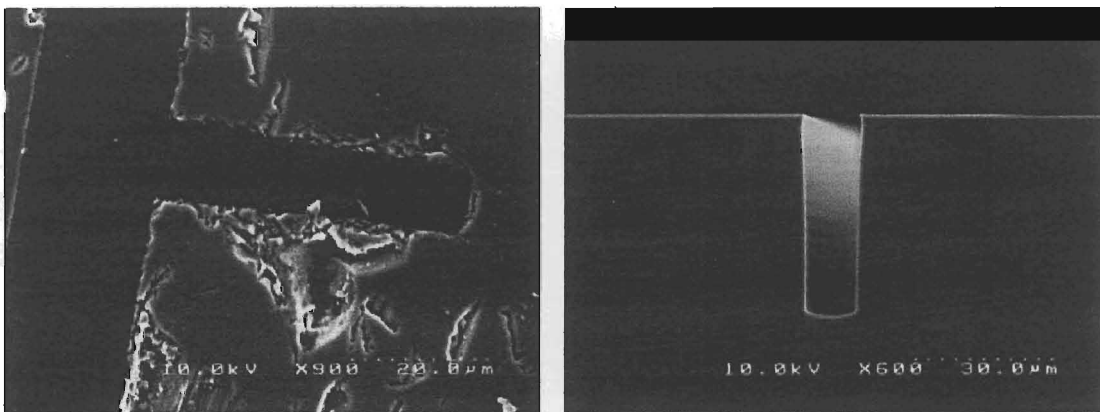


Fig. 4.7 ダイヤモンドカッターによる割断

4-3. 実験結果

4-3-1. 断面観察結果

Fig. 4.8に $1\mu\text{m}$ のダイヤモンド粒子まで研磨を行った場合と、ダイヤモンドカッターを用いて切断したSi基板のSEM写真を示す。図を見るとわかるように、研磨を行ったSi基板には基板表面に割れや欠けが確認でき、このままの状態では SiO_2 薄膜を堆積させて研磨を行っても、薄膜を観察することは不可能であることがわかった。このことから、観察する付近に直接触れることがないダイヤモンドカッターで切断することで、研磨で見られた割れやかけは見られず、側面に付着した SiO_2 薄膜を十分確認することができた。よって、以後の実験ではSi基板をダイヤモンドカッターにより切断し、SEMによって断面観察を行った。



(a) 研磨

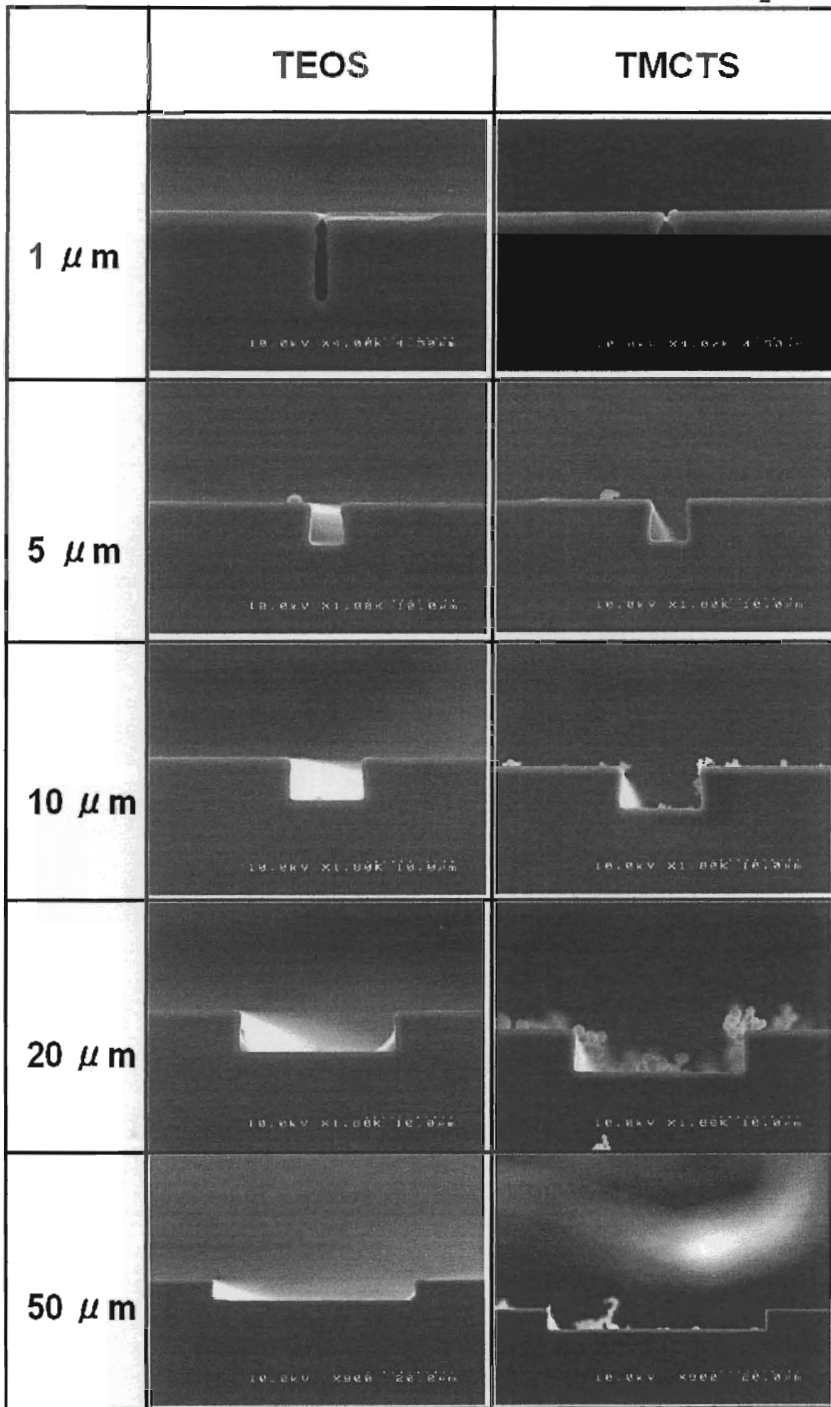
(b) ダイヤモンドカッターによる切断

Fig. 4.8 SEMによるSi基板の断面写真

4-3-2. 原料依存性

Fig. 4.9 に Xe_2^* ランプを用いた断面写真を示す。この写真からは、全体的に基板表面、及び溝内に均一な薄膜が形成されていることを確認することができた。また、原料が TMCTS のものに関しては、薄膜は形成されているのだが、基板表面、溝内に複数の吸着物を確認することができた。しかしながら、この写真では全体を写したために倍率が低く、 SiO_2 薄膜の厚さを測定することが困難なため、Fig. 4.10 のような拡大写真を撮影した。SEM 写真より、各幅において側面に均一な SiO_2 薄膜が堆積しているのが確認でき、深さに関係なく底面付近まで膜が堆積しているのがわかった。また、原料が TMCTS の SEM 写真に関しては、基板表面付近の膜の付き方が、溝に対して覆いかぶさるように付着していることが確認できた。Fig. 4.11 に SEM 写真より求めた各深さでの SiO_2 薄膜の厚さの変化を示す。このグラフより、どちらの原料においても、深さが浅いほど膜厚が増加していることがわかった。原料に TEOS を用いた場合では、深さを $50\mu\text{m}$ から $5\mu\text{m}$ に変化させることで、側面に堆積する膜厚の量が大きく増加することがわかった。また、深さに関係なく幅が $20\mu\text{m}$ より広い幅では、 SiO_2 薄膜がほぼ同じ厚さで形成されていることを確認できた。一方、原料に TMCTS を用いた場合では、深さを変化させても膜厚の量はあまり変わらず、幅 $50\mu\text{m}$ に関しては深さに関係なく、同じ膜厚の約 $0.3\mu\text{m}$ の薄膜が形成されていた。また、TEOS よりも膜厚が幅に影響しており、幅が狭くなるにつれて徐々に膜厚も減少していった。これらの結果より、TEOS を原料に用いた場合は、深さに膜厚が大きく影響していることから、深さが浅い溝に薄膜を形成する場合に適していることがわかった。これに対して、TMCTS を原料に用いた場合では、深さが深くなっても側面の膜厚はあまり変化しないため、深さが深い溝への成膜に TEOS よりも適していることがわかった。

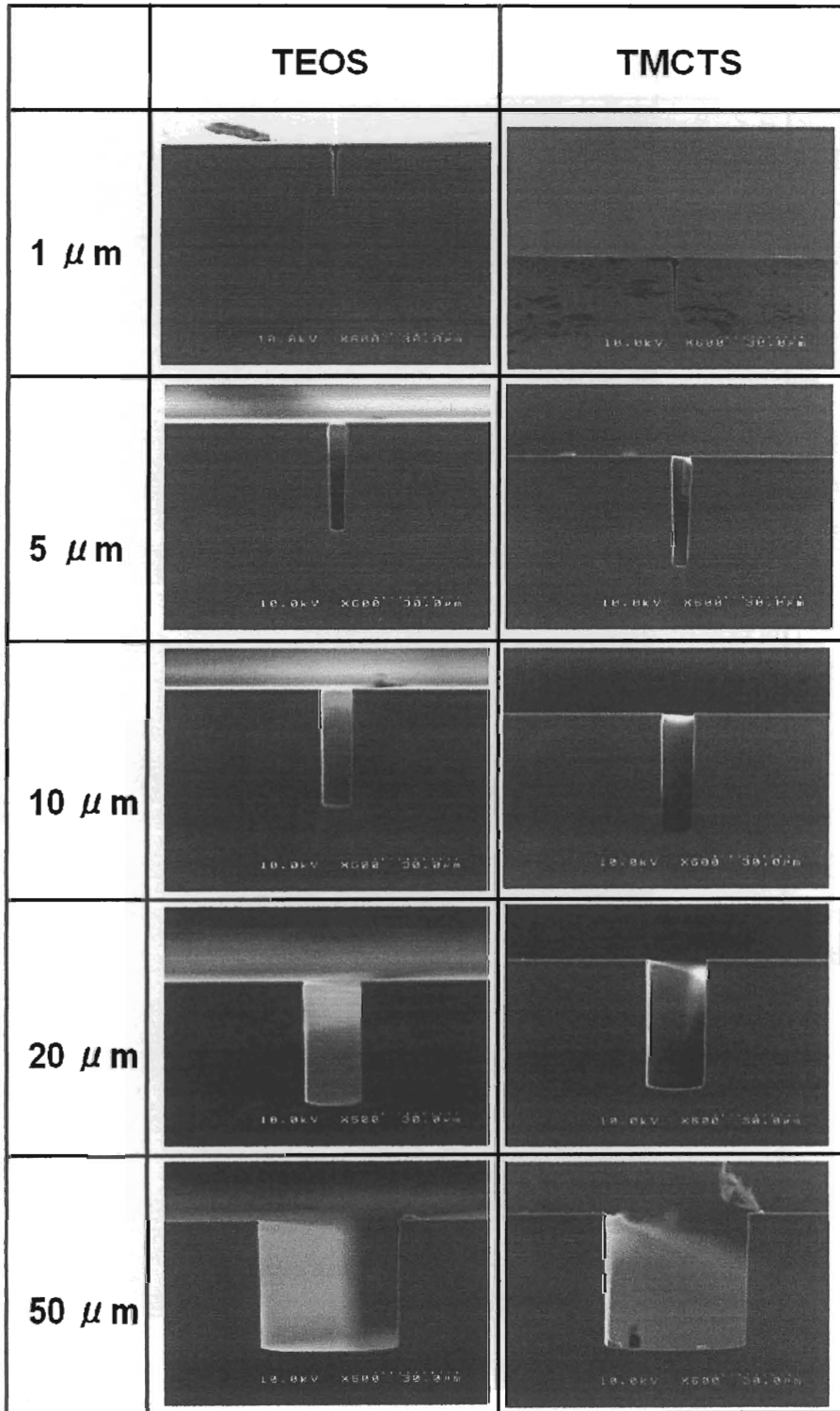
Xe₂* lamp



(a) 流路深さ 5 μm H 5 μm

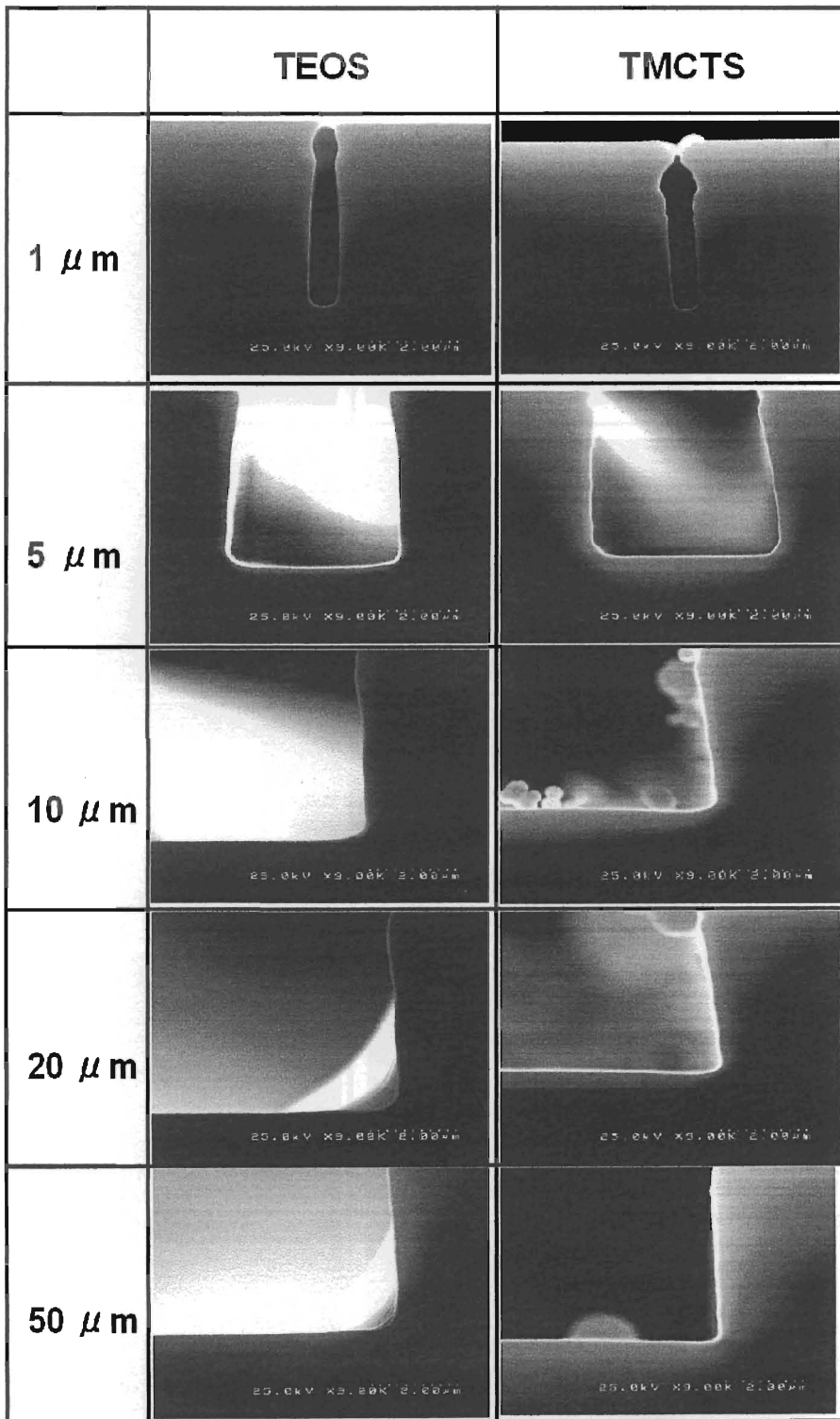
Fig. 4.9 SEMによる断面写真 (次頁に続く)

Xe₂* lamp



(b) 流路深さ 50 μm |-----| 50 μm
Fig. 4.9 前頁からの続き

Xe₂* lamp

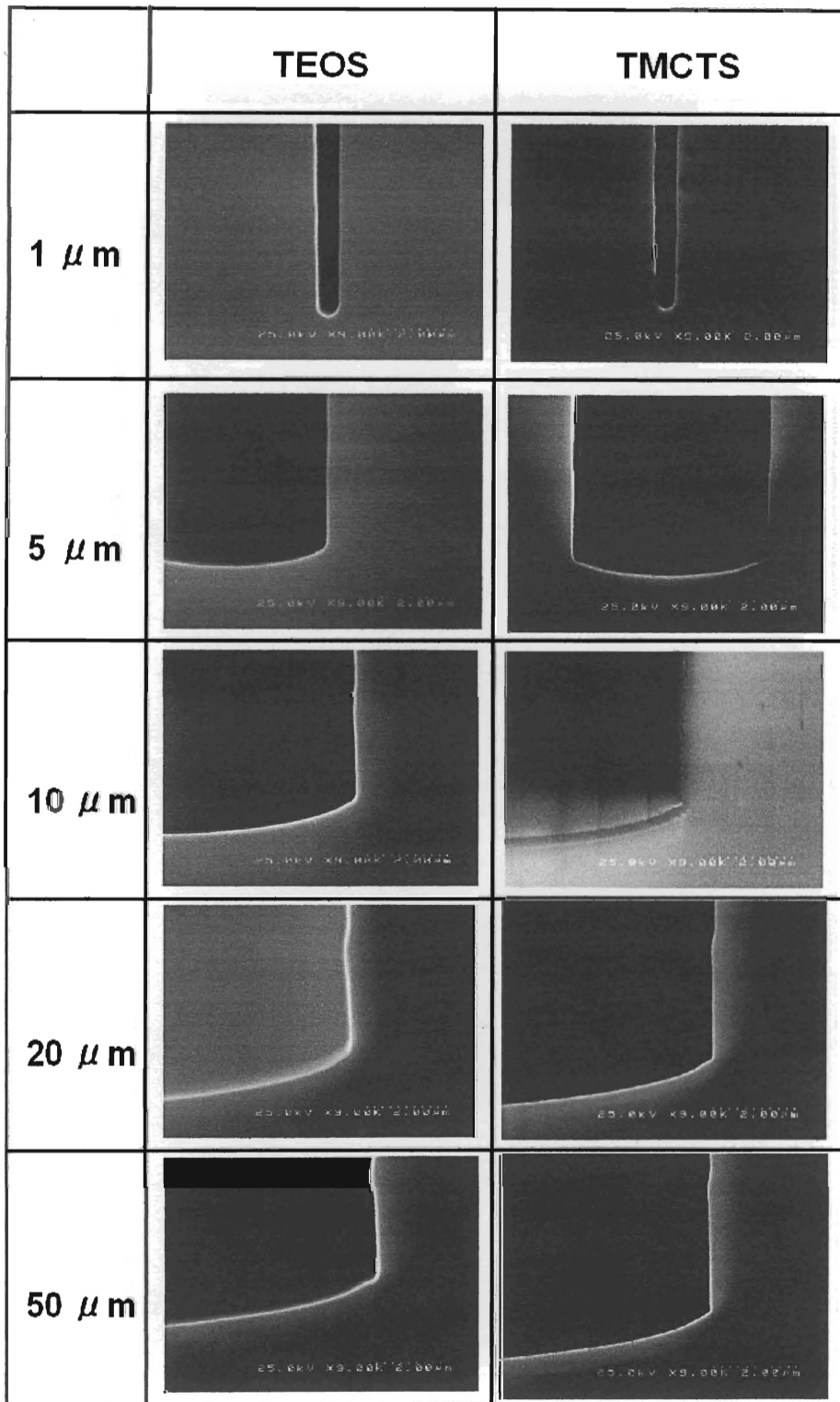


(a) 流路深さ 5 μm

| 2 μm |

Fig 4. 10 SEMによる断面写真（次頁に続く）

Xe₂* lamp



(b) 流路深さ 50 μm

2 μm

Fig. 4.10 前頁からの続き

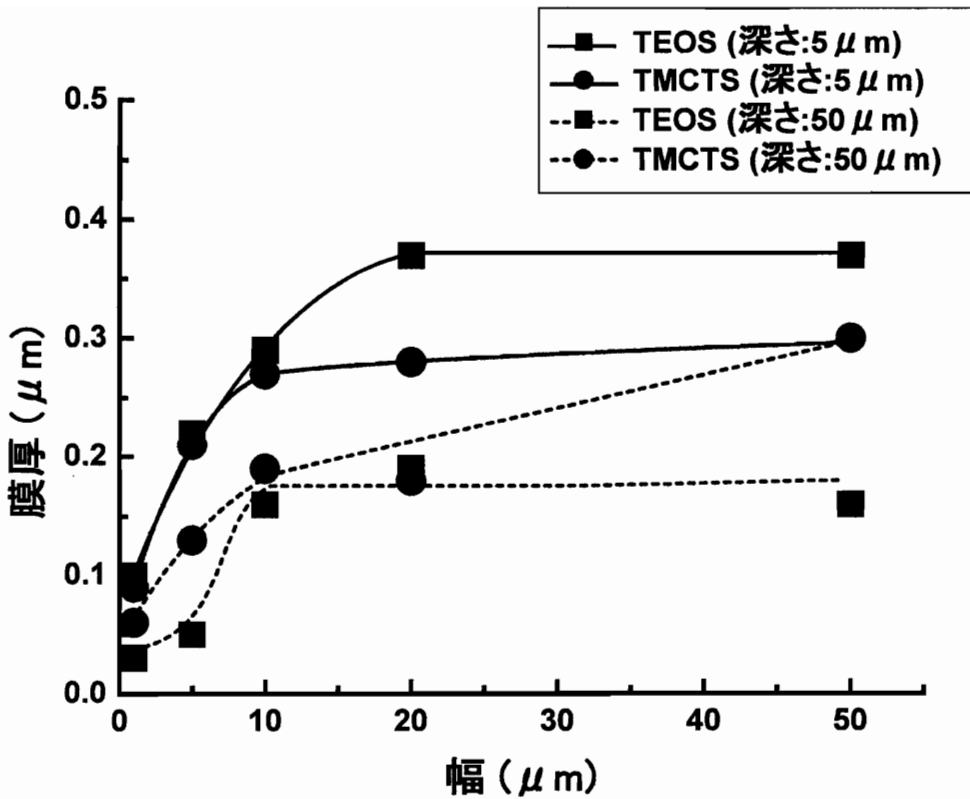


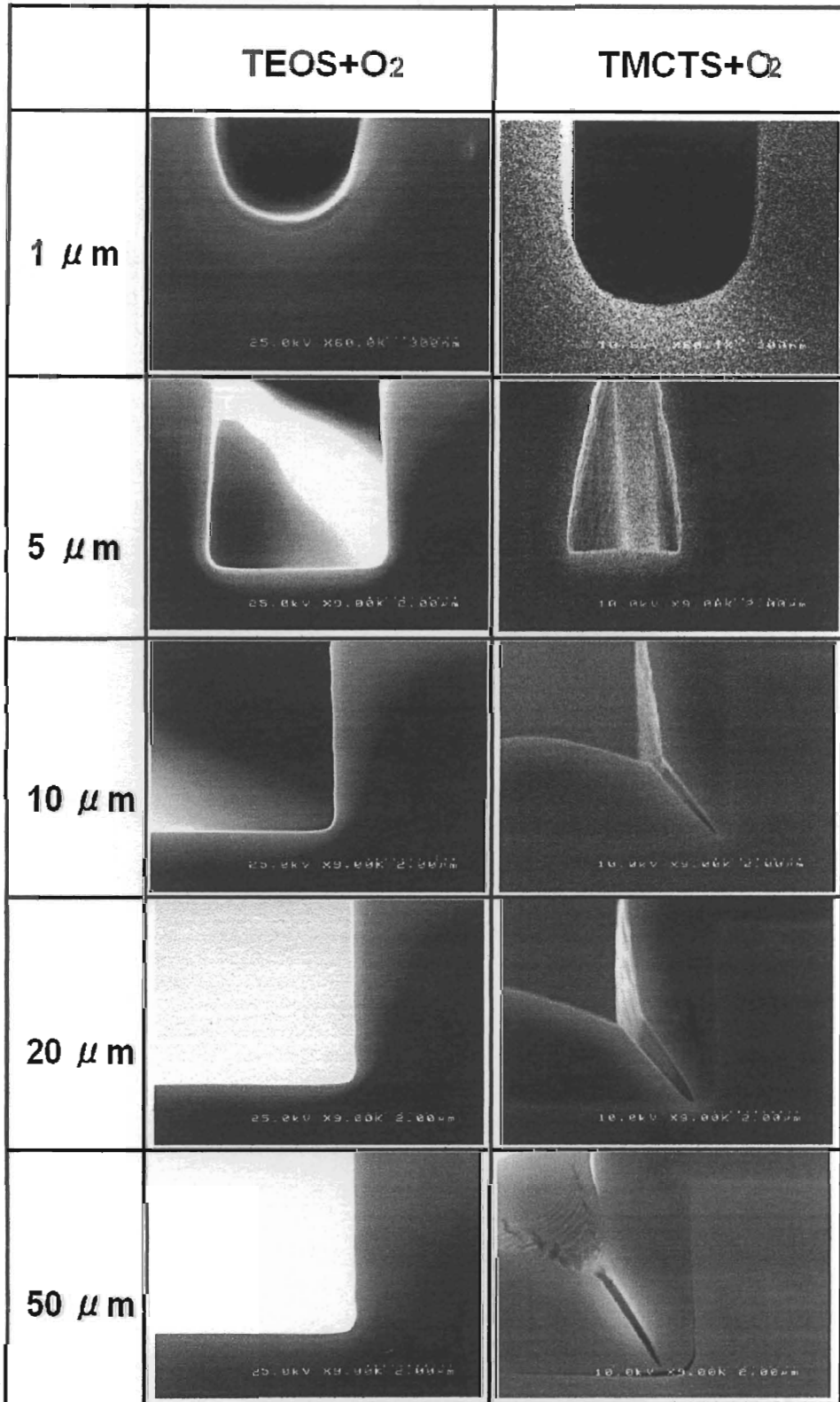
Fig. 4.11 各深さの幅に伴う膜厚の変化

4-3-3. 酸素添加効果

Fig. 4.12 に各原料に酸素を添加し、Xe₂*ランプを用いて成膜を行った断面写真を示す。TMCTS に酸素を添加し、成膜を行った場合には、SEM 写真からも明らかに膜厚が増加していることがわかった。また、深さ 5μm、幅 10μm 以上では底面と側面に形成した SiO₂ 薄膜の間に隙間が生じ、幅 50μm のものに関しては SiO₂ 薄膜の剥離も見られた。しかし、それ以外では深さ 5μm、50μm の両方とも、底面付近であっても側面にほぼ均一な膜厚の SiO₂ 薄膜が形成していることがわかった。

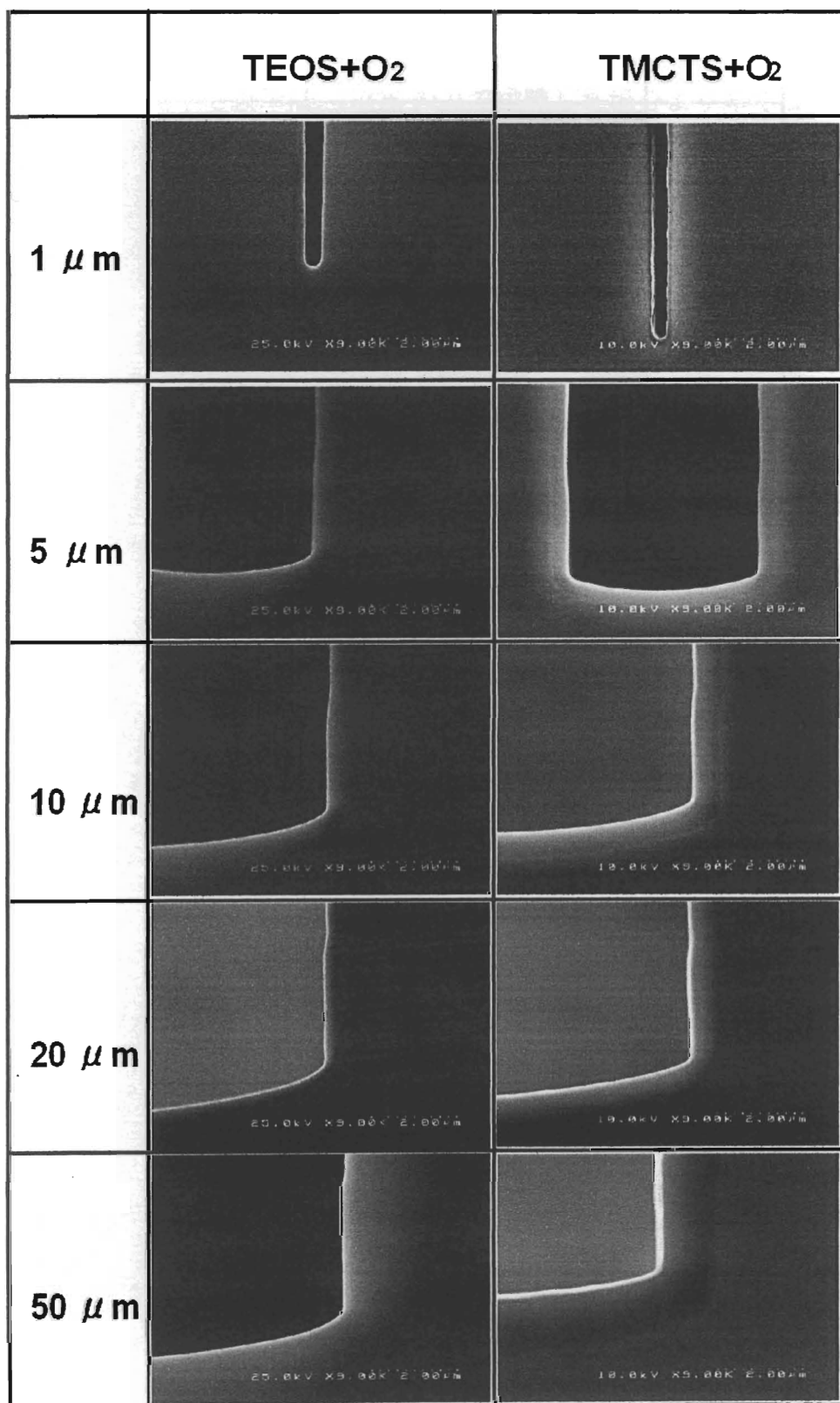
それぞれの原料における SEM 写真より求めた側面の膜厚を Fig. 4.13 に示す。酸素を添加した場合でも、原料のみで成膜を行った時同様、深さが深くなることにより側面に形成する薄膜の膜厚が減少していることがわかった。原料の TEOS に酸素を添加して成膜を行った場合、深さが 5μm の時、幅が 10μm 以上では TEOS のみで成膜を行った方が

膜厚の厚い薄膜が作製されていた。しかしながら、酸素を添加することにより幅の減少に伴う膜厚の変化が少なく、幅 5 μm まで側面に約 0.25 μm の薄膜が形成でき、幅 1 μm 及び 5 μm では、側面に形成する膜厚は、TEOS のみで成膜した場合より厚くなった。一方、深さ 50 μm の場合では、TEOS のみで成膜を行った時より若干の膜厚の増加は見られたが、深さ 5 μm に成膜した時より幅による膜厚の変化は大きく、幅が 10 μm 未満では膜厚の減少が見られた。しかしながら、TEOS に酸素を添加して作製した薄膜は、幅の増加に伴う側面の膜厚の減少が TEOS のみで作製した薄膜よりは少なく、深さ 5 μm の溝に成膜を行った場合と同様、幅が 1 μm 及び、5 μm では、TEOS のみで成膜を行った時より膜厚は増加した。これに対し、原料に TMCTS を用いて成膜を行った場合では、側面に形成される膜厚が大幅に厚くなり、原料のみで成膜した時よりも全ての幅において厚い膜が形成されていた。しかしながら、TMCTS のみを用いた場合より幅が狭くなるほど、膜厚の減少が大きくなることがわかった。これらの結果より、TEOS に酸素を添加した場合、成膜を行うことによる膜厚の大幅な増加はできなかったが、幅の減少に伴う膜厚の減少を抑えることができることがわかった。これに対し TMCTS に酸素を添加した場合は、原料が TMCTS のみの時より大幅な膜厚の増加が可能であるが、幅による影響がさらに受けやすくなることがわかった。また、深さが浅い溝への成膜は、幅が 5 μm 以下でなければ均一な厚さの薄膜の形成ができないことがわかった。以上より、TEOS への酸素添加は、幅の狭い溝への成膜や深さが浅く、様々な幅に均一な薄膜を作製する場合に有効であり、TMCTS への酸素添加は、深さが深く、幅がある程度広い溝で厚膜が必要な場合に有効であることがわかった。



(a) 流路深さ 5μm | 2μm |

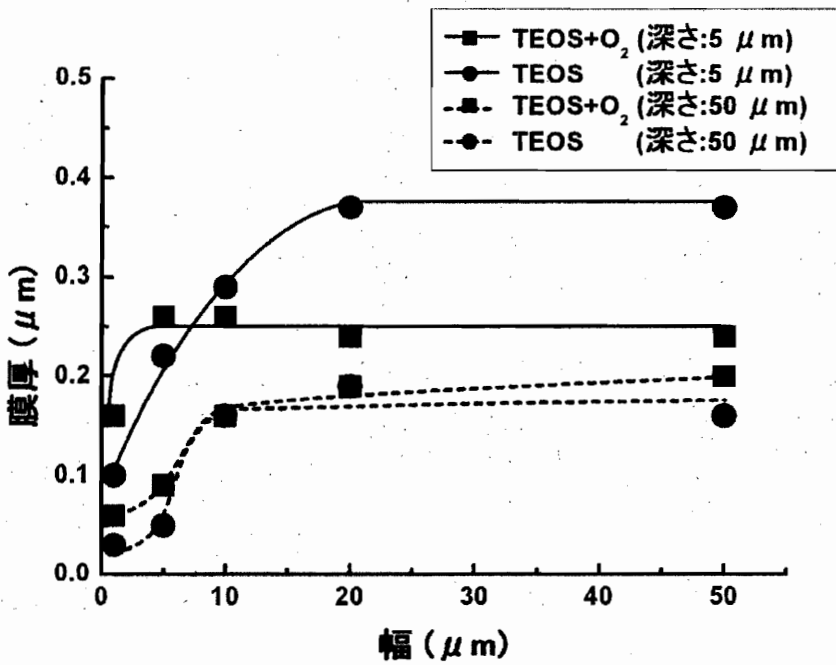
Fig. 4.12 SEMによる流路の断面写真 (次頁に続く)



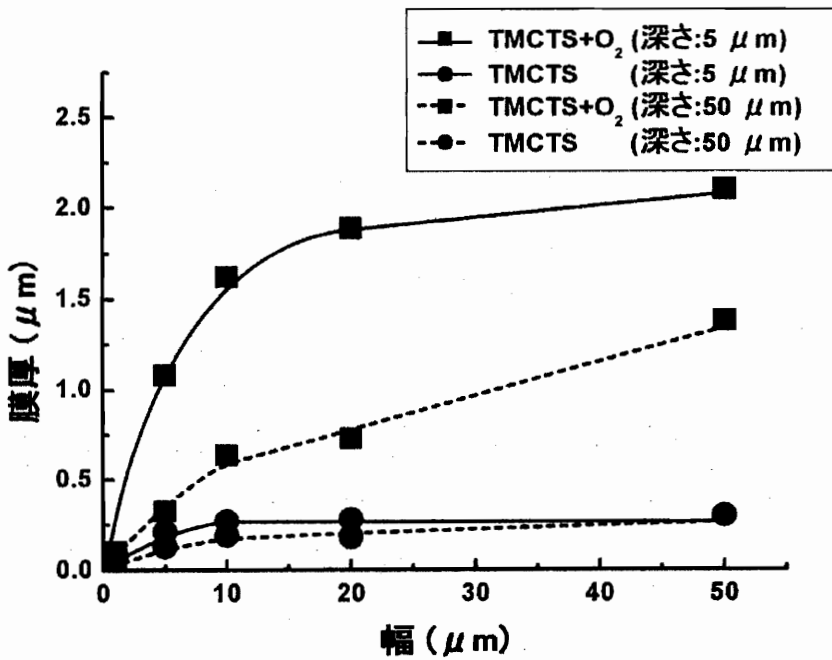
(b) 流路深さ 50 μm

$|\underline{2\mu\text{m}}|$

Fig. 4.12 前頁からの続き



(a) TEOS



(b) TMCTS

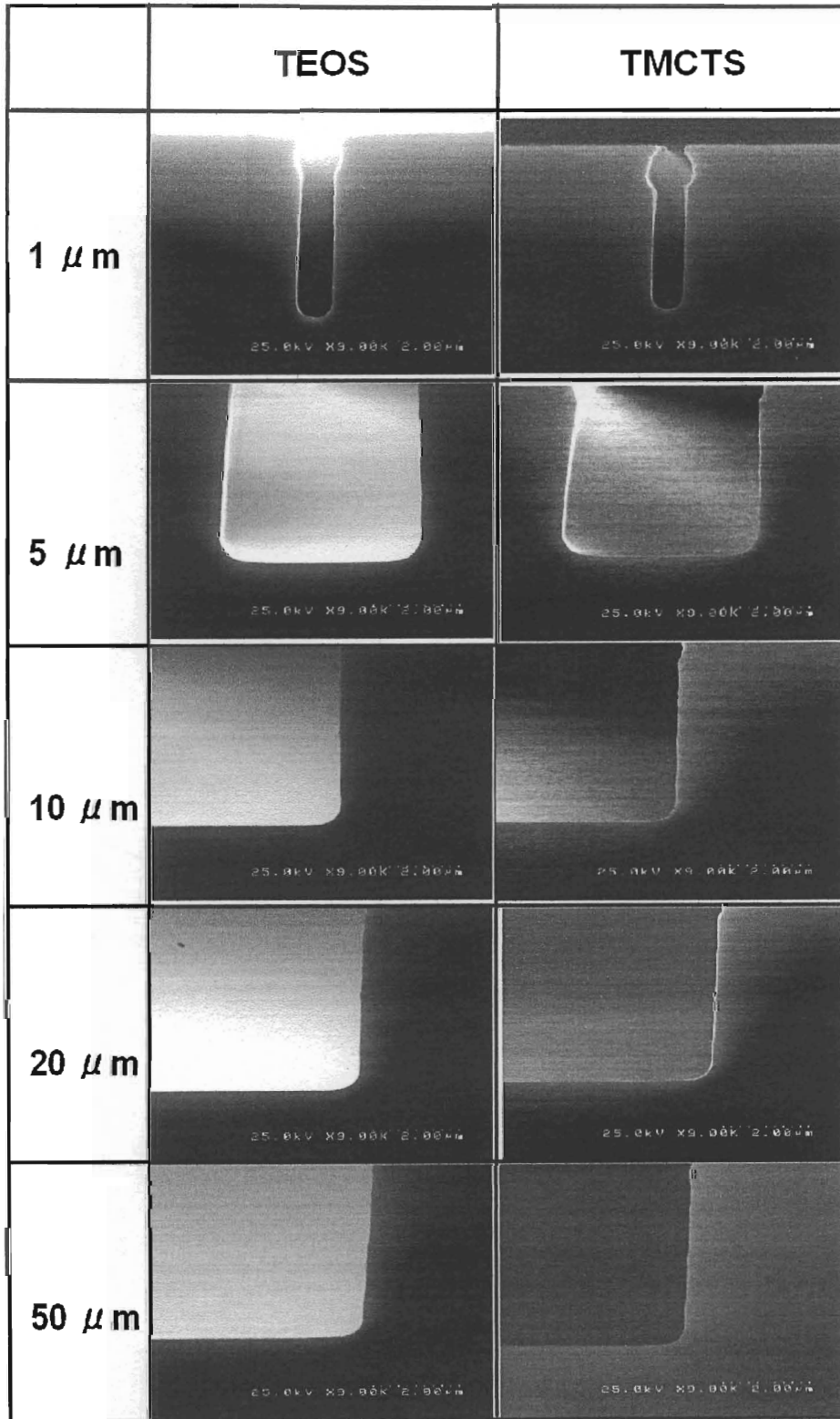
Fig. 4.13 各原料における流路の幅に伴う膜厚の変化

4-3-4. ランプ波長依存性

Fig. 4. 14 に Ar₂*ランプを用いて原料のみで成膜を行った断面写真を示す。写真より、原料のみで成膜を行った場合では、照射 120 分後でも側面に SiO₂ 薄膜を確認することはできなかった。Fig. 4. 15 に Ar₂*ランプを用いて、原料に酸素を添加して成膜を行った断面写真を示す。TEOS に酸素を添加して成膜を行った場合、どちらの深さの溝にも SiO₂ 薄膜は見られなかった。また、TMCTS に酸素を添加して成膜を行った場合では、深さ 5 μ m のものには吸着物が見られたが、薄膜は形成されていなかった。深さ 50 μ m のものに関しては、膜厚が 0.1 μ m 未満ではあったが側面に SiO₂ 薄膜を確認することができた。

Fig. 4. 16 に Ar₂*ランプを用いて原料のみで成膜を行った基板表面の断面写真を示す。写真から基板表面には、膜厚 0.1 μ m 未満の薄膜が形成していることが確認できた。しかし、Xe₂*ランプを用いて 120 分間照射した場合、基板表面には約 0.6 μ m の薄膜の形成が見られた。よって、Ar₂*ランプを用いた場合では成膜速度が遅く、120 分程度の照射では側面への薄膜の形成はできないことがわかり、原料のみの成膜には成膜効率の点で Xe₂*ランプを用いた方が適していることがわかった。また、Fig. 4. 17 には Ar₂*ランプを用いて原料に TMCTS を用い、酸素を添加して成膜を行った基板表面の断面写真を示す。深さに関係なく、基板表面には吸着物が見られた。よって、原料圧力 0.5Torr に酸素を 0.5Torr 添加して成膜を行う場合では、Ar₂*ランプより Xe₂*ランプの方がなめらかな薄膜が形成できることがわかった。

Ar₂* lamp

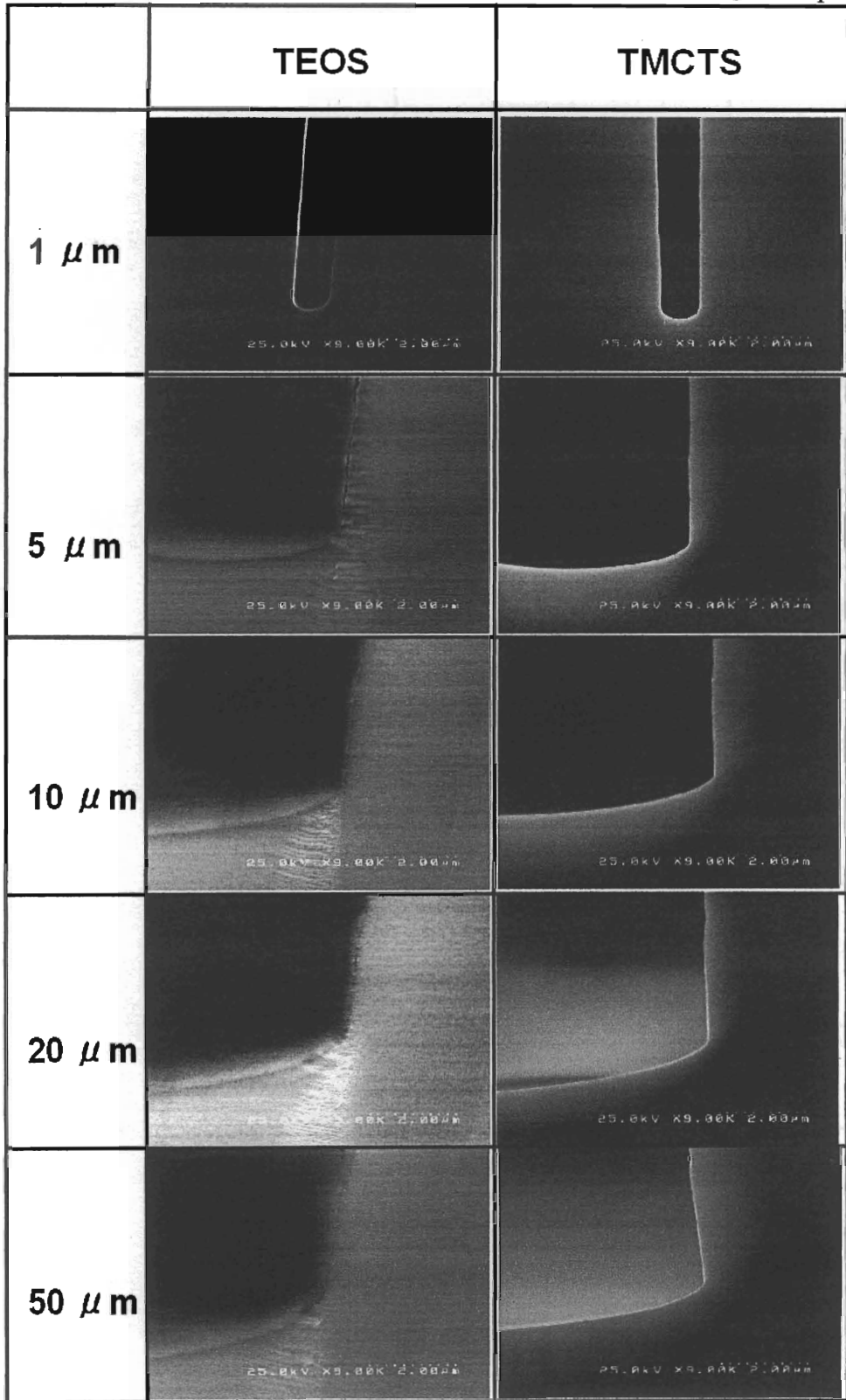


(a) 流路深さ 5 μm

| 2 μm |

Fig. 4.14 SEMによる断面写真 (次頁に続く)

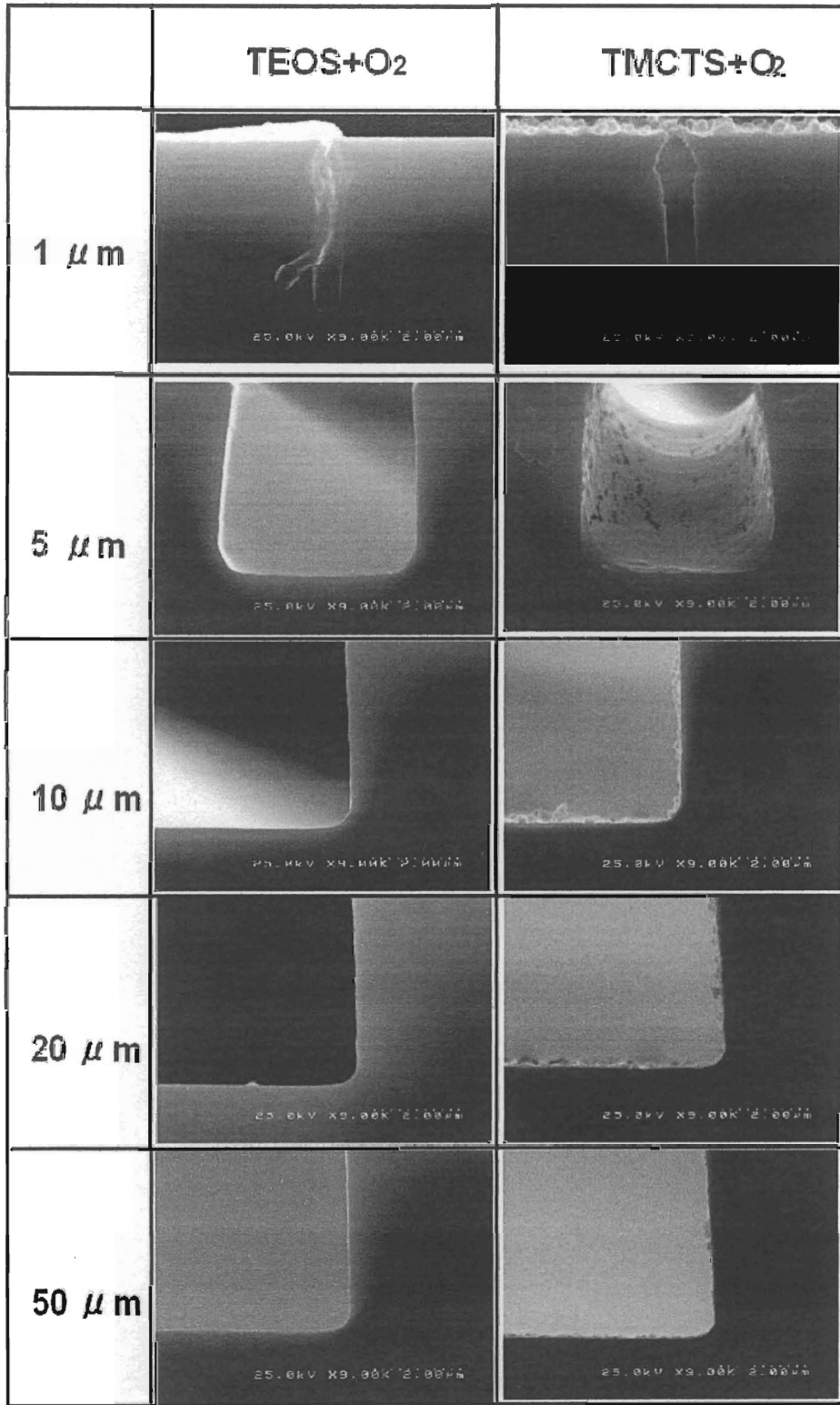
Ar₂* lamp



(b) 流路深さ 50 μm

2 μm

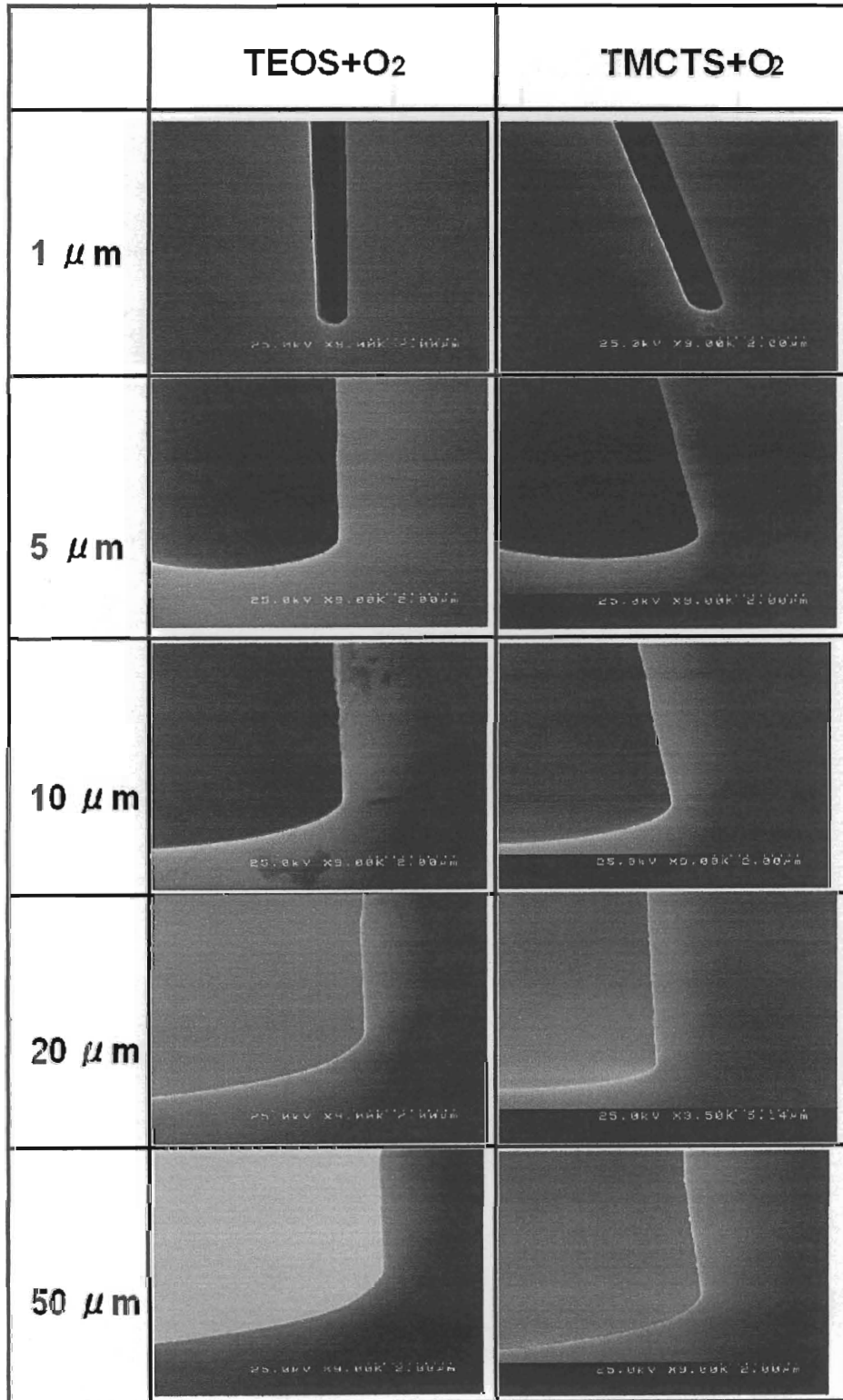
Fig. 4.14 前頁からの続き



(a) 流路深さ 5μm



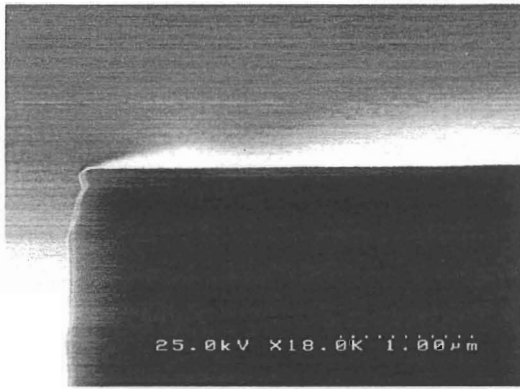
Fig. 4.15 SEMによる断面写真（次頁に続く）



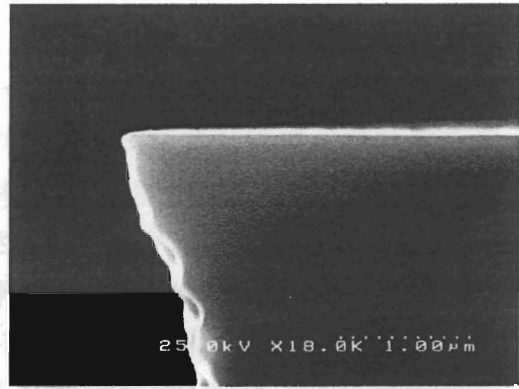
(b) 流路深さ 50μm



Fig. 4.15 前頁からの続き

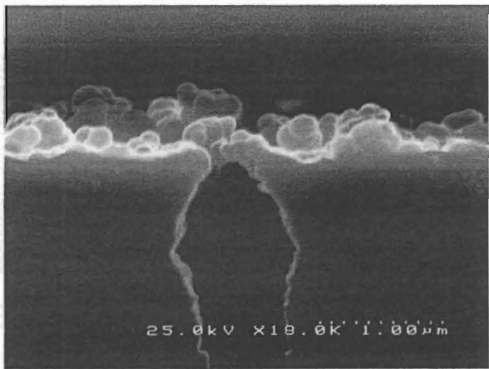


(a) TEOS

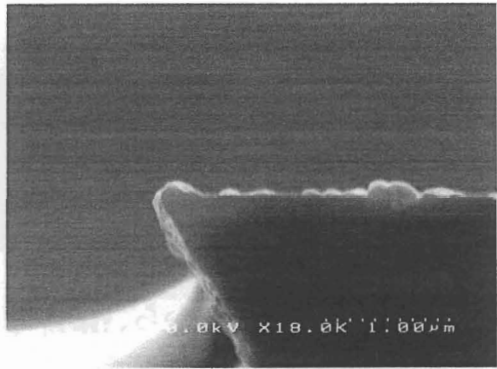


(b) TMCTS

Fig. 4.16 SEMによる基板表面の断面写真



(a) 流路深さ 5 μ m



(b) 流路深さ 50 μ m

Fig. 4.17 基板表面の断面写真 (TMCTS [0.5 Torr] + O₂ [0.5 Torr])

4-4. 考察

4-4-1. 深さ、幅による影響

TEOS、TMCTS などの原料に関係なく酸素添加の場合も同じように、深さが深くなるほど側面に形成される膜厚が減少し、また、溝の幅が狭くなっても膜厚の減少を確認した。薄膜が溝内に堆積するのは、形成する前に原料、または原料の分解によって生じた解離分子が基板に吸着する必要がある。よって、この原因としては、2つの要因が考えられる。まず1つめは、幅が狭くなることで原料であるガスまたは励起された解離分子の侵入が減少し、溝の中での反応が減少したことである。また、溝の外で生じた解離分子が、溝の中に侵入しにくくなったことも考えられる。もし、幅が広くなれば解離分子が溝内に入りやすくなり、その解離分子はそのままの状態、または衝突、再結合した状態で基板表面に吸着する。基板に吸着した分子は、基板への真空紫外光照射より、基板表面で反応を起こし、薄膜が形成されるのである。

2つめの原因は、幅ではなく、溝の深さが深くなると原料が入りにくくなるのも考えられるが、真空紫外光の光が、溝が深くなることで溝の底面付近まで届かなくなるからだと思う。いくら幅が広くて原料が入り込むことが可能であっても、真空紫外光が深く入り込んだ原料に届かなければ、原料は解離分子の固まりになった状態となつたまま薄膜は形成されないのである。今回行った実験でも、深さが深くなるほど側面に堆積する膜厚が減っていることから、溝の深さは真空紫外光の光によって大きく影響するものと考えられる。光が十分に届く深さであれば、基板側面に付着した解離分子が真空紫外光によって光化学反応を起こし、 SiO_2 薄膜が形成されるのである。

以上をまとめると、薄膜作製において、幅が $1\mu\text{m}$ ~ $50\mu\text{m}$ に変わることで膜厚が変化するのであるが、この原因としては原料の溝への入りやすさが大きな要因として考えられる。また、深さに関する影響としては、深さが深くなることで膜厚が減少していることから、深くなることで真空紫外光が溝の底面付近まで侵入できなくなり、薄膜が形成されなかったものと考えられる。

4-4-2. 薄膜の隙間と剥離

Fig. 4. 15 より、TMCTS に酸素を添加し、深さ $5\mu\text{m}$ の基板に作製した場合、幅 $10\mu\text{m}$ 以上では、溝の底面と側面に堆積した SiO_2 薄膜の間に隙間が生じることがわかった。Fig. 4. 18 にこの条件で作製した薄膜の全体写真を示す。この SEM 写真から、基板表面、底

面に薄膜が主に堆積し側面は基板表面に堆積している SiO_2 薄膜が、照射時間の経過と共に側面に回り込んでいるように見える(Fig. 4. 19)。また、幅が小さくなるほど、基板表面と基板側面の薄膜の膜厚の比、カバレッジが悪くなっている。よって、幅が細くなることによって、溝の内部に流れ込む原料ガスが少なくなり成膜速度が遅くなることにより、幅が $5\mu\text{m}$ 以下では底面と側面の間隙が無くなったと考えられる。

また、Fig. 4. 15 からは、幅 $50\mu\text{m}$ のとき、薄膜の剥離が確認できた。この原因としては、真空紫外光を酸素に照射することで O_3 が発生し、その影響により分解速度が速くなるために解離分子の吸着速度も速くなる。そのため、吸着した解離分子に十分な真空紫外光照射を行えないまま薄膜が作製されてしまうため、密度の低い薄膜が作製されていると考えられる。よって、薄膜を作製後、低圧下から大気中に基板を取り出した際に薄膜がシュリンクし、最も収縮が大きかった幅 $50\mu\text{m}$ のものみに薄膜の剥離が生じたと考えられる。

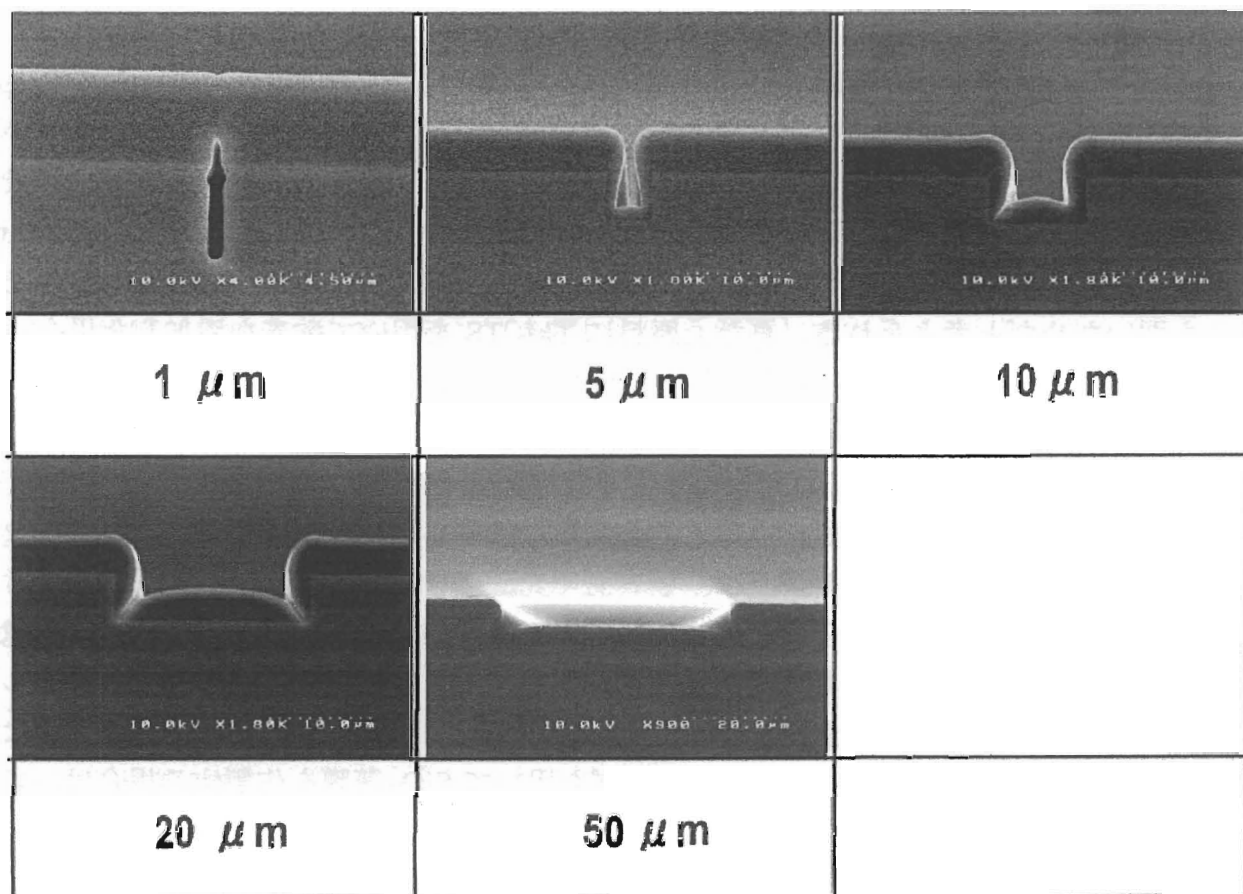


Fig. 4. 18 TMCTS に酸素を添加して成膜を行った SEM 写真



Fig. 4.19 TMCTS に酸素を添加した場合の成膜過程

4-4-3. ランプ波長依存性

Ar₂*ランプを用いて SiO₂ 薄膜の作製を行った場合、原料のみの場合では深さ 5μm、50μm 同様に溝の側面に薄膜を作製することはできなかった。原料に TMCTS を用いて酸素を添加した場合は膜厚 0.1μm 未満の薄膜は形成されたが、その他の条件では、酸素を添加しても溝の側面に薄膜を形成することはできなかった。この原因としては、Ar₂*ランプから照射される真空紫外光の光強度が Xe₂*ランプから照射される真空紫外光よりも弱いためだと考えられる。また、原料に TMCTS を用いて酸素を添加した場合、基板表面、溝に多くの吸着物を確認することができた。真空紫外光 CVD 法の原理としては、真空紫外光を原料に照射することにより、これらの原料が光を吸収し電子が励起されることにより分解される。それによって生じた解離分子はそのままの状態、もしくは衝突、再結合した状態で基板表面に吸着する。基板に吸着した分子は、原料に吸収されなかった基板への真空紫外光照射より、基板表面で光反応を起こし、薄膜が形成すると考えられている。よって、これらの吸着物は TMCTS の解離分子の固まりであって、光強度が弱いため気相中で真空紫外光が吸収されてしまい、基板表面にほとんど光が達していなかったために付着した解離分子が光化学反応を起こさず、SiO₂ 薄膜が形成されなかったと考えられる。したがって、Ar₂*ランプを用いて SiO₂ 薄膜を作製する場合は、光を基板に届かせるために基板間距離をさらに短くするか、原料の量を少なくし、圧力を低くして成膜を行う必要があると考えられる。

4-5. おわりに

本章では、真空紫外光 CVD 法による SiP 用貫通電極の絶縁膜作製のための基礎実験として模擬 SiP 用 Via ホールへの SiO₂ 薄膜の作製を試みた結果について、まとめた。

原料依存性

- ・ 各幅において側面に均一な SiO₂ 薄膜が堆積しているのが確認でき、深さに関係なく底面付近まで膜が堆積している
- ・ 原料に TEOS を用いると、溝の深さに大きく影響している
- ・ 原料に TMCTS を用いると、溝の幅に大きく影響している

酸素添加効果

- ・ 原料に TEOS を用いた場合、幅の狭い溝への成膜や、深さが浅く様々な幅に均一な薄膜を作製できる
- ・ 原料に TMCTS を用いた場合、深さが深く、幅が広い溝に厚い膜を作製できる

ランプ依存性

- ・ 膜厚は使用するランプにより大きく影響している
- ・ 成膜効率の点で、Xe₂*ランプを用いたほうが適している

以上の結果より、今回さまざまな原料、ランプを用いることにより、膜厚、形状の異なる薄膜を作製できることがわかった。これより、今後、さらに研究を進めていくことで、実際の SiP 用 Via ホールへの絶縁膜作製が可能になるものと考えられる。

よって、SiP 用 Via ホールへの絶縁膜作製において、真空紫外光 CVD 法は有効な手法であると言える。

4-6. 参考文献

- 1) A. Yokotani, N. Takezoe, K. Kurosawa, W. Sasaki, T. Igarashi and T. Matsuno, Appl. Phys. Lett., **69(10)**, 1399, (1996).
- 2) 宮野 淳一、横谷 篤至、黒澤 宏:「真空紫外光 CVD 法による有機シロキサンを用いた酸化膜形成評価」、電学論 C, **123(5)**, pp. 858-863, (2003-5).
- 3) 赤沢 隆:「SiP 技術のすべて - 高機能・小型化実装のキーテクノロジー -」