

表面筋電位信号処理LSIのための 低電圧・低消費電力・低ノイズ増幅器に関する研究

岩木 美晴¹⁾・中島 雄太²⁾・外山 貴子³⁾・淡野 公一⁴⁾・石塚 興彦⁴⁾

A Study on Low-Voltage, Low-Power and Low-Noise Amplifier for Surface-Myoelectricity Signal Processing LSIs

Miharu IWAKI, Yuta NAKASHIMA, Koichi TANNO and Okihiko ISHIZUKA

Abstract

In this thesis, a low-voltage, low-power and low-noise amplifier for surface-myoelectricity signal processing LSIs. In the proposed amplifier, the number of series-connected MOSFETs suppresses less than four in order to maintain low-voltage operation, and the weakinversion region of MOSFETs is utilized for low power consumption. Furthermore, the amplifier is designed based on long-channel P-channel MOSFETs in order to reduce the $1/f$ noise. Using these techniques, an operational amplifier (op-amp) is designed and evaluated through HSPICE simulations with Motorola $1.2\mu\text{m}$ CMOS device parameters. From the simulation results, the op-amp could be operated from 2.4V to 3.0V of the supply voltage. The power consumption and the input referred noise were $14\mu\text{W}$ and $14\mu\text{V}$, respectively. As the results, the low-voltage, low-power and low-noise op-amp could be realized. Next, a instrumentation amplifier is designed using the op-amps, moreover, a amplifier for surface-myoelectricity signal processing LSIs is also designed using the instrumentation amplifiers. Since the proposed amplifier is adopted the double-differential architecture, the following advantages are achieved: the elimination of the common-mode noise, the reduction of the leakage myoelectricity from adjacent lines and the estimation for the propagation velocity of the myoelectricity. Finally, the mask layouts of the proposed circuits were designed, and the amplifier occupied $1.8\text{mm}\times 1.5\text{mm}$.

Key Words: Weakinversion, $1/f$ noise, Surface-Myoelectricity, Instrumentation amplifiers

1. はじめに

医学の分野では、心電や脳波等の生体の信号は、主に患者の疾患の度合いを評価することに用いられてきた。しかし、近年においては、その信号を工学分野で活用する試みが報告されている [1]。

筋や神経の活動は、いずれもそれらの組織の膜における電氣的活動と表裏一体をなし、筋に関しても、その動きに伴った電気信号が発せられる。この電気信号を筋電位といい、近年、筋の収縮と筋電位の関係についての研究が盛んに行われている。その応用として、人の腕の筋の収縮に連動する義腕や人の指の筋収縮に伴うロボットが上げられる。しかし、前者に関しては

大規模なシステムを伴うという問題があり、後者に関しては、現段階で実用化にいたっていない [2]。これらの問題点や実用化にはシステムとしての小型化が必要であり、本システムで必要となる信号処理回路を1チップの大規模集積回路 (LSI) として実現することは、極めて有効である。

一方、筋電位そのものは、筋活動の強弱や個人差により若干異なるが、振幅が約 100mV_{p-p} 、周波数帯域が 1Hz から 500Hz 程度である。この信号は、体表面においても観測可能であり、この信号を表面筋電位という [1]-[8]。この表面筋電位は、数 μV から数 mV の振幅と極めて微弱な信号である。これは、筋電位が体表面までの経路において減衰するためであり、従って、この表面筋電位を信号処理する場合には、初期の段階で増幅することが必要となる。しかし、表面筋電位の帯域は数 Hz という低周波を含んでいることから、MOSFETによる回路実現に際しては $1/f$ ノイズが問題となる [4]-[10]。一般に、MOSFETの低周波領域におけるノ

1) システム工学専攻大学院生

2) システム工学専攻大学院生

3) 教育研究支援技術センター技官

4) 電気電子工学科助教授

5) 電気電子工学科教授

イズ特性は、サーマルノイズよりも $1/f$ ノイズが支配的となる。従って、 $1/f$ ノイズの影響を考慮した増幅器を設計することが必要となる。また、システムとしての小型化を実現する上で、バッテリーの小型化と長時間駆動の両立、並びに、LSI の発する熱が人体へ与える影響を最小限に止めることが要求されるため、低電圧動作、低消費電力の増幅器の設計が必須となる。

本論文では、 $1/f$ ノイズの影響を考慮した低電圧、低消費電力増幅器の設計方法について述べる。まず、表面筋電位信号処理回路のための増幅器を実現するための基本回路として、演算増幅器を設計する [17]–[19]。ここでは、 $1/f$ ノイズの値が MOSFET のチャネル長の 3 乗に反比例することに着目し、長チャネル MOSFET を用いた低ノイズ演算増幅器を設計する。さらに、回路の低消費電力及び低電圧動作を実現するため、MOSFET の弱反転領域を用いた回路設計及び MOSFET の縦積み段数を 3 段以内に抑えることを行う。同時に、 $1/f$ ノイズの小さな P チャネル MOSFET を基本とした回路設計を行う [9]。以上のように、徹底した $1/f$ ノイズ、低電圧及び低消費電力対策を行った演算増幅器の設計を行う。次に、先に設計した演算増幅器を用いて、測定等で用いられるインストゥルメンテーションアンプを設計する。一般的なインストゥルメンテーションアンプでは多数の抵抗が用いられるが、抵抗は大きなチップ面積を占有し、サーマルノイズの問題を引き起こす。そこで、本回路では MOSFET の線形領域で抵抗を実現し、インストゥルメンテーションアンプを設計している。その結果、全く抵抗を使用せずに、インストゥルメンテーションアンプを設計することができる。最後に表面筋電位のための増幅器を設計する。表面筋電位のための増幅器では、電源雑音など電極に同相で混入する雑音を取り除くこと、隣接する筋肉からの活動電位の漏れを抑えること、並びに、筋膜上を伝わる興奮電位の伝播速度を推定することが必要となる。そこで、演算増幅器を 15 個用いたダブル差動構成による増幅器を設計する。提案する回路は、オンセミ $1.2\mu\text{m}$ CMOS プロセスにおけるデバイスパラメータに基づいて設計され、Star-HSPICE によるシミュレーションを通して特性評価を行い、提案回路の有用性を明らかにする。

2. 表面筋電位とその設計指針

活動電位の振幅は約 100mV_{p-p} であるが、その信号は伝達経路を経て大きく減衰し、その結果、表面筋電位は数 μV ～数 mV となる。また、その周波数は、数 Hz ～数 100Hz の低周波を含む広帯域信号となる。

図 1 に表面筋電位の波形の一例を示す。以上の議論及び図 1 から、表面筋電位は微弱、低周波信号である

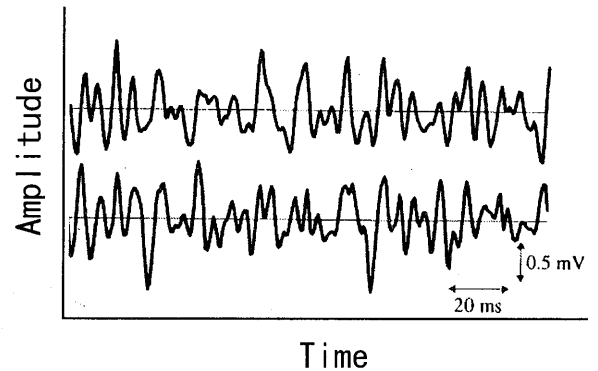


図 1 表面筋電位信号

ことが分かる。低周波においては、サーマルノイズよりも $1/f$ ノイズが支配的であり、しかも低周波であればある程その値は大きい。表面筋電位は、微弱、低周波信号であることからこの $1/f$ ノイズの中に埋もれてしまうことが考えられる。また、人体に取り付けて使用することを前提としているため、システムとしての小型化及び、LSI の発する熱が人体へ与える影響を最小限に止めることが要求される。従って、低電圧、低消費電力が必須条件となり、これらの問題点を克服することが重要となる。そこで、本研究の目的である低電圧、低消費電力、低ノイズ特性を実現するため、以下の設計指針に基づき、増幅器の設計に取り組む。

2.1 低電圧動作化

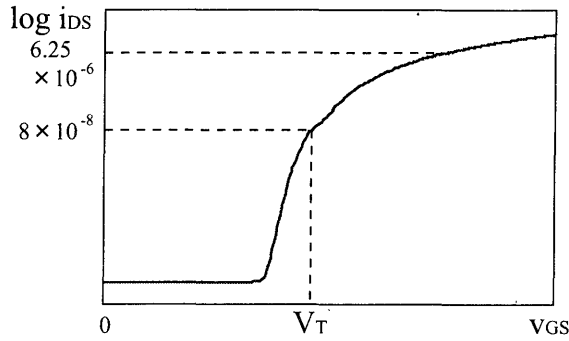
低電圧で動作させるためには、グランドから電源電圧までに接続される MOSFET の縦積み段数を抑えることが望ましい。近年、差動増幅器におけるテール電流源を取り除くことにより縦積み段数を 2 段に抑える報告がなされているが、この場合、同相除去比 (CMRR) が極端に小さくなり、同相ノイズの除去効果が低下する。そこで、本研究では、このテール電流源の除去は行わず、縦積み段数 3 段以内での設計を行う。

2.2 低消費電力化

図 2 に MOSFET の $\log i_{DS} - v_{GS}$ 特性を示す。同図において、しきい電圧以下の直線になっている部分は弱反転領域とよばれ、次式のような電流–電圧特性を示す [9]–[16]。

$$i_{DS} = I_{DS0} \exp\left(\frac{v_{GS}}{nkT/q}\right) \quad (1)$$

ここで、

図2 $\log i_{DS} - v_{GS}$ 特性

$$n = 1 + \frac{C_{BC}}{C_{OX}} + \frac{q}{C_{OX}} \quad (2)$$

I_{DS0} は $\frac{W}{L} I_{D0}$ ($V_{GS} = 0$ の時の電流), q は電子の電荷 (1.6×10^{-19}), C_{BC} は空乏層容量, C_{OX} は単位面積当たりのゲート酸化膜容量である。また, 弱反転領域の伝達コンダクタンス g_m は, 式(1)を V_{GS} で微分することで得られ, 次式のようになる。

$$g_m = \frac{I_{DS0}}{nkT/q} \frac{W}{L} \exp\left(\frac{v_{GS}}{nkT/q}\right) \quad (3)$$

本研究では, この弱反転領域を積極的に用いた回路構成を採用し, 低消費電力化を行う。また, 先に示した低電圧化の取り組みも低消費電力化へ寄与するため, これらの相乗効果によってさらなる消費電力の低減が期待できる。

2.3 低ノイズ化

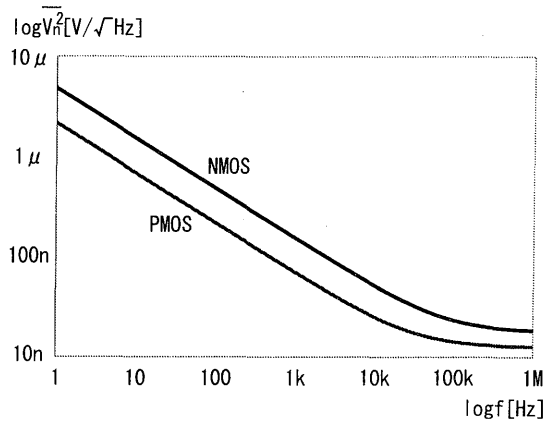
$1/f$ ノイズは MOSFET に特有のノイズであり, 雑音電圧 $\overline{v_n^2}$ はゲートに直列な電圧源でモデル化され, 次式のように与えられる。ここで K_f は製造プロセスに依存した定数で, $10^{-25} V^2 F$ のオーダーである。

$$\overline{v_n^2} = \frac{K_f}{C_{OX} WL} \cdot \frac{1}{f} \quad (4)$$

また, 単位帯域幅あたりのドレイン雑音電流は, ゲートにおける雑音電圧とデバイスのトランスコンダクタンスの積から求められ, 次式で示される。

$$\overline{i_n^2} = \frac{K_f}{C_{OX} WL} \cdot \frac{1}{f} \cdot g_m^2 \quad (5)$$

式(4)では, WL の反比例関係にある。また, MOSFET の g_m は L (チャンネル長) に反比例する。従って, 式(5)

図3 $1/f$ ノイズの周波数特性

では, g_m^2 の項があるため, $1/f$ ノイズは L の3乗に反比例することが分かる。図3にNチャンネル MOSFET とPチャンネル MOSFET の $1/f$ ノイズの特性を示す。同図から分かるように, Pチャンネル MOSFET の方が $1/f$ ノイズが小さいことが分かる。以上より, 回路設計においては, 長チャンネル (本設計では $60\mu m$ を用いている) を採用したPチャンネル MOSFET を主体とした設計を行う。

3. 増幅器の設計

2章で述べた設計指針に基づいて, まず, 演算増幅器を設計する。表面筋電位のための増幅器では, 電源雑音などの同相で混入する雑音を取り除くことが必要となることから, 差動増幅器を用いた演算増幅器の設計を行った (図4)。この回路は, $1/f$ ノイズの小さいPチャンネル MOSFET を主体にした構成である。さらに式(5)より, $1/f$ ノイズの値が MOSFET のチャンネル長の3乗に反比例することから, ここでは長チャンネル MOSFET を用いた設計を行った。また, 低消費電力及び低電圧動作を実現するため, MOSFET の縦積み段数を3段以内に抑え, 差動増幅器を弱反転領域で動作させる。差動増幅器の電流の関係式より, 電流源に弱反転電流を流すことで実現できる。次段のレベルシフト回路は, 出力段のソース接地増幅器のバイアスを決定している。

次に, 設計した演算増幅器を用いて, 計測等で用いられるインストルメンテーションアンプを設計する。一般的なインストルメンテーションアンプでは, 多くの抵抗が用いられているが, 抵抗は大きなチップ面積を占有しサーマルノイズを引き起こすため, 本回路では線形領域で動作する MOSFET を抵抗として活用し, 結果として, 全く抵抗を用いることなくインストルメンテーションアンプを実現した (図5)。このインスツ

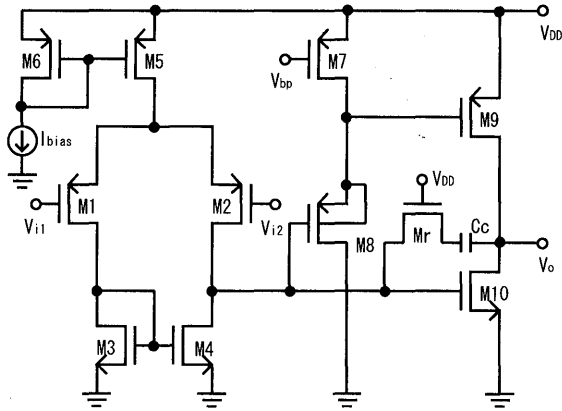


図4 演算増幅器

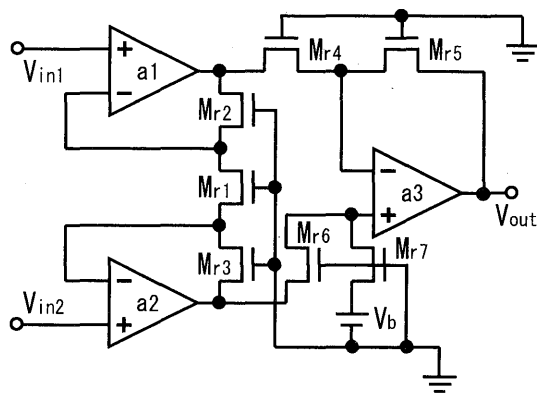


図5 インstrumentationアンプ

ルメンテーションアンプを基本セルとして最終的な増幅器を設計した [20]-[25]。その回路図を図6に示す。本回路は、4入力のダブル差動構成である。ダブル差動構成による増幅器の入出力関係は、図6において、それぞれの端子に入力した信号は、増幅器の利得を全てA倍とすると、出力 V_1, V_3 では次式となる。

$$V_1 = A(V_A - V_B) - A(V_B - V_C) \quad (6)$$

$$= A^2(V_A + V_C - 2V_B) \quad (7)$$

$$V_3 = A(V_B - V_C) - A(V_C - V_D) \quad (8)$$

$$= A^2(V_B + V_D - 2V_C) \quad (9)$$

簡単のためそれぞれの入力端子に次式のサイン波を入力すると、

$$V_A = B \sin \omega t \quad (10)$$

$$V_B = B \sin(\omega t - \phi) \quad (11)$$

$$V_C = B \sin(\omega t - 2\phi) \quad (12)$$

$$V_D = B \sin(\omega t - 3\phi) \quad (13)$$

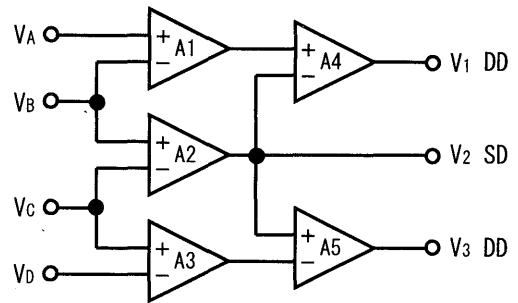


図6 ダブル差動構成による増幅器

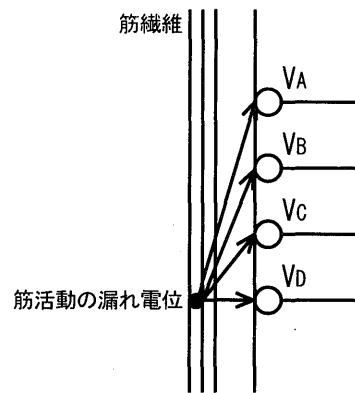


図7 4入力に対する筋活動の漏れ

式(7), (9)より V_1, V_3 は次式となる。

$$V_1 = -4A^2B \sin^2\left(\frac{\phi}{2}\right) \sin(\omega t - \phi) \quad (14)$$

$$V_3 = -4A^2B \sin^2\left(\frac{\phi}{2}\right) \sin(\omega t - 2\phi) \quad (15)$$

この構成により、電極に同相で混入するノイズを取り除くこと、隣接する筋からの活動電位の漏れを抑えること、筋膜上を伝わる表面筋電位の伝播速度を推定することが可能となる。

まず、インstrumentationアンプが差動構成であるため、これを基本セルとしたダブル差動構成の増幅器も入力の差を増幅して出力するため、電極に同相で混入するノイズを取り除くことが可能となる。

次に、図7に筋繊維からの活動電位の漏れを概念的に示す。ここでの入力筋活動の漏れ電位のみとする。筋活動の漏れとは、計測対象の筋繊維に隣接する筋活動の成分で、次式のような活動電位のことである。

$$V_A - V_B = V_B - V_C = V_C - V_D \neq 0 \quad (16)$$

また、入力端子を等間隔に配置していることで、振幅の差も等間隔であらわれ、 V_B, V_C での漏れ電位は次式のようなになる。

$$V_B = \frac{V_A + V_C}{2} \quad (17)$$

$$V_C = \frac{V_B + V_D}{2} \quad (18)$$

ここで、式(17)、(18)を式(7)、(9)に代入すると、 $V_1 = V_3 = 0$ となり、理想的には活動電位の漏れはあらわれないことになり、隣接する筋からの活動電位の漏れを抑えた計測が可能である。 V_2 はシングル出力となり、筋活動の漏れは除去できない接続となるが、漏れ電位の除去効果を観測するため残しておく。

最後に、このダブル差動構成による増幅器の電極構成を使うと、 V_1 、 V_3 の関係は次式のようになり、電極間隔と時間遅れから筋膜上を伝わる興奮電位の伝播速度を推定することができる。

$$V_1(t) = V_3(t + \tau) \quad (19)$$

4. シミュレーション結果

本章では、提案する増幅器のシミュレーション結果を示す。ここでは、オンセミ $1.2\mu\text{m}$ CMOS プロセスにおけるデバイスパラメータを用いた HSPICE シミュレーションによって評価を行った。まず、基本回路となる演算増幅器の設計値を表1に示し、次に、インストルメンテーションの設計値を表2に示す。

結果として、最低電源電圧 2.4V で動作することを確認し、消費電力が $14\mu\text{W}$ 、入力換算ノイズが $14\mu\text{V}$ であることが分かり、低電圧化、低消費化、低ノイズ化を実現できた。(表1参照)。また、図9に図6で示した増幅器の HSPICE シミュレーション結果を示す。このシミュレーション結果は、表面筋電位に活動電位の漏れを想定したノイズを足した波形を入力した時の出力波形を示している。この結果から、活動電位の漏

表1 演算増幅器の各種パラメータ

V_{DD}	3.0 [V]
V_{bp}	2.0 [V]
$M_{1,2}$ の $W/L[\mu\text{m}/\mu\text{m}]$	80/60
$M_{3,4}$ の $W/L[\mu\text{m}/\mu\text{m}]$	60/40
$M_{5,6}$ の $W/L[\mu\text{m}/\mu\text{m}]$	10/5
$M_{7,8}$ の $W/L[\mu\text{m}/\mu\text{m}]$	20/5
M_9 の $W/L[\mu\text{m}/\mu\text{m}]$	5/2
M_{10} の $W/L[\mu\text{m}/\mu\text{m}]$	25/2
M_7 の $W/L[\mu\text{m}/\mu\text{m}]$	5/70
C_c	1.5 [pF]
I_{bias}	1 [μA]

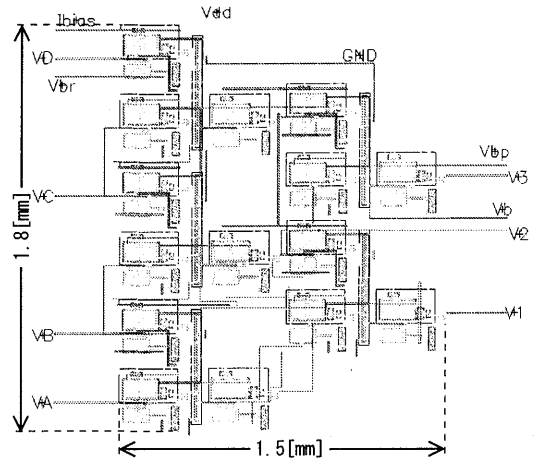


図8 提案回路のマスキレイアウト図

れを抑えた計測が可能である見通しを得た。

最後に、提案回路のマスキレイアウト設計を行った。図8はそのレイアウト図である。演算増幅器が $267\mu\text{m} \times 305\mu\text{m}$ 、トランジスタ数11個、インストルメンテーションアンプが $568\mu\text{m} \times 693\mu\text{m}$ 、トランジスタ数40個、最終的な増幅器が $1.8\text{mm} \times 1.5\text{mm}$ 、トランジスタ数200個となった。

表2 インストルメンテーションアンプの各種パラメータ

V_{DD}	3.0 [V]
V_{bp}	2.0 [V]
V_b	1.5 [V]
$M_{1,4,6}$ の $W/L[\mu\text{m}/\mu\text{m}]$	5/30
$M_{2,3,5,7}$ の $W/L[\mu\text{m}/\mu\text{m}]$	5/75
I_{bias}	1 [μA]

表3 op-amp のシミュレーション結果

項目	結果
消費電力	$14\mu\text{W}$
直流利得	70.6dB
位相余裕	47.2deg
出力抵抗	191k Ω
最低電源電圧	2.4V
同相入力範囲	0.6V~1.78V
入力換算ノイズ	$14\mu\text{V}$
単位利得周波数	631kHz
同相電圧除去比	73dB
出力オフセット電圧	100 μV 以下
スルーレート (10pF 負荷)	2.53V/ μs

5. まとめ

本論文では、表面筋電位信号処理 LSI のための増幅器について述べてきた。表面筋電位は、微弱・低周波信号であり、また、体表面に付して使用することからシステムとしての小型化が必要であり、さらに、人体への影響を最小限に抑えることが求められることから、LSI の初段で用いる増幅器には、低電圧、低消費電力、低ノイズの特長が必須となる。そこで、本論文では、これらの特長を有した増幅器を提案してきた。

まず、表面筋電位信号処理 LSI のための増幅器の基本回路として、演算増幅器を設計した。1/f ノイズの値が MOSFET のチャネル長の 3 乗に反比例することから、長チャネルの P チャネル MOSFET を基本とした回路設計を行い、低消費電力及び低電圧動作を実現するため、MOSFET の弱反転領域の活用並びに、MOSFET の縦積み段数を 3 段以内に抑える設計を行った。結果として、最低電源電圧が 2.4V、消費電力が 14 μ W、入力換算ノイズが 14 μ V であることが分かり、低電圧、低消費電力、低ノイズ特性を実現できた。

次に、先に設計した演算増幅器を用いて、インストゥルメンテーションアンプを設計した。一般的には多数の抵抗が用いられているが、抵抗はチップ面積を占有し、サーマルノイズの問題を引き起こす。そのため、提案回路では MOSFET の線形領域で抵抗を実現し、全く抵抗を使用せず、同時に、1/f ノイズの影響も考慮し、全て P チャネル MOSFET で設計した。

さらに、このインストゥルメンテーションアンプを用いて、表面筋電位のための増幅器を設計した。表面筋電位のための増幅器では、電源雑音など電極に同相で混入する雑音を取り除くこと、隣接する筋肉からの活動電位の漏れを抑えること、筋膜上を伝わる興奮電位の伝播速度を推定することが要求される。そこで本回路では、ダブル差動構成を用いることでこれらの問題の克服を試みた。その結果、ダブル差動構成により、同相成分の除去並びに活動電位の漏れは除去可能であることが分かり、伝播速度の推定は、最終出力間の位相差から算出可能である見通しを得た。最後に、提案回路のマスクレイアウト設計を行ったところ、最終的な増幅器が 1.8mm \times 1.5mm となった。

今後の課題は、まず、更なる低電圧化が上げられる。提案回路では、まず、低ノイズ化と低消費電力化を優先した設計を行った結果、最低駆動電圧が 2.4V となった。各素子値の最適化によって更なる低電圧化が可能であるものと思われる。また、最終的なチップ面積が大きくなるという問題点が顕在化した。そのため、チップ面積を小さくするための回路設計手法を提案することが必要であるものと思われる。

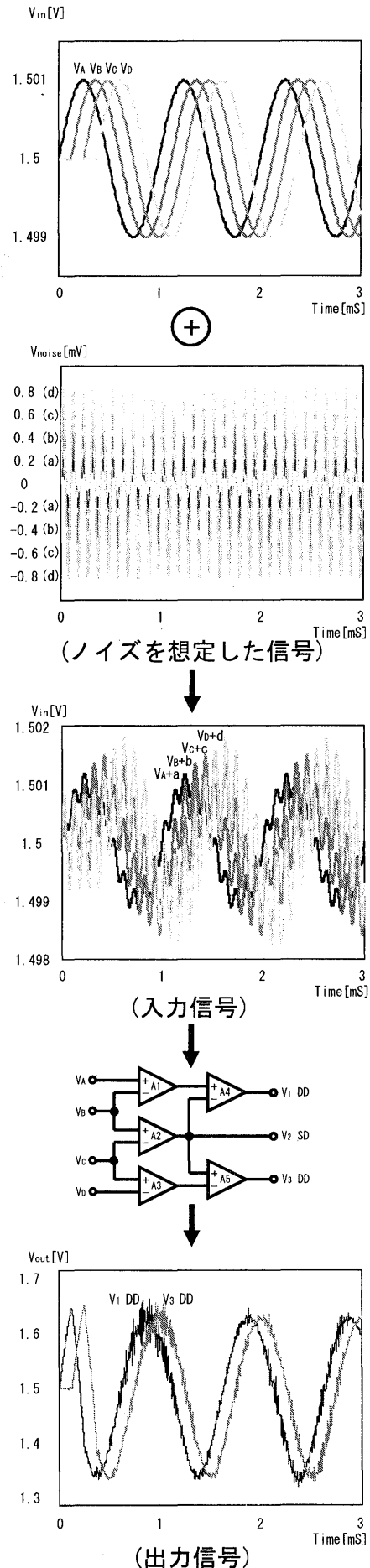


図 9 DD 構成による増幅器のシミュレーション結果

参考文献

- [1] 星宮 望, 塚田 稔, 石井 直宏, 井出 英人 “生体情報工学,” 森北出版, 1986 年.
- [2] 赤澤 堅造, “生体情報工学,” 東京電機大学出版局, 2001 年.
- [3] 岡田 正彦, “生体計測の機器とシステム,” コロナ社, 2000 年 12 月.
- [4] 山越 憲一, 戸川 達男 “生体用センサと計測装置,” コロナ社, 2000 年 9 月.
- [5] 星宮 望, “生体情報計測,” 森北出版, 1997 年 7 月.
- [6] Rangaraj M. Rangayyan, “Biomedical Signal Analysis,” IEEE Press Series on Biomedical Engineering, 2002.
- [7] Robert B. Northrop, “Signals and Systems Analysis in Biomedical Engineering,” CRC PRESS, 2003.
- [8] 板井 竜宏, “表面筋電位信号処理 LSI のための CMOS 増幅器の設計と解析,” 平成 14 年度宮崎大学工学部電気電子工学科卒業論文, 2003 年 2 月.
- [9] B. Razavi 著/黒田 忠広 監訳, “アナログ CMOS 集積回路の設計,” 丸善, 2003 年 3 月.
- [10] R. Jacob Baker, Harry W. Li, and David E. Boyce, “COMS Circuit Design, Layout, and Simulation,” IEEE Press Series on Microelectronic Systems, 1998.
- [11] C. Jalobson, I. Bloom, and Y. Nemirovsky, “1/f noise in CMOS transistors for analog applications from subthreshold to saturation,” Solid-State Electron, vol. 42, no. 10, pp. 1807-1817, 1998.
- [12] A. Ziel, “Unified presentation of 1/f noise in electron devices: fundamental 1/f noise sources,” IEEE Dept. of Electr. Eng, vol. 76, no. 3, pp. 233-258, Mar. 1998.
- [13] Kenneth R. Laker, Willy M. C. Sansen, and William M. C. Sansen, “Design of Analog Integrated Circuits and Systems,” McGraw-Hill Science/Engineering/Math, Jan. 1994.
- [14] 引地 利行, 高窪 かをり, 高窪 統, “弱反転領域動作の MOSFET を用いた低消費電力演算増幅器,” 電子回路研究会, vol. ECT-03-07, no. 7, pp. 35-38, Dec. 2002.
- [15] A. G. Andreou, “Current-Mode Subthreshold MOS Circuits for Analog VLSI Neural Systems,” IEEE Transactions on Neural Networks, Vol. 2, No. 2, pp. 205-213, Mar. 1992.
- [16] E. A. Vittoz and J. Fellrath, “CMOS analog integrated circuits based on weak inversion operation,” IEEE J. Solid-State Circuits, Vol. 12, pp. 224-231, Jun. 1977.
- [17] R. Jacob Baker, “COMS Mixed-Signal Circuit Design,” IEEE Press Series on Microelectronic Systems, 1998.
- [18] 高木 茂考, “MOS アナログ電子回路,” 昭晃堂, 1998 年.
- [19] P. R. Gray and R. G. Meyer, “MOS operational amplifier design A tutorial overview,” IEEE J. Solid-State Circuits, vol. SC-17, pp. 969-982, Dec. 1982.
- [20] Roubic Gregorian, Gabor C. Temes, “Analog MOS Integrated Circuits for Signal Processing,” Wiley-Interscience, Apr. 1986.
- [21] Alan B. Grebene, “Bipolar and MOS Analog Integrated Circuit Design,” John Wiley and Sons, Nov. 2002.
- [22] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, “Analysis and Design of Analog Integrated Circuits,” Wiley Text Books, Feb. 2001.
- [23] A. Matsuzawa, K. Nishimura, G. Hayashi, H. Shimomura, and H. Kimura, “Expression method of CMOS device characteristics for analog circuit design,” Technical report of IEICE, vol. ICD96-130, pp. 71-78, 1996.
- [24] David Johns, and Ken Martin, “Analog Integrated Circuit Design,” John Wiley and Sons, 1997.
- [25] Keith Barnham, and Dimitri Vvedensky, “Low-Dimensional Semiconductor Structures,” Cambridge University Press, 2001.