

スイッチドボルテージ循環型A/D変換器

戸高 智範¹⁾・松本 寛樹²⁾

Switched Voltage Cyclic Analog-to-Digital Converter

Tomonori TODAKA, Hiroki MATSUMOTO

Abstract

MOS and CMOS technology are applied to the data converter which mediates between the analog domain and the digital domain by the technical innovation of the present semiconductor. The A/D converter using the Switched Voltage(SV) which is new sample data signal processing technology is introduced in this paper.

Although this SV technology is essentially a delay cell, the Clock Feedthrough(CFT) or the channel length modulation effect by the MOS switch are not avoided. Then, the SV Cyclic Analog-to-Digital Converter which are compensated them is proposed this time.

The resolution of it is 7 bit from the characteristic of Differential NonLinearity error(DNL) and Integral Nonlinearity error(INL). Moreover, a guarantee of operation of clock frequency is to 1MHz by generating of glitch inside a converter.

Key Words :

Switched Voltage(SV), Sample/Hold circuit(S/H), CMOS Voltage Average circuit, Cyclic A/D Converter

1 はじめに

アナログ・デジタル混載 ASIC の開発上最も重要となるのは、自然界の物理量のアナログ領域と信号処理のデジタル領域を橋渡しするアナログ・デジタル(A/D)変換器やデジタル・アナログ(D/A)変換器である。

このデータ変換器に対する MOS, CMOS 技術にはスイッチドキャパシタ (Switched Capacitor:SC) 技術やスイッチドカレント (Switched Current:SI) 技術などがある。そこで今回は新しいサンプルデータ信号処理技術であるスイッチドボルテージ (Switched Voltage:SV)[1] を用いた D/A, A/D 変換器を紹介する。

この SV 技術は本質的に遅延セル (S/H 回路) であり MOS トランジスタのみで動作する。しかし、MOS トランジスタのスイッチの立ち下がりにゲートソース間容量 C_{gs} に電荷が流出するクロックフィードスルー (CFT: Clock-Feedthrough) が存在し、またチャンネル長変調効果などの出力電圧への影響を避けられない。スイッチドボルテージ (SV) 技術を用いた循環型 D/A 変換器は文献 [4] で紹介されているが、これは先述の SV 遅延セルを S/H 回路として用いているため分解能が高いと言える程の精度ではなかった。そこで、本研究ではこれらの影響を補償した高精度な SV-S/H 回路を用いたスイッチドボルテージ循環型 D/A, A/D 変換器を提案する。

D/A, A/D 変換器は共に変換方式は循環型であるが、一般的には逐次近似型 (逐次比較型) とも言われている。D/A 変換器では最上位ビット (MSB) からと

最下位ビット (LSB) からの変換を逐次行っていく 2 つの方式を、A/D 変換器では最上位ビット (MSB) からの変換を逐次行っていく方式をそれぞれ紹介している。A/D 変換器の変換アルゴリズムは MSB から変換する D/A 変換器の D/A 変換アルゴリズム [2] を利用することで同じように 2 相クロックで制御することが可能となる。

2 CMOS 電圧平均回路

構成回路の一つである電圧平均回路は非常に簡単な左右対称に並んだ 4 個の E 型 nMOS トランジスタと 3 個の直流電流源 J から成る。この回路は従来の回路に使われていた E 型 pMOS トランジスタのカレントミラーを直流電流源 J に置き換えたものとなっている。この回路は M_{n1} , M_{n4} のゲート X, Y 端子の平均電圧を M_{n2} , M_{n3} のゲート間に式 (1) として出力する。しかし、この回路には 4 つの MOS トランジスタの特性が等しくならなければならない、素子の整合性が必要となる。

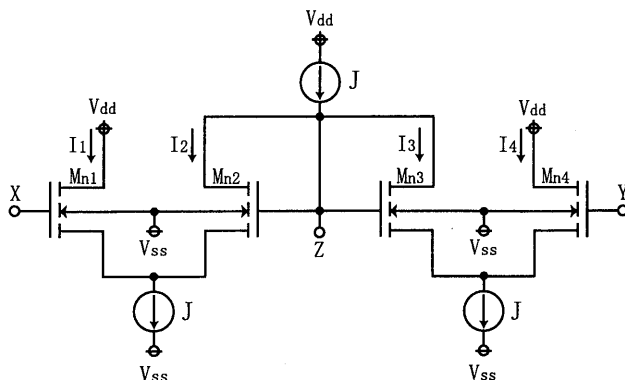


図 1: CMOS 電圧平均回路

1) 電気電子工学専攻大学院生
2) 電気電子工学科助教授

$$Z = \frac{X + Y}{2} \quad (1)$$

3 高精度スイッチドボルテージ S/H 回路

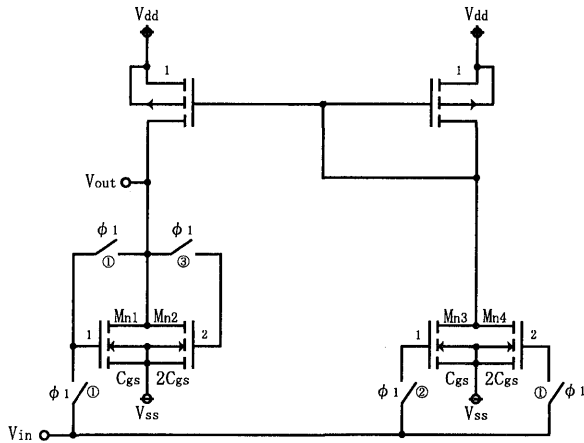


図 2: 高精度スイッチドボルテージ S/H 回路

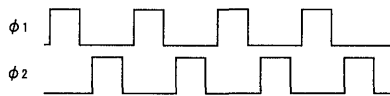


図 3: 制御クロック

図 2 と図 3 に高精度スイッチドボルテージ S/H 回路と制御クロックを示す。φ₁、φ₂ は、お互いに重なり合わないように位相制御された 2 相クロックである。この回路の関係式を式 (2) に示す。

$$V_{out}(n) = V_{in} \left(n - \frac{1}{2} \right) \quad (2)$$

この回路は文献 [1] で紹介された S/H 回路の問題点であったクロックフィードスルーとチャネル長変調効果による伝達誤差を低減したものである。図 4 にサンプリング周波数 1MHz における入力電圧と出力電圧の伝達誤差を示す。±0V 付近で誤差が大きくなるが、これはオフセット電圧が 5.11mV なので 0V 近傍で膨らみのある特性になっている。尚、±1.5V 間で 20mV 刻みの 150 点の電圧を測定した。

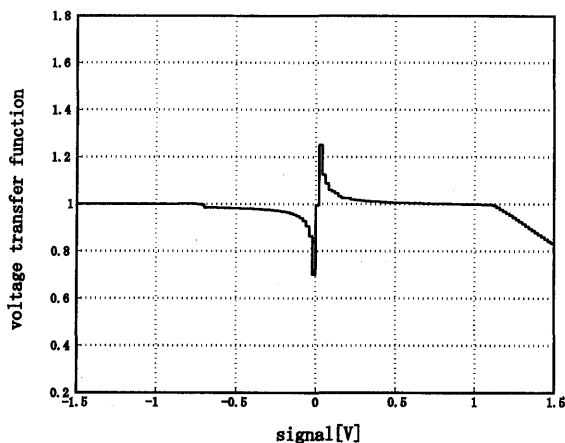


図 4: 伝達誤差

4 スイッチドボルテージ D/A 変換器

4.1 D/A 変換アルゴリズム

n ビットの 2 進数入力 b_i と D/A 変換に対応するアナログ出力電圧 $V_{out}(=V_a(n))$ は式 (3) によって関係付けられる。

$$\begin{aligned} V_{out} &= (b_1 2^{-1} + b_2 2^{-2} \dots + b_n 2^{-n}) V_r \\ &= \sum_{i=1}^n b_i 2^{-i} V_r \end{aligned} \quad (3)$$

ここで、 V_r は基準電圧、 b_1 は最上位ビット (Most Significant Bit: MSB)、 b_n は最下位ビット (Least Significant Bit: LSB) である。MSB から始まる循環型やパイプライン型 D/A 変換器は式 (4) で与えられる。

$$V_a(i) = V_a(i-1) + b_i 2^{-i} V_r \quad (i = 1, 2, \dots, n) \quad (4)$$

ただし、 $V_a(0) = 0$ 、 $V_r(0) = V_r$ である。式 (5) の関係により定義された基準電圧シーケンスを導入する。

$$V_r(i) - V_a(i) = \frac{V_r(i-1) - V_a(i-1)}{2} = 2^{-i} V_r \quad (5)$$

そして、 $V_a(i-1) = (b_i + \bar{b}_i) V_a(i-1)$ を用いると式 (4) は式 (6) に書き直すことができる。

$$V_a(i) = \bar{b}_i V_a(i-1) + b_i \frac{V_r(i-1) + V_a(i-1)}{2} \quad (6)$$

式 (5)、(6) より $V_r(i)$ 、 $V_a(i)$ の変換アルゴリズムの行列表現を式 (7) に得る。

$$\begin{bmatrix} V_r(i) \\ V_a(i) \end{bmatrix} = \begin{bmatrix} b_i + \frac{\bar{b}_i}{2} & \frac{\bar{b}_i}{2} \\ \frac{b_i}{2} & \bar{b}_i + \frac{b_i}{2} \end{bmatrix} \begin{bmatrix} V_r(i-1) \\ V_a(i-1) \end{bmatrix} \quad (7)$$

式 (7) のアルゴリズムを繰り返すことで MSB からの n ビット D/A 変換が実行できる。

MSB からの 1 ビット D/A 変換を行う基本的なブロック図を図 5 に示す。この回路は、ビットに応じて大きさの等しい 2 つの抵抗で電圧を分圧し、分圧に重みを付けていくことで式 (7) の D/A 変換のアルゴリズムを実現させている。

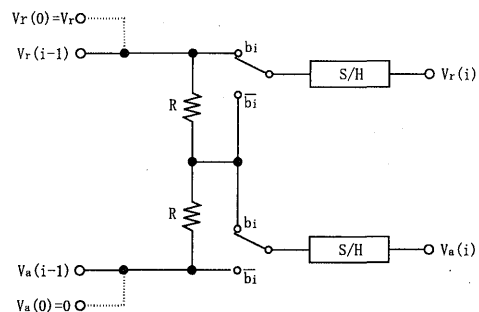


図 5: MSB からの 1 ビット D/A 変換を行うブロック図

また、変換を LSB から始めるとすれば、アナログ出力電圧は式 (8) で与えられ、LSB からの 1 ビット

D/A 変換を行うブロック図は図 6 に示す。

$$V_a(i) = \frac{V_a(i-1) + b_{n+1-i}V_r}{2} \quad (i = 1, 2, \dots, n) \quad (8)$$

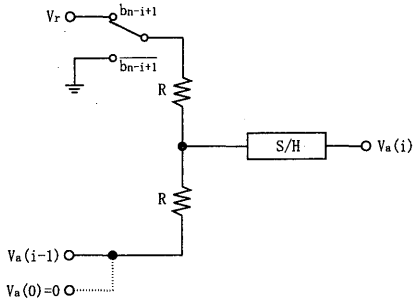


図 6: LSB からの 1 ビット D/A 変換を行うブロック図

4.2 上位ビット (MSB) から変換する スイッチドボルテージ循環型 D/A 変換器

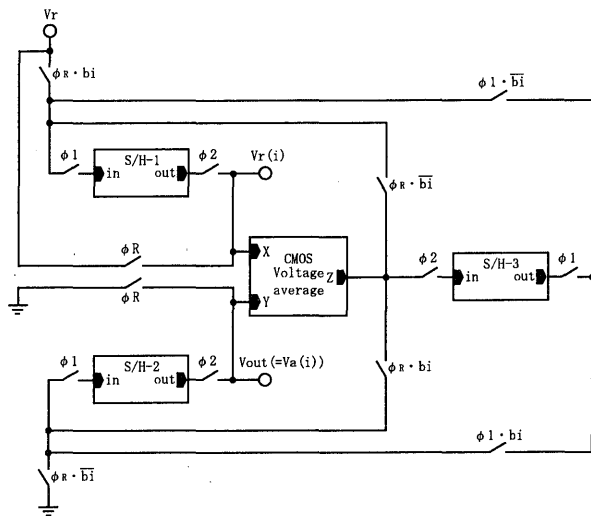


図 7: 上位ビット (MSB) から変換するスイッチドボルテージ循環型 D/A 変換器 (DAC-MSB)

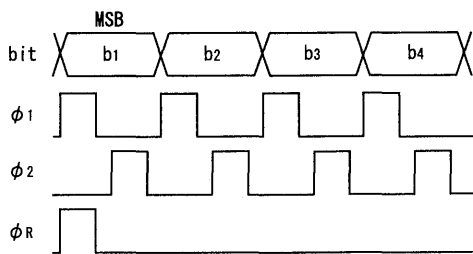


図 8: 制御クロック

上位ビット (MSB) から変換するスイッチドボルテージ循環型 D/A 変換器を図 7 に示す。回路構成は CMOS 電圧平均回路と S/H 回路に高精度 SV-S/H 回路を用いている。変換形式は循環型でデジタル入力に対して最上位ビットから変換を始める。図 7 を DAC-MSB と呼ぶことにする。

制御クロックを図 8 に示す。phi_1 と phi_2 は、High の期間が互いに重なり合わないよう位相制御された 2

相クロックである。phi_R はリセットクロックで、1 ビット目の phi_1 が High の時にだけオンとなる。b_i は b_i の補数である。

DAC-MSB は電圧平均回路と 3 つの SV-S/H 回路、S/H-1、S/H-2、S/H-3 から構成される。S/H-1 と S/H-2 は phi_1 相でサンプルモードとなりアナログ電圧値をサンプルする。phi_2 相はホールド状態になる。また、S/H-3 は S/H-1、S/H-2 と逆のタイミングでサンプル・ホールドを行う。最終的な n ビット D/A 変換出力は phi_2 相での S/H-2 の出力の V_out (= V_a) である。

4.3 シミュレーション (DAC-MSB)

次に、図 9、図 10 に相対精度による 7 ビットに対する微分直線性誤差、積分直線性誤差を示す。尚、相対精度による 1LSB を式 (9) に示す。

$$\text{相対精度の 1LSB} = (V_{126} - V_0)/126 = 7.7648 \text{ [mV]} \quad (9)$$

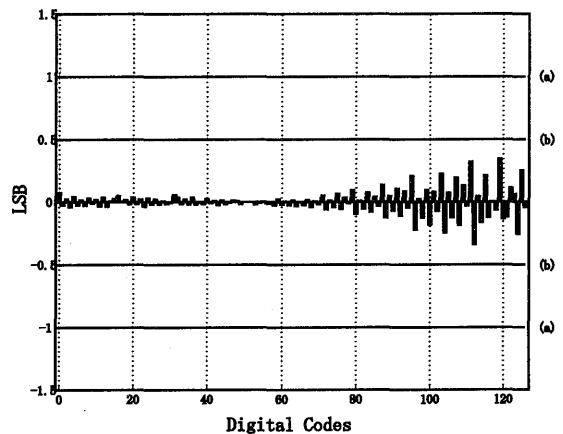


図 9: DAC-MSB の微分直線性誤差

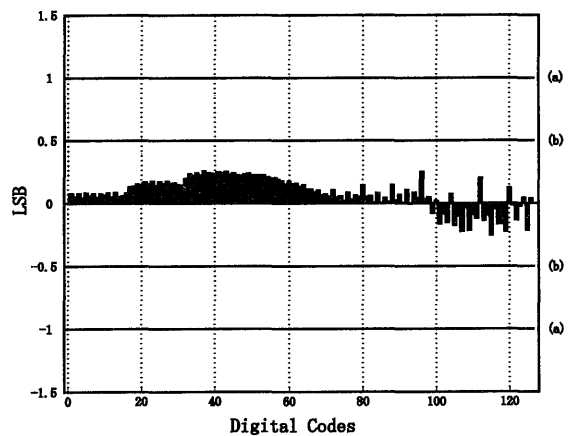


図 10: DAC-MSB の積分直線性誤差

7 ビットにおける微分、積分直線性誤差は一つの目安である +/- 1/2LSB 内にグラフが収まっているため DAC-MSB の分解能は 7 ビットであることが確認できる。

4.4 下位ビット (LSB) から変換する
スイッチドボルテージ循環型 D/A 変換器

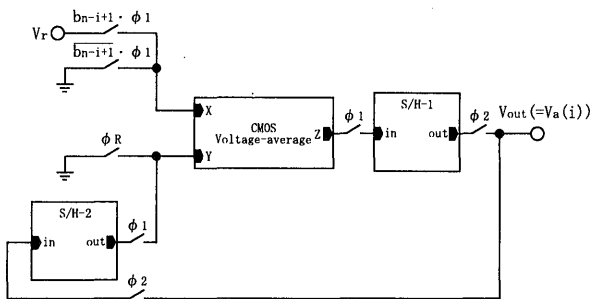


図 11: 下位ビット (LSB) から変換するスイッチドボルテージ循環型 D/A 変換器 (DAC-LSB)

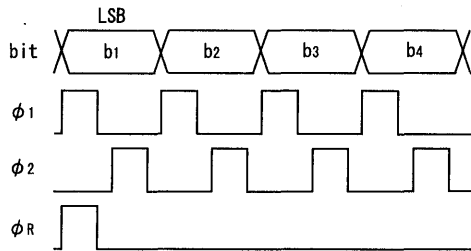


図 12: 制御クロック

下位ビット (LSB) から変換するスイッチドボルテージ循環型 D/A 変換器を図 11 に示す。この回路構成は DAC-MSB と同様に電圧平均回路と高精度 SV-S/H 回路を用いている。DAC-MSB とは逆にデジタル入力に対して最下位ビットから変換を始める。図 11 を DAC-LSB と呼ぶことにする。

制御クロックを図 12 に示す。DAC-MSB と同様に ϕ_1 と ϕ_2 は、High の期間が互いに重なり合わないように位相制御された 2 相クロックである。

DAC-LSB は電圧平均回路と 2 つの SV-S/H 回路、S/H-1、S/H-2 から構成される。S/H-1 と S/H-2 のサンプル・ホールドのタイミングは互いに逆であるが、最終的な n ビット D/A 変換出力は ϕ_2 相での S/H-1 の出力の $V_{out}(=V_a)$ である。

4.5 シミュレーション (DAC-LSB)

次に、図 13、図 14 に相対精度による微分直線性誤差、積分直線性誤差を示す。尚、相対精度による 1LSB を式 (10) に示す。

$$\text{相対精度の } 1\text{LSB} = (V_{126} - V_0)/126 = 7.7646 \text{ [mV]} \tag{10}$$

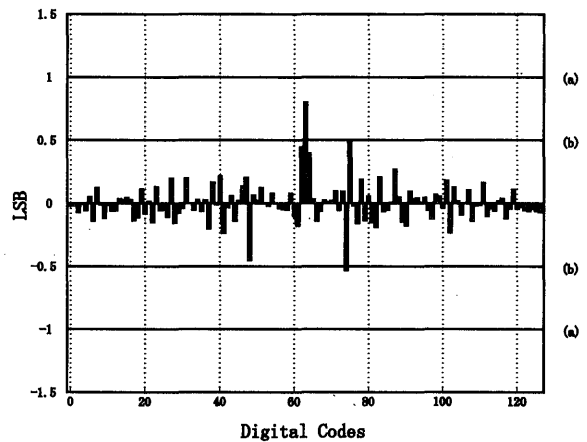


図 13: DAC-LSB の微分直線性誤差

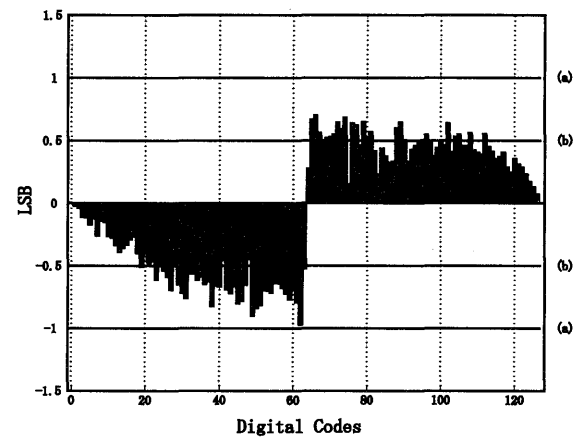


図 14: DAC-LSB の積分直線性誤差

7 ビットにおける微分、積分直線性誤差は一つの目安である $\pm 1/2\text{LSB}$ 内にグラフが収まっているため、DAC-LSB の分解能は 7 ビットであることが確認できる。

5 スwitchドボルテージ循環型 A/D 変換器

5.1 A/D 変換アルゴリズム

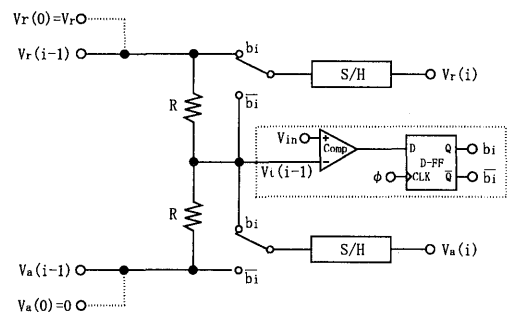


図 15: 1 ビット A/D 変換を行うブロック図

図 15 に示すように 1 ビット A/D 変換は図 5 の MSB からの 1 ビット D/A 変換を行うブロック図に対して $V_r(i-1)$ と $V_a(i-1)$ の平均電圧 (しきい電圧) V_t に対してコンパレータで入力電圧 V_{in} との比較を行い、D-FF を通してこれに応じたビットを出力させていくものである。

そして、 $V_r(i)$ と $V_a(i)$ の平均電圧 $V_t(i)$ は式 (11) によって与えられる。

$$V_t(i) = \frac{V_r(i) + V_a(i)}{2} = \frac{V_r(i)}{2} - \sum_{j=1}^i (-1)^{b_j} 2^{-(j+1)} V_r \quad (11)$$

これはちょうど入力アナログ電圧 V_{in} が A/D 変換器の i 番目の周期と比較しなければならないしきい電圧である。それを循環式で表現すると、式 (12) の結果となる。ただし、 $V_t(0) = \frac{V_r}{2}$ である。

$$V_t(i) = \frac{V_t(i-1) + b_i V_r(i-1) + \bar{b}_i V_a(i-1)}{2} \quad (12)$$

基準電圧 $V_r(i)$ とアナログ電圧 $V_a(i)$ はそれぞれ式 (13) と式 (14) のように書き直すことができる。

$$V_r(i) = b_i V_r(i-1) + \bar{b}_i V_t(i-1) \quad (13)$$

$$V_a(i) = \bar{b}_i V_a(i-1) + b_i V_t(i-1) \quad (14)$$

これを行列で表すと式 (15) のようになる。

$$\begin{bmatrix} V_r(i) \\ V_t(i) \\ V_a(i) \end{bmatrix} = \begin{bmatrix} b_i & \bar{b}_i & 0 \\ \frac{b_i}{2} & \frac{1}{2} & \frac{\bar{b}_i}{2} \\ 0 & b_i & \bar{b}_i \end{bmatrix} \begin{bmatrix} V_r(i-1) \\ V_t(i-1) \\ V_a(i-1) \end{bmatrix} \quad (15)$$

ただし、 $i=0$ の初期設定は

$$\begin{cases} V_r(0) = V_r \\ V_t(0) = \frac{V_r}{2} \\ V_a(0) = 0 \end{cases}$$

とする。また、比較される V_{in} と V_t の大小関係で出力されるビット b_i の関係は

$$\begin{cases} V_{in} \geq V_t \rightarrow b_i = 1 \\ V_{in} \leq V_t \rightarrow b_i = 0 \end{cases}$$

のようになり、このビットの結果をもとにして式 (15) の行列が動作していく。

5.2 回路構成

図 16 に提案回路であるスイッチドボルテージ循環型 A/D 変換器を示す。回路構成は CMOS 電圧平均回路と高精度 SV-S/H 回路を用いている。変換方式は循環型で入力電圧 V_{in} に対してデジタル出力は最上位ビットから変換を始める。

制御クロックを図 17 に示す。 ϕ_1 と ϕ_2 は、High の期間が互いに重なり合わないように位相制御された 2 相クロックである。 ϕ_{e2} は D-FF の制御クロックであり、 ϕ_{e2} がオンになるとコンパレータで入力電圧 V_{in} としきい電圧 V_t が比較した High か Low の電圧を読み取りそれを D-FF によって 1 or 0 のビットを出力

する。この時 ϕ_{e2} 相は ϕ_2 よりも早く立ち上がる。言い換えれば ϕ_1 相の立ち下りの時にオンになっている。これは ϕ_2 相で S/H-1、S/H-2 のどちらに電圧を印加させるかを決定するスイッチを安定して動作させるためである。set 相は最初の b_1 を出力させる時だけのセットクロックであり ϕ_1 、 ϕ_2 、 b_1 の論理積で用いている。出力ビットは ϕ_{e2} 相の 1 周期の時となる。

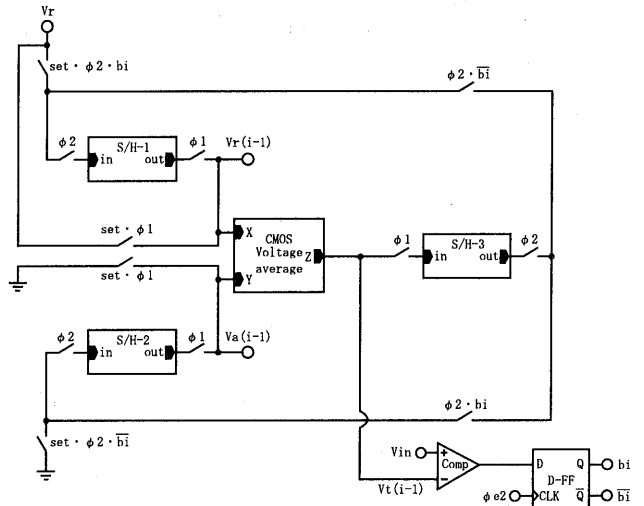


図 16: スwitchドボルテージ循環型 A/D 変換器

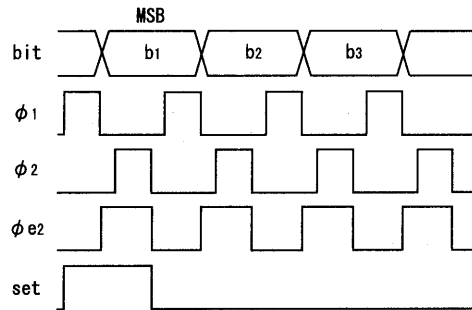


図 17: 制御クロック

5.3 シミュレーション

シミュレーションより、A/D 変換器の種々の特性を示す。ここでは、電源電圧 $\pm 2V$ 、基準電圧 $V_{ref}=1V$ 、クロック周波数 1MHz としている。

まず、図 18、図 19、図 20 に基準電圧 $V_{ref}=1V$ で 7 ビットでの微分直線性誤差、積分直線性誤差、絶対精度における誤差の特性を示す。尚、微分、積分直線性誤差には相対精度による 7 ビットの 1LSB の特性を、絶対精度における誤差は絶対精度による 7 ビットの 1LSB の特性より計算している。ここでそれぞれの 1LSB は式 (16)、(17) で表される。

$$\text{相対精度の 1LSB} = (V_{126} - V_0)/126 = 7.7937 \text{ [mV]} \quad (16)$$

$$\text{絶対精度の 1LSB} = V_{ref}/128 = 7.8125 \text{ [mV]} \quad (17)$$

どの特性も一般的な目安である $\pm 1/2\text{LSB}$ 以内の収まっており、7ビットの分解能を持つことが確認できた。

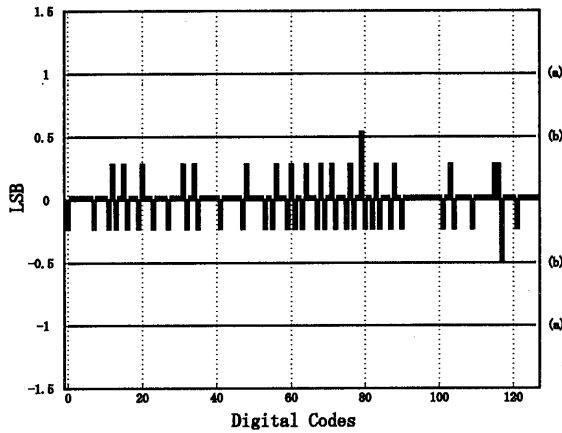


図 18: ADC の微分直線性誤差

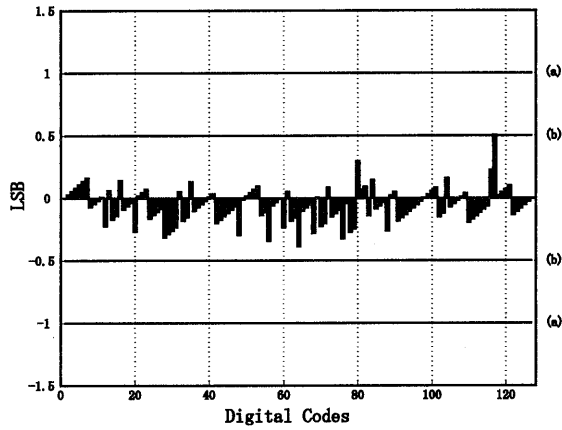


図 19: ADC の積分直線性誤差

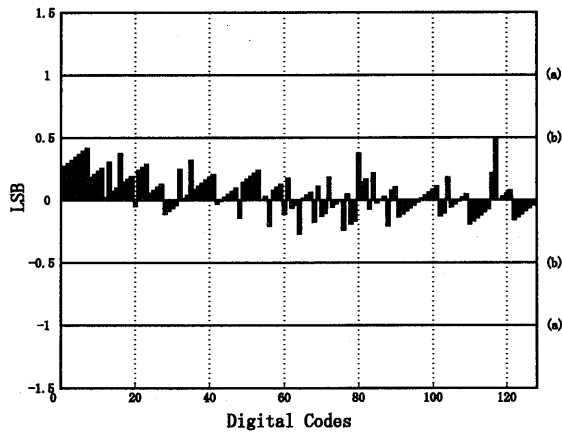


図 20: ADC の絶対精度による誤差

次に、入力電圧 $V_{in}=800\text{mV}$ に対するしきい電圧 V_t の時間変化を示す。

図 21 より、しきい電圧 V_t がビット毎に入力電圧に近づいていくのが分かる。

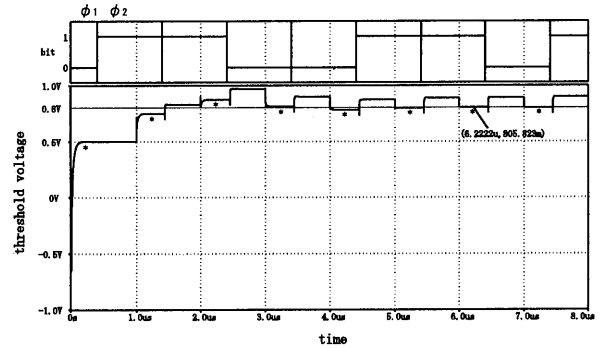


図 21: $V_{ref} = 1\text{V} : V_{in} = 800\text{mV}$ における V_t の変化

6 まとめ

本研究では、従来の回路の問題点だったSV技術の遅延セルのクロックフィードスルーとチャンネル長変調効果による伝達誤差を低減した高精度SV-S/H回路とCMOS電圧平均回路を用いてSV循環型D/A、A/D変換器を提案した。D/A変換器では最上位ビット(MSB)、最下位ビット(LSB)の変換を始める2種類とMSBから変換を始めるA/D変換器の合計3種類の回路解析を論じた。

DAC-MSB, DAC-LSBではシミュレーションにおいて、7ビットの積分直線性誤差や微分直線性誤差より、それぞれ両方が一般的な目安である $\pm 1/2\text{LSB}$ 内に収まっているために従来の回路の5ビットから7ビットまでの分解能を上げることに成功した。

A/D変換器ではシミュレーションよりクロック周波数1MHzにおいて7ビットの積分、微分直線性誤差の特性から $\pm 1/2\text{LSB}$ 内に収まっており分解能は7ビットであることが確認できた。

今後の課題としては、クロック周波数の高速化における変換器の動作保証や更なる分解能を上げるための高精度な電圧平均回路やS/H回路の提案などが挙げられる。

参考文献

- [1] K.Leelavattananon and C.Toumazou, "Switched-voltage : An adaptation of switched-currents for voltage-mode design", *ELECTRONICS LETTERS.*, vol.34, no.6, pp.503-504, March.1998.
- [2] K.Watanabe, G.C.Temes, and T.Tagami, "A New Algorithm for Cyclic and Pipeline Data Conversion", *IEEE TRANSACTION ON CIRCUITS AND SYSTEMS*, vol.37, no.2, pp.249-252, February.1990.
- [3] G.C.Temes, F.G.Wang, and K.Watanabe, "Novel Pipeline Data Converters", *proc IEEE Int. Symp. Circuits and Systems.*, Espoo, pp.1943-1946, February.1988.
- [4] R.Hirano, H.Matsumoto, "CMOS Digital-to-Analog Converter", *Department of Electrical and Electronic Engineering, Miyazaki University*, February.2003.