

ニューロンMOSFETを用いた多値ラッチ回路の高性能化

中山 悠¹⁾ 淡野 公一²⁾ 石塚 興彦³⁾

Design of a Multiple-Valued Latch Circuit with high performance using Neuron MOSFETs

Yuu NAKAYAMA Koichi TANNO Okihiko ISHIZUKA

Abstract

A multiple-valued logic(MVL) circuit is a basic circuit which performs MVL digital processing. In this paper, a MVL latch circuit are presented, that holds a given MVL level. Originally, the MVL latch has been proposed by Mirmotahari, et. al. We improve it's characteristics with neuron MOSFETs. The noise margin is 30.0[mV] compared with 48.0[mV] in the original circuits.

Key Words : analog inverter, semi-froating gate, multiple-valued logic circuit, neuron MOSFET latch circuit

1. はじめに

多値情報処理は、現在の2値デジタルシステムに対して多値符号化を基本としたアルゴリズムにより、デジタルシステムを構築していく方式である。多値論理に基づいて構成される多値論理回路は、1信号線あたりの情報量を増やすことができ、それによって回路全体の配線数、配線面積の減少を可能にする。

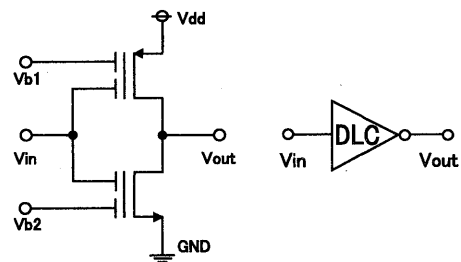
本研究室では、ニューロンMOSトランジスタを用いて多値論理回路の研究を行っている。提案回路として、ダウンリテラル回路、多値レベル生成器、そしてアナログインバータがある。本論文では、多値論理回路の高性能化を進めるため、2つの多値論理回路をとりあげる。はじめに、アナログインバータを用いてMirmotahariらによって提案されている多値ラッチ回路の特性改善を行う。

本論文は、次の章から構成されている。第1章は本章であり、研究背景と研究目的について述べている。第2章では、多値論理基本回路の構造、動作原理について述べている。さらに、SFGインバータとアナログインバータの回路構成について述べる。また、HSPICEシミュレーションを用いることによって直流解析、過渡解析を行い各々の回路の動作確認及び特性比較を行っている。第3章では、Mirmotahariらの提案したSFGインバータ多値ラッチ回路を構成し、HSPICEシミュレーションを用いて回路動作を確認した。

第4章では、アナログインバータを用いて構成した多値ラッチ回路を構成し、さらにMirmotahariらの提案した多値ラッチ回路との特性比較も行っている。第5章では、むすびとしてアナログインバータ多値ラッチ回路の総合的評価を行っている。さらに今後の課題を挙げている。

2. 多値論理基本回路

2.1 ダウンリテラル回路



(a) ダウンリテラル回路 (b) ダウンリテラル回路のブロック図

図1 ダウンリテラル回路とそのブロック図

図1に、ダウンリテラル回路の回路図とブロック図をそれぞれDLC、DLC blockとして示す[1]。多値論理信号処理において、各論理レベルの識別を行うためには、複数のしきい値が必須となる。可変しきい値特性により、これらのしきい値の実現が可能な回路がダ

1) 電気電子工学専攻大学院生

2) 電気電子工学科助教授

3) 電気電子工学科教授

ウンリテラル回路である。

ダウンリテラル回路は任意のダウンリテラル関数を実現する回路であり、2値のCMOSインバータにおいてn-MOSとp-MOSをそれぞれn- ν MOS, p- ν MOSに置き換えた構成をしている。出力波形はCMOSインバータと同様で、式1で表される。2つのバイアス端子、(V_{b1} , V_{b2})に電圧を印加することにより、しきい値を制御できるという特性を持っている。

$$V_{out} = \begin{cases} V_{dd} & \text{when } V_{in} < V_{TH} \\ 0 & \text{when } V_{in} > V_{TH} \end{cases} \quad (1)$$

各パラメータの適切な設定により、以下のような出力を得る。

$$V_{TH} = V_{dd} - \frac{V_{b1} + V_{b2}}{2} \quad (2)$$

図2にダウンリテラル回路のシミュレーション結果を示す。シミュレーションはローム社の0.6CMOSプロセスデバイスパラメータを用いて行った。シミュレーション結果から、バイアス電圧 V_{b1} , V_{b2} により任意のしきい値電圧を得られることが確認できた。また、CMOSインバータと比較し、急峻な遷移特性を持ち低消費電力な可変しきい値特性を有する回路であることが確認できた。

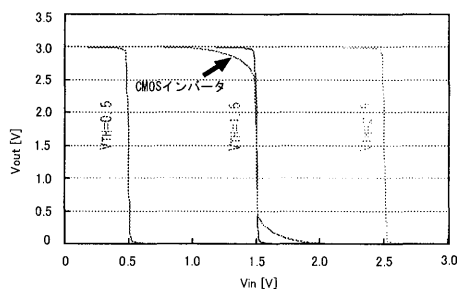


図2 ダウンリテラル回路のシミュレーション結果

2.2 多値レベル生成器

図3に多値レベル生成器の回路図を示す。回路構成はダウンリテラル回路と同じである。しかし、動作領域は異なっている。ダウンリテラル回路が、急峻な遷移特性を得るために各 ν MOSが線形領域にとどまらないように設定しているのに対して多値レベル生成器では、線形領域を利用している。

多値レベル生成器は入力端子 V_{c1} , V_{c2} , V_{c3} に印加

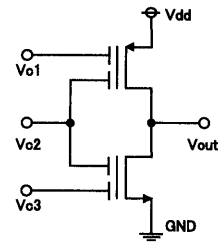


図3 多値レベル生成器の回路図

する電圧により各 ν MOSを遮断領域、線形領域、飽和領域の3つの領域の組み合わせにより制御する。その結果、論理レベル $3(V_{dd})$ と $0(\text{GND})$ だけでなく電源電圧 V_{dd} を分圧することで論理レベル1および2に対応した電圧を得ることができる。多値レベル生成器の出力電圧 V_{out} は、

$$V_{out} = \begin{cases} V_{dd} \\ (2/3)V_{dd} \\ (1/3)V_{dd} \\ 0 \end{cases} \quad (3)$$

と表せる。図4に $V_{c1} = V_{c2} = 0$ を印加し、 V_{c3} を0から V_{dd} まで変化させた時、 $V_{c1} = 0$, $V_{c3} = V_{dd}$ とし、 V_{c2} を0から V_{dd} まで変化させた時、 $V_{c2} = V_{c3} = V_{dd}$ とし、 V_{c1} を0から V_{dd} まで変化させた時のシミュレーション結果を示す。シミュレーションはローム社の0.6CMOSプロセスデバイスパラメータを用いて行った。シミュレーション結果より $3(V_{dd})$ と $0(\text{GND})$ だけでなく論理レベル1, 2に対応した電圧を得られることが確認できた。

2.3 アナログインバータ

多値レベル生成器の出力を入力へ負帰還させることで図5に示すアナログインバータを構成できる[2]。アナログインバータはp- ν MOSとn- ν MOSがそれぞれ独立したフローティングゲートを有している。そして、さらにその出力をゲート・フローティングゲート間の容量重みを介することによって、入力に負帰還した回路構成となっている。この負帰還により、2つの ν MOSは常に飽和領域で動作するようになっている。ここで、式4のような条件式を与えると、出力電圧は式5のように置き換えることができる。

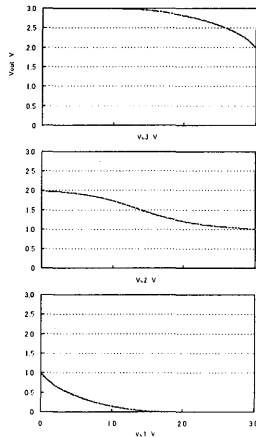


図4 多値レベル生成器のシミュレーション結果

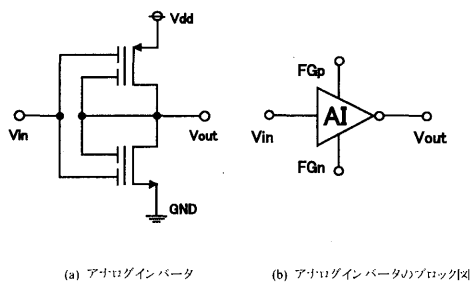


図5 アナログインバータとそのブロック図

$$\begin{cases} \omega_{n1} = \omega_{n2} = \omega_n \\ \omega_{p1} = \omega_{p2} = \omega_p \\ \frac{\omega_n}{\omega_p} = \frac{V_{in}}{-V_{tp}} = \sqrt{\frac{\beta_p}{\beta_n}} \end{cases} \quad (4)$$

$$V_{out} = V_{dd} - V_{in} \quad (5)$$

式5は、アナログインバータの出力電圧 V_{out} が電源電圧 V_{dd} から入力 V_{in} を減算した値を得ていることを示している。また、アナログインバータは、p-MOS、n-MOSの入力ゲートの容量重みの容量比を適切な値に設定することによって、入力信号レベルの反転増幅、反転減衰などによるレンジの設定や、オフセットの変更が容易に実現できる回路であることがいえる。さらに、アナログインバータはGNDから電源電圧 V_{dd} までのほぼ全信号範囲にわたり動作可能であり、非常に高い線形性の入出力特性を持っている。また、その消費電力は通常のCMOSインバータの数%という低消費電力を長所とした回路となっている。

2.4 レベル成形器

前述のダウンリテラル回路と多値レベル生成器を用いてレベル成形器の構成を行う。図6にレベル成形器の回路図を示す。レベル成形器は、ダウンリテラル回路3個、多値レベル生成器1個で構成される。各ダウンリテラル回路のしきい値電圧は、それぞれ0.4[V]、0.7[V]、0.9[V]に設定されている。多値レベル生成器の遷移領域は、各ダウンリテラル回路のしきい値電圧により制御されている。シミュレーション結果を図7に示している。

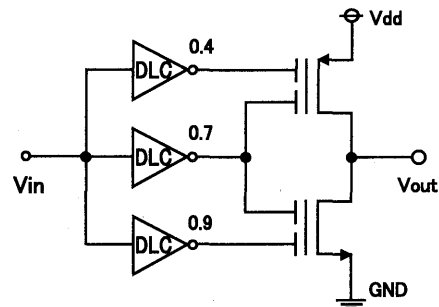


図6 レベル成形器の回路図

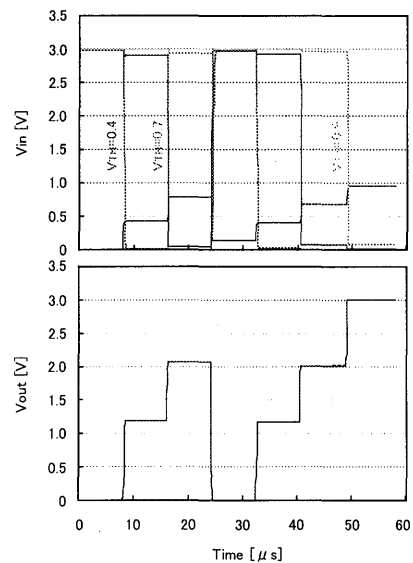


図7 レベル成形器のシミュレーション結果

3. SFG インバータ多値ラッチ回路

3.1 SFG インバータ多値ラッチ回路の構成

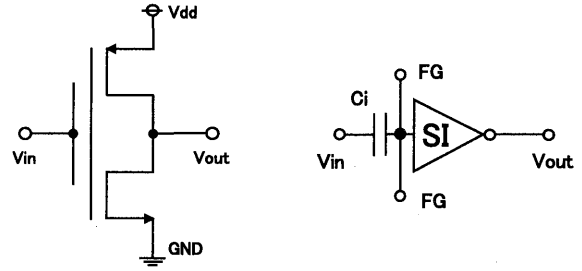
多値論理で信号処理を行うための多値論理回路のひとつとして、Mirmotahariらによって提案された多値ラッチ回路について述べていく [3]. ν MOS を用いれば、標準の CMOS プロセスにおいて容易に多値論理回路を構成することができる. しかし, ν MOS の有するフローティングゲートの初期電荷は我々が初期設定を与えるまでは、不明確な値を持っており、この初期電荷の不明確さにより、後の初期設定を行う際に影響を受ける. このように、フローティングゲートを有する回路は、一度、もしくは数回の初期設定を必要とする. そこで、この多値ラッチ回路では、フローティングゲートをスイッチ動作により、出力部分と接続し、初期電荷のリセットを行っている. この方法によって、不安定な値を持っていたフローティングゲートに安定した値を供給している.

図 8 に SFG インバータの回路図とそのブロック図、図 9 に n パスゲートと p パスゲートの回路図、そして、図 10 にブロック図を示す. また、図 11 に定義したブロック図を用い、SFG インバータを用いて構成した多値ラッチ回路 (以下、SI ラッチ回路) のブロック図を示す. SI ラッチ回路の出力は、SFG インバータがアナログインバータと違いフローティングゲートを共有しているため、アナログインバータの出力に新たに式 6 の条件が加わる.

$$\begin{cases} \omega_{n1} = \omega_{p1} = \omega_i \\ \omega_{n2} = \omega_{p2} = \omega_f \end{cases} \quad (6)$$

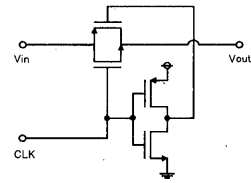
ここで、出力が式 7 の条件を満たすとき、つまり、 $C_i = C_f$ のとき、フローティングゲート・出力端子間に接続されているキャパシタンス C_f を介して出力をフローティングゲートにフィードバックさせることで、利得が -1 となり、多値信号に対して回路動作が安定化するような構造となっている.

$$\begin{cases} \omega_i = \omega_f = \omega \\ \omega = \frac{V_{tn}}{-V_{tp}} = \sqrt{\frac{\beta_p}{\beta_n}} \end{cases} \quad (7)$$

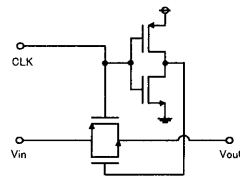


(a) SFGインバータ (b) SFGインバータのブロック図

図 8 SFG インバータとそのブロック図

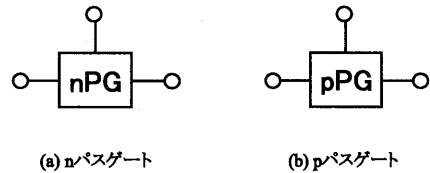


(a) nパスゲート



(b) pパスゲート

図 9 n パスゲートと p パスゲートの回路図



(a) nパスゲート

(b) pパスゲート

図 10 n パスゲートと p パスゲートのブロック図

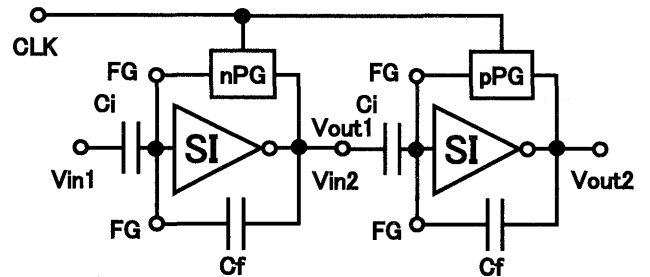


図 11 SI ラッチ回路

3.2 SFG インバータ多値ラッチ回路の動作原理

図 11 において電源電圧は 2.0[V] であり、クロック信号 ϕ は 0[V] と 2.0[V] が周期的に与えられている。このクロック信号によって、n パスゲート、p パスゲートの“ON”，“OFF” を行いラッチングを行っている。クロック信号が 2.0[V] で“High” の時、1 段目に接続されている n パスゲートは“ON” 状態となり、2 段目に接続されている p パスゲートは“OFF” 状態となる。この期間をリチャージング (Recharging) と呼び、1 段目の入力端子 V_{in1} には、常に $V_{dd}/2$ つまり、1.0[V] が印加されている。そして、1 段目のフローティングゲートと出力端子を短絡し、この時の V_{out1} は 1.0[V] となる。次に、クロック信号が 0V で“Low” の時、1 段目の n パスゲートが“OFF”，2 段目の p パスゲートが“ON” となる。この期間をエヴァリュエーティング (Evaluating) と呼び、1 段目の入力端子には、 $V_{dd}/2$ 以外の入力信号が与えられる。このように、クロック信号が“High” の時、出力信号を $V_{dd}/2$ に引き戻し、“Low” の時、 $V_{dd}/2$ を中心として振った信号を 1 段目の入力端子に与えることにより、多値ラッチ回路が動作している。

図 12 に例として 1 段目の入力端子にリチャージング時に $V_{dd}/2$ である 1V を、エヴァリュエーティング時に電源電圧である 2.0[V] を与えたときのラッチングの動作を示す。1 段目のフローティングゲートの電位は、式 8 で表される。

$$V_{fg1} = \frac{V_{dd}}{2}(1 + \omega_i) \quad (8)$$

ただし、 $\omega_i = C_i / (C_0 + C_T)$ である。ここで、 C_T は、全てのフローティングゲートの容量の和である。

この多値ラッチ回路は、フローティングゲートの電圧変化により動作しており、その変化は、式 9 で表せる。

$$\Delta V_{sfg} = \sum_{i=1}^m (V_i - \frac{V_{dd}}{2}) \omega_i \quad (9)$$

エヴァリュエーティング時は、SFG インバータを通して、式 5 と同様の出力を得る。

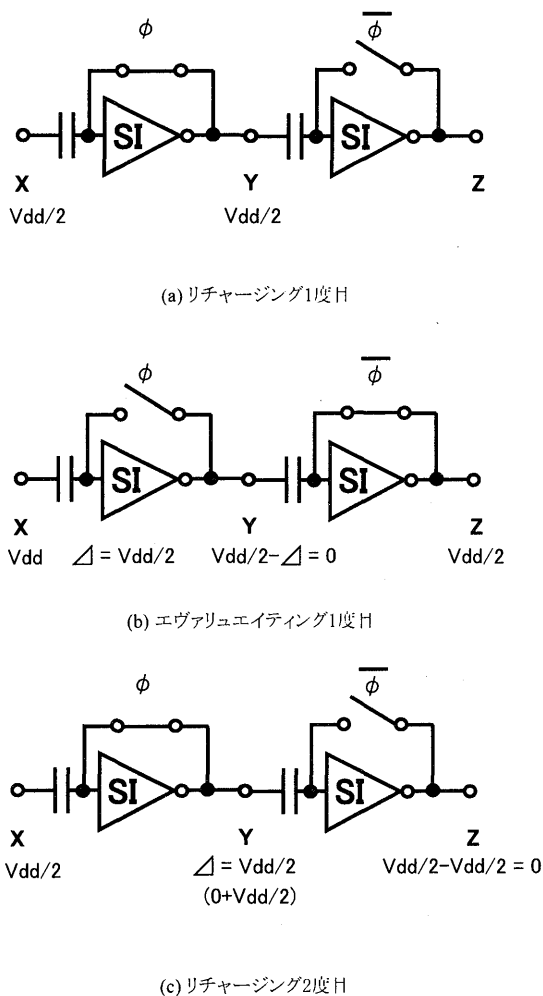


図 12 SI ラッチ回路の回路動作

4. アナログインバータを用いた多値ラッチ回路の特性改善について

4.1 アナログインバータを用いた多値ラッチ回路の構成

前節で述べた Mirmotahari らによって提案された SI ラッチ回路に、本研究室で提案されたアナログインバータを用いることで、特性改善を行う。まず、フローティングゲートを共有して構成されている SFG インバータとフローティングゲートを分離して構成されているアナログインバータの特性比較をシミュレーションを用いて行っている。ここでは、Mirmotahari らの回路構成に習い、SFG インバータの回路構成において出力信号をフローティングゲートへ負帰還させている。シミュレーションはローム社の 0.35CMOS プロセスデバイスパラメータを用いて検証した。図 13 に SFG インバータとアナログインバータの直流特性を示す。このシミュレーション結果から明らかなように、SFG イン

バータと比較し、アナログインバータの方が広範囲にわたり、非常に高い線形性を有していることが見て取れる。

Mirmotahari らの提案した SI ラッチ回路の SFG インバータの代わりにアナログインバータを用いて多値ラッチ回路を構成した。図 14 に、アナログインバータを用いて構成した多値ラッチ回路 (以下、AI ラッチ回路) の回路図を示した。回路動作は SI ラッチ回路と同様である。

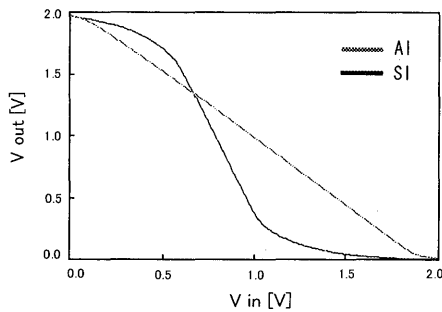


図 13 SFG インバータとアナログインバータの直流特性

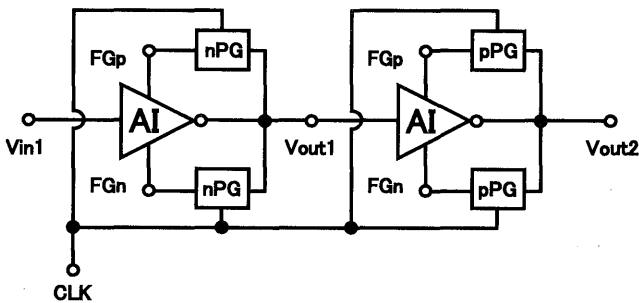


図 14 AI ラッチ回路

4.2 HSPICE を用いたシミュレーションによる多値ラッチ回路の特性比較

SI ラッチ回路と AI ラッチ回路のシミュレーション結果を図 15 に示す。シミュレーション結果から AI ラッチ回路の方が、ノイズマージンの獲得にすぐれていることがわかる。しかし、遅延時間では SI ラッチ回路の方が、小さな値に抑えられてた。この値に関しては、アナログインバータの容量重みのさらなる合わせ込みによって、改善できるものと考えている。

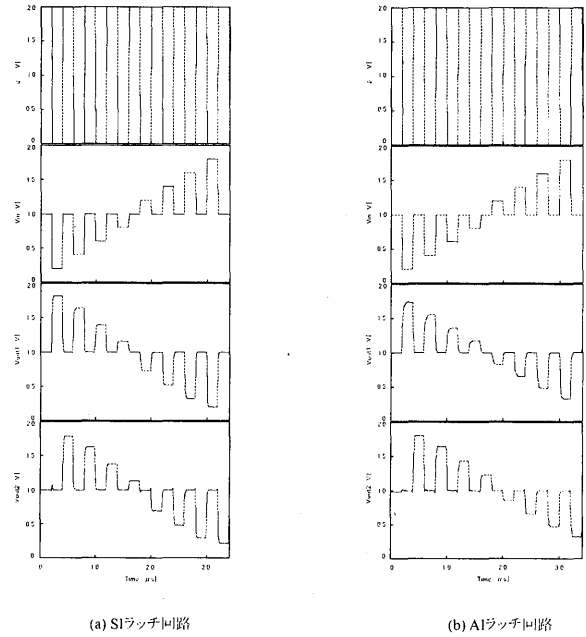


図 14 各多値ラッチ回路のシミュレーション結果

5. むすび

本論文では、多値論理回路の高性能化をテーマとして、多値ラッチ回路のノイズマージンの改善を行い、従来の回路より大きなノイズマージンを得ることができた。今後の課題として、アナログインバータの容量重みの合わせ込みやによる回路のスピードアップや、LSI のレイアウト設計を行って行きたいと考えている。

6. 謝辞

本研究を行うにあたって、連日御多忙なところ多大な御指導、御鞭撻を頂いた本学電気電子工学科石塚興彦教授、淡野公一助教授に厚く御礼申し上げます。資料の整理等を手伝って下さった馬 云明さん、三浦 安奈さんをはじめ本研究室の学生の皆様にもお世話になりました。

参考文献

- [1] 堤 貴彦, “ニューロン MOS を用いたダウンリテラル回路の LSI 化とその特性解析”, 宮崎大学大学院工学研究科修士論文, (2001 年 2 月).
- [2] 田中 寿, “ニューロン MOS を用いた電圧モードアナログ基本回路とその応用”, 宮崎大学大学院工学研究科修士論文, (2002 年 2 月).
- [3] Omid Mirmotahari, et. al. “A NOVEL MULTIPLE-INPUT MULTIPLE-VALUED SEMI-FLOATING-GATE LATCH”, *Proc. ISMVL 2003*.