

高精度バイアス回路によるパワー-MOSFETのON抵抗安定化に関する研究

生島 幸博¹⁾ 石川 昭一郎²⁾ 淡野 公一³⁾ 石塚 興彦⁴⁾

Stabilization for the ON-Resistance of a Power MOS FET using bias circuits with high accuracy

Yukihiro Ikushima, Syouchirou Ishikawa, Koichi Tanno and Okihiko Ishizuka

Abstract

Power electronic devices are widely used in industries and commercial fields. Recently high-speed MOS devices have been exchanged instead of SCR. In this paper, we design a bias circuit of a MOS switch with high accuracy. The circuit for stabilizing on-resistance of the MOS FET at input voltage 3 to 5 [V] and temperature -50 to 85 [$^{\circ}\text{C}$] is designed. The bias circuit consists of a CR oscillator, a charge pump circuit with the 4-time voltage and a constant voltage circuit. A CR oscillator contains resistors, capacitors and a CMOS inverter. The oscillation frequency is determined by the values of C and R. By using the oscillation frequency as a control clock, a charge pump circuit with the 4-time voltage is operated as expected. Using the 4-time voltage of the charge pump circuit, the constant voltage circuit holds the output voltage of 9.9 [V] without influence of the input voltage and a room temperature. Finally, the designed MOS switch has a low and accurate on-resistance. Their performances are verified using the HSPICE simulator with $0.5\mu\text{m}$ CMOS process device parameters.

1. 序論

パワーデバイスとは、電力の変換や制御をおこなう半導体素子のことである。サイリスタ（制御付きの整流機能をもつ半導体の総称で、通常はSCRをいう場合が多い）などが一般によく知られている。近年パワーデバイスは目覚ましい進歩を遂げ、高耐圧化、大電流化、高速・高周波化、高機能化が著しく進み、GTO（Gate Turn Off Thyristor）、パワー-MOSFET、IGBT（Insulated Gate Bipolar Transistor；絶縁ゲート・バイポーラ・トランジスタ）、IPM（Intelligent Power Module；インテリジェント・パワー・モジュール、メーカーにより呼び方が異なる）など高速のMOSFETを用いたパワー・デバイスの出現によって、その応用分野も格段に広がっている。[1][2]

パワー-MOSFETは、原理的に多数キャリアのみで動作するため、バイポーラトランジスタのような少数キャリアの影響がなく、入力インピーダンスが極めて高いといった特徴を持つ。パワー-MOSFETは高速性には優れているものの、当初は低オン抵抗、高耐圧化、大電力化が難しいと考えられていた。

しかし最近では、技術開発が進み、スイッチング素子として広く応用されるようになってきている。

ここで、理想的なスイッチとは、

- 1. OFF時の漏れ電流がゼロ
- 2. ON時のインピーダンスがゼロ
- 3. スwitchング時間がゼロ

という条件を満たすことである。パワー・エレクトロニクスで実際に使われるスイッチには、この3条件に加えてさらに次のような条件も要求される。

- 4. 取り扱える電圧、電流の範囲が広い
- 5. 制御信号に対する動作の遅れがない
- 6. 動作に必要な制御入力小さい
- 7. 動作の信頼性が高く、誤動作がない
- 8. 消耗や疲労がなく、寿命が半永久的である。
- 9. 小型、軽量、しかも安価である。

本論文では、理想的なMOSスイッチを実現するため、スイッチ素子の性能・特性を決定するもっとも重要なパラメータであるオン抵抗を、入力電圧3~5[V]、動作温度 $-50 \sim +85$ [$^{\circ}\text{C}$]の環境で安定化するための高精度なバイアス回路の設計をおこなう。従来のパワー-MOSスイッチは通常、入力電圧の変化に対してオン抵抗が数倍変わっているが、今回の提案回路は温度変化に対しても良好なオン抵抗特性を得ている。また、バイアス回路の設計に際して、製造コストの低減また実装の汎用性を実現するため1チップ化することを念頭

1) 電気電子工学専攻大学院生

2)(合) 川崎電機-LSI 開発センター研究員

3) 電気電子工学科助教授

4) 電気電子工学科教授

においている。バイアス回路及び、パワー MOS FET スイッチは本研究室で昨年度採用された $0.5[\mu\text{m}]20[\text{V}]$ 耐圧プロセスを用いて構成し、その特性を HSPICE によりシミュレートしその評価を行う。

本論文で設計したバイアス回路は、制御クロックとして用いる CR 発振回路、入力電圧を昇圧するチャージポンプ型昇圧回路、そして変動する入力電圧および温度環境によらず常に $9.9[\text{V}]$ の一定バイアスを発生させる定電圧回路の構成ブロックに大別できる。またこれらバイアス回路全体を 1 チップ化することを目的としている。

今回の発振回路は外付け部品がなくてもパルスクロックを発生する。回路構成はキャパシタと抵抗、CMOS インバータにより構成され、C と R の大きさによって発振周波数を決定できる。この回路では外付け部品無しの 1 チップ化を前提にしているため、キャパシタの容量はチップに内蔵できて面積をあまり取り過ぎない pF オーダーとしている。また、回路の温度や入力電圧に対して発振周波数がばらついてもバイアスの特性に影響を及ぼさない仕様になっている。

昇圧回路は発振回路で生成したデューティサイクル 50% のクロックを用いて、入力電圧を昇圧する。本論文では CMOS 集積回路に適し、尚且つ外付け部品を必要としない内臓型のチャージポンプ型昇圧回路を採用した。一般に LSI 設計において多種類の電源を独立に用意することはシステムとして不都合であり、単一電源化が望まれている。この問題を解決する手段として、デバイスの低電圧化を図る方法、または昇圧回路を内蔵する方法などが考えられるので後者を今回は採用した。提案回路のスイッチング用入力電圧は $3\sim 5[\text{V}]$ とし、この電圧を利用し、昇圧回路で 4 倍出力電圧 $12\sim 20[\text{V}]$ を実現する。

本論文での定電圧回路は昇圧回路の出力電圧をうけて、一定電圧 $9.9[\text{V}]$ を出力する回路である。定電圧回路の目的は、入力電圧、負荷電流、温度などの変動に対して安定な直流出力電圧（電流）を MOS スイッチに供給することである。定電圧回路の構成要素としては、基準電圧 (9.9V) を設定する定電流ライン部および出力負荷への電流ドライブ能力を向上させる電流増幅段となる。

提案するバイアス回路を設計するにあたっての設計指標は汎用性を持たせるため表 1 のように定めた。

表 1 バイアス回路を設計するにあたっての設計指標

入力インターフェース電圧 V_{in}	$3\sim 5$ [V]
最大入力電流 I_{in}	10 mA 以下
回路動作保証温度	$-50\sim +85$ [$^{\circ}\text{C}$]

本論文は、次の章から成り立っている。第 2 章では、CR 発振回路について、第 3 章では、チャージポンプ型昇圧回路について、第 4 章では定電圧回路について、第 5 章ではパワー MOS FET のオン抵抗特性の安定化について、それぞれの章において、各回路の構成、回路動作、理論解析、HSPICE をもちいたシミュレーション結果、シミュレーションについての考察などをおこなう。最後に、むすびとして本論文の総括をおこなうとともに、今後の展望について述べる。

2. CR 発振回路

本章では、CMOS プロセスで実現可能な方形波を発生する CR 発振回路について、動作解析と設計法を述べる。さらに HSPICE をもちいた特性シミュレーションをおこなう。

2.1 回路構成

CR 発振回路の構成は図 1(a) のようになっている。図より、発振回路は発振周波数を決定する抵抗 R、キャパシタ C、発振特性を安定させる調整抵抗 R_s 、さらに、CMOS FET で構成しているインバータにより実現でき、発振周波数 f は次式で表される。

$$f = \frac{1}{2.2 RC} \quad (1)$$

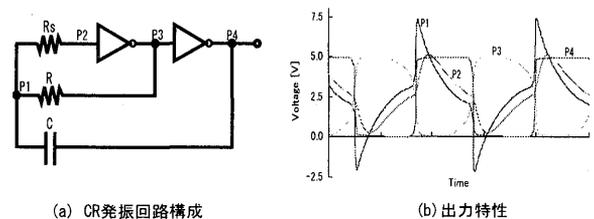


図 1 CR 発振回路

P3 及び P4 の電圧は立ち上がり、立ち下がり特性がよくない状態で、次章の昇圧回路の（デューティサイクル 50%）制御クロックとして用いると、出力電圧の昇圧率の低下、出力リップルの増大につながる。そこで本論文では図 2(c) に示すように、インバータを付加することにより、立ち上がり、立ち下がり特性の急峻なクロックを生成し、昇圧回路の制御クロックとした。

CR 発振回路で生成されたパルスクロックは次章の昇圧回路の制御クロックとして用いる。本論文のバイ

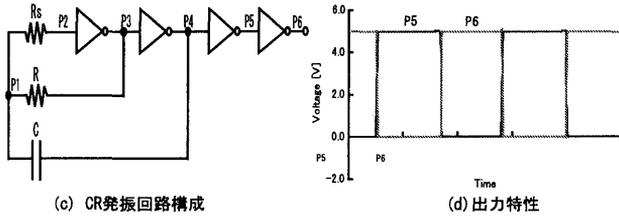


図 2 急峻なクロックを実現するための CR 発振回路

アス設計は発振回路および、昇圧回路、定電圧回路の容量を外付けのコンデンサを用いずに 1 チップ上に実現する。そのため、回路中で設計できる容量値は最大でも数十 pF オーダーに抑える必要がある。なぜなら集積回路上で大きな容量を実現するとチップ面積の増大につながり、しいてはチップのコストアップと歩留まりの悪化につながるからである。

ここで、次章で述べる昇圧回路の効率的な電圧昇圧を実現するため、消費電流および昇圧率を考慮し、発振クロックを 4.2 [MHz] とした。発振回路の C の容量を 8 [pF] とした場合、式 1 より $R=13.5$ [kΩ] となる。しかし回路シミュレーションにおいて、発振周波数 $f=4.2$ [MHz] を得るには $R=8$ [kΩ] で実現できる。

理論上の抵抗値と実際のシミュレーションでの抵抗値との差はインバータを構成している CMOS のオン抵抗が図 2 の R と直列接続となっているのと、インバータを構成する MOS のゲート入力容量の影響が出ている。理論式には MOS の容量値が含まれていない為に設定周波数のずれが生じていると考えられる。

クロック振幅電圧の 90% までかかる時間を立ち上がり遅れ時間、立ち下がり遅れ時間とすると、無負荷時ではそれぞれ最大で 2.5[ns] であった。さらに昇圧回路の入力ゲート容量を考慮して容量負荷 100[pF] を接続した場合の立ち上がり、立ち下がり時間はそれぞれ最大で 12[ns], 17[ns] となった。また、消費電流は電源電圧 V_{dd} が 5V のとき 1.97[mA] であった。

3. 昇圧回路 (チャージ・ポンプ DC-DC コンバータ)

本論文ではスイッチトキャパシタを用いたチャージ・ポンプ型の昇圧電源回路を採用している。本回路はキャパシタとパワー MOSFET スイッチを主体に構成している。したがって、小形化、集積化が容易であり、今回の設計では 1 チップ化を目的としているため、外付けのコンデンサを用いずに、回路中の容量およびスイッチの構成にも留意して設計を行っている。

本章では、チャージポンプ型昇圧回路について、回

路構成、回路動作、HSPICE を用いたシミュレーションによる特性評価について述べる。

3.1 n 倍出力昇圧回路構成

図 3(a) に 2 倍出力昇圧回路の構成を示す。本回路は図よりもわかるように 2 個のキャパシタと MOSFET のスイッチにより構成している。C1 は電荷チャージ容量、Cx1 は出力容量となっている。昇圧回路においてスイッチング MOS は低いオン抵抗とスイッチング時のスキュー、さらにオフ時のリーク電流を抑える必要がある。ここで、オン抵抗を低くする事はオン抵抗分の電圧降下を抑え、電圧のチャージアップ効率を良くする。また、リーク電流を抑える事はキャパシタにチャージした電荷を逃がさないでチャージアップされた電位を保持する効率がよくする事になる。

そこで、今回提案するスイッチング MOS 回路は、低いオン抵抗を実現するため、ディメンジョンを大きくとり、並列度を上げた。、更にオフ時のリーク電流を抑える為にバックゲートの構成も工夫をした。図 3 のようにキャパシタの接続されている端子にはスイッチ MOS のバックゲートをつなげないようにすることで、MOS のゲート・バックゲート間の電圧変動にキャパシタのチャージした電荷が影響されにくくなる。 [11]

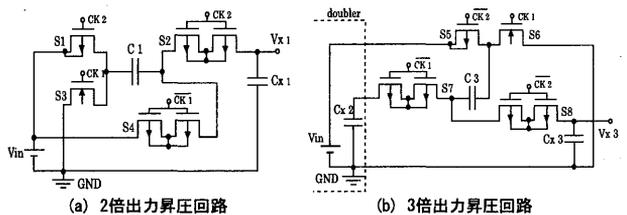


図 3 昇圧回路の構成

スイッチング MOS の制御クロックは図 2 の CR 発振回路を用いる。クロック信号の Duty は約 50% であり、そこで作られる CLK1 と CLK2 は逆相のクロックとなる。回路動作は、CLK1 が正相の時にスイッチ S3 と S4 を開き、S1 と S2 を閉じる。このときキャパシタ C1 に入力電圧 (V_{in}) までの電荷を充電する。次に CLK1 の逆相である CLK2 が正相の時にスイッチ S1 と S2 を開き、スイッチ S3 と S4 を閉じる。このときキャパシタ C1 は V_{in} の電位分だけ上にレベルシフトする。回路動作でスイッチが理想的に動作し、Cx1 に負荷がかからないと仮定すると、C1 から Cx1 に電荷が移動し、Cx1 の電圧が $V_{in} \times 2$ 倍に昇圧される。

図 3(b) に 3 倍出力昇圧回路の構成を示す。3 倍出力昇圧回路は 2 倍出力昇圧回路を基本ブロックとし、回路ブロックを 2 段重ねることにより、3 倍の昇圧電圧を実現する回路である。今回の設計では、入力を 3~

5Vとし、昇圧回路の最終段出力電圧として常に10V以上を実現するため、3段接続により4倍出力昇圧回路を構成することとなる。2段目および3段目の構成も1段目と同様にチャージキャパシタ C_n と出力キャパシタ C_{xn} 及びCR発信回路のクロックを制御クロックとしたパワーMOSスイッチにより構成できる。

3.2 回路特性

・出力電圧 V_{xn} ・出力電流 I_{out} 特性

利用可能な最大出力電流および電圧は出力インピーダンス R_{oln} および無負荷時出力電圧 V_{hzn} から導くことができる。ここで n は回路の段数を表している。

$$V_{xn} = \frac{R_{out}}{R_{out} + R_{oln}} V_{hzn} \tag{2}$$

よって、利用可能な電流は式3で与えられる。

$$I_{out} = \frac{V_{hzn}}{R_{out} + R_{oln}} \tag{3}$$

・ C_n , C_{xn} キャパシタの設定

与えられた負荷に対する出力リップルの大きさは、主に最終段の出力キャパシタ C_{xn} の容量値によって決定される。

$$V_{RIPPLEp-p} = \frac{I_{out}}{2fC_{Xn}} \tag{4}$$

n 段接続時のチャージポンプの強度は C_n と前段のまでのチャージキャパシタおよび出力キャパシタとの直列合成容量 Ca_n で決まる。よって3段接続時の最小出力インピーダンス R_{ol3min} は Ca_3 を用いて、

$$R_{ol3min} = \frac{1}{fCa_3} \tag{5}$$

となる。ここで、 f は昇圧回路の制御クロック周波数となっている。

さらに、最終段出力インピーダンス R_{oln} を用いて出力電圧 V_{xn} , 出力電流 I_{out} および、負荷接続による出力電圧降下 V_{drop} は以下の式で表すことができる。

$$V_{xn} = I_{out}R_{out} \tag{6}$$

$$V_{drop} = V_{hzn} - I_{out}R_{out} \tag{7}$$

ここで、昇圧回路の段数を上げると、電圧のレベルは昇圧されるが、チャージポンプの強度を決定する Ca_n は相対的に小さくなってしまふことがわかる。したがって、昇圧回路の最終段出力インピーダンス R_{oln} が大き

くなり、重い負荷を接続したときの出力電圧降下 V_{drop} は大きくなってしまふ。つまり、負荷をドライブする能力が低下してしまふ。これを改善するには、式5よりも制御クロックをあげてやるか、直列合成容量 Ca_3 を大きくしなければならないが、制御クロックの上昇は消費電力の増大に直結し、 Ca_3 を大きくすればそれにともないチップ面積が大きくなってしまふ。よって昇圧回路を設計するにあたっては、ドライブする負荷に最適な回路パラメータの設定が重要となってくるのがわかる。

3.3 シミュレーション特性

表2 4倍出力昇圧回路容量構成

C1	10 [pF]	C2	20 [pF]	C3	40 [pF]
Cx1	10 [pF]	Cx2	20 [pF]	Cx3	40 [pF]

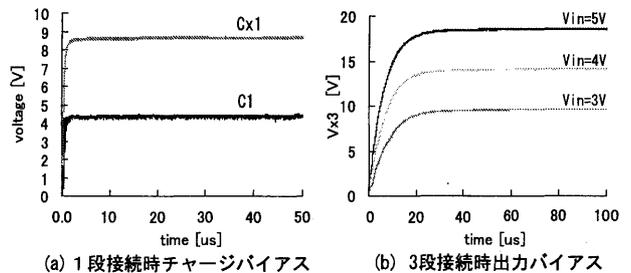


図4 出力特性

3段昇圧回路の出力電圧 V_{x3} の特性は図4(b)のようになる。昇圧される出力の電圧値は入力 V_{in} を5, 4, 3, [V]としたとき19.2, 14.7, 10.3[V]となった。回路の段数を重ねると出力電圧の立ち上がり時間は大きくなる。昇圧しきった電圧の90%までにかかる時間を立ち上がり時間とすると11.9[μs]となった。また昇圧回路ブロックへの入力電流は308[μA], CR発振回路-昇圧回路システム全体での入力電流は $V_{in}=5[V]$ としたとき、3.56[mA]となった。

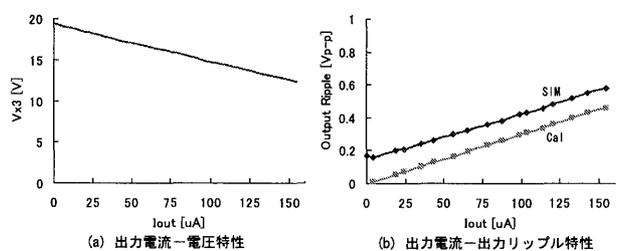


図5 4倍出力昇圧回路・出力特性

出力電流 I_{out} に対する昇圧電圧 V_{out} および出力電圧リップル V_{p-p} の特性を負荷抵抗を80k~5M[Hz]でシミュレーションした。

3段昇圧回路の合成直列容量 Ca は5.0[pF]となる。

よって最小出力インピーダンス R_{ol3min} は約 $47.6[k\Omega]$ となった。まず、今回の負荷抵抗の場合において、最大出力電流 I_{out} は負荷 $80[k\Omega]$ 時で約 $155[\mu A]$ となっている。3段昇圧回路の最小出力インピーダンスは $47.6[k\Omega]$ と1段接続時の $6[k\Omega]$ と比べ大きくなっている。そのため、出力電流 I_{out} に対する出力電圧 V_{x3} の電圧降下 V_{drop} は大きくなる。

次に、出力電圧リップルについては、式4より出力キャパシタ $Cx3$ と制御クロック周波数と出力電流より求まる。理論値とシミュレーション結果をくらべると、平均で $0.12[V]$ ほどシミュレーション結果のほうがリップルがおおきい。しかし、シミュレーション結果の変化の割合は式4にそっている。理論よりもシミュレート結果の方がリップルが大きくなるのは、 $Cx3$ と合成直列容量 $Ca3$ との電荷受け渡しのためであると考えられる。1段時の $C1=40[pF]$ にくらべ3段時 $Ca3=5.0[pF]$ とチャージポンプの強度が弱いため、出力リップルも大きくなる。このことよりも、昇圧回路の設計は立ち上がり時間、出力リップルおよび V_{drop} を考慮すると、少ない段数で高い昇圧率を実現することが望ましいことがわかる。

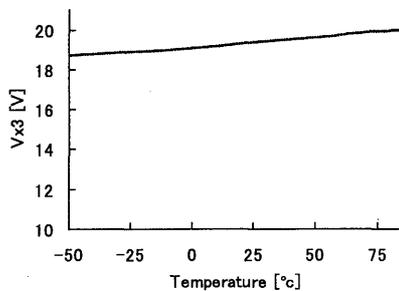


図6 4倍昇圧回路・温度特性

3段接続時の温度特性は図6のようになる。1段時と同様、MOSのしきい値の温度特性のため温度が上昇するにつれ、出力電圧 V_{x3} は大きくなる。注意すべき点としては、本論文で採用しているデバイスパラメータは耐圧 $20[V]$ であるので、温度上昇にともなう電圧上昇で耐圧をこえない設計をする必要がある。

4. 定電圧回路

基準電圧や基準電流(レファレンス)は種々のアナログ回路に広く用いられている。これらのレファレンスは、電源電圧やプロセスパラメータにほとんど依存しない一定値であり、決まった温度依存性を有している。例えば、差動対のバイアス電流は、回路の電圧利得や雑音に影響を及ぼすので、レファレンスから生成

されなければならない。また、A/DコンバータやD/Aコンバータでは、レファレンスは、入力電圧範囲や出力電圧範囲を決定する。[5]

本章では、CMOSレファレンス生成回路の設計について述べる。まず、理論解析として、電源電圧に依存しないバイアス手法とスタートアップの問題について検討し、次に、温度に依存しないレファレンス生成回路について述べる。またそれぞれの回路についてシミュレーションをおこない特性について理論との比較検討および考察をおこなう。

4.1 回路構成

本論文で提案する定電圧回路は図7である。この定電圧回路はおもに基準電圧 $V_{ref}=9.9[V]$ を実現する定電流ライン a~e と、その基準電圧 V_{ref} をもとに、出力負荷への電流ドライブ能力向上を目的とし、差動構成を用いた電流増幅段によって構成される。

ここで、 V_{x3} は前章の4倍出力昇圧回路の出力電圧、 V_{ref} は基準電圧で設計上の設定値は $9.9[V]$ とした。 V_{gf} は定電圧回路の出力で次章でのMOSスイッチのゲート入力として用いることとなる。また、resetは入力 V_{in} が入力されたと同時に入力される単発の数百nsオーダーのクロックパルスとなる。resetクロックによりスタートアップ問題を改善できる。

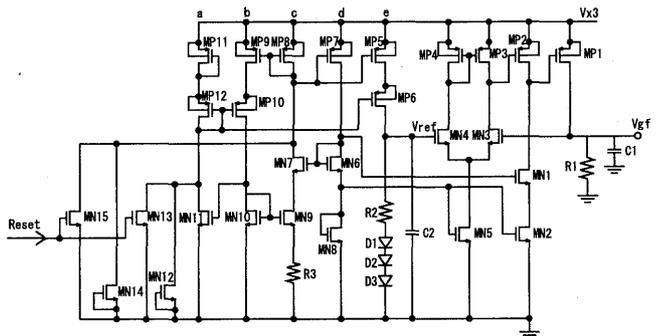


図7 定電圧回路

4.2 回路理論

・電源電圧に依存しない一定電流を実現するバイアス回路

定電圧回路において、理想的な基準電流が利用可能であることが前提となっている。ここでの理想的な基準電流とは、電源電圧が変化しても、参照電流 I_{ref} が変わらないことを意味する。今回、定電圧回路の入力電圧として、昇圧回路で昇圧された約 $10\sim 20[V]$ の電圧が考えられるので回路図7のa,b,c,d,eの定電流ラインを構成するうえでは、この電源電圧に依存しないバイアス回路の実現が必要となってくる。

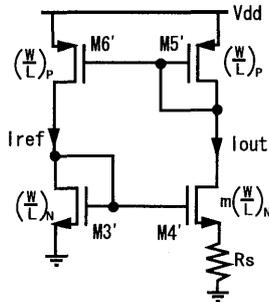


図8 電源電圧に依存しない定電流回路

図8において、M3' から M6' が飽和領域で動作するとし、チャネル長変調効果が無視できるのであれば、 I_{out} と I_{ref} の関係はゲート長 (W/L) の比例定数 m を用いて

$$I_{out} = 0 \quad \text{or} \quad \frac{1}{R_S^2} \left(1 - \frac{1}{m^{\frac{1}{2}}}\right)^2 \frac{1}{K} \quad (8)$$

となる。式8より与えられる電流 I_{out} は電源電圧に依存しないことがわかる。次に I_{out} の解として、0 または、 $1/R_S^2 * (1 - 1/m^{1/2})^2 * 1/K$ の二値が導かれる意味を考えてみる。電源電圧に依存しないバイアス手法における重要な問題は、正常のバイアス点以外にも安定なバイアス点が存在すること（双安定なこと）である。例えば図8の回路において、もしも電源電圧が立ち上がったときにすべてのMOSが電流を流さなければ、トランジスタはそのままずっとオフになったままである。

図7の提案回路においては、スタートアップ問題を解決するために、Mn13とMn15のゲートに入力電圧が入ると同時にリセットパルスを入れ、定電流ラインa~eを一度グランドに落とし、そのことにより回路動作の立ち上げを実現している。[3][5]

・ダイオードによる温度補償

今回の提案回路においては、定電流のラインには定常状態において μA オーダーの電流しか流さないの、電流源として用いるMOSは正の温度係数をもっていると考えられる。また、抵抗もキャリアの移動度が温度とともに低下するため、正の温度係数を持っている。したがって、正の温度特性をもつ抵抗のみでバイアス設定をしようとする、常温では設計どおりの出力電圧 V_f を得られるが、IC周辺温度の変化や発熱にともなう温度上昇により V_f は大きくなっていく。この問題を解決するために一般的に用いられる手法として、図7の低電流ラインeのようなダイオードによる温度補償が挙げられる。[6] ダイオードは負の温度特性をもっている、抵抗との組み合わせによりフラットな温度特性をもった V_f 電圧の実現が期待できる。

ここで、抵抗のみ、抵抗およびダイオード構成によ

る、定電圧出力 V_f のバイアス設定点がどのような温度特性をもつかをシミュレートした。シミュレーション結果を図9に示す。ここで図9中の R は抵抗のみ、 $D=2,3$ は抵抗と直列に接続されるMOSダイオードの段数を表している。シミュレーションにおいて用いたMOSダイオードはディメンジョン設定によりの温度特性約 $-1mV/^\circ C$ を実現している。また、電源電圧 $V_{dd}=10[V]$ 、電流源をpMOSで構成し、定電圧バイアス点 V_f をそれぞれの構成において $25[^\circ C]$ 時に $5[V]$ として設計している。シミュレーション結果よりもダイオードの段数を重ねた回路では温度補償が実現できていることが確認できる。

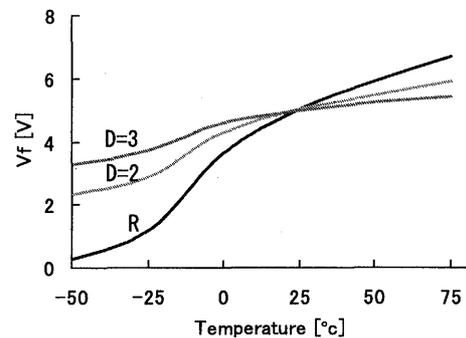


図9 ダイオードによる温度補償特性

・電流増幅段

本論文では、定電流ラインの定常状態での電流値は μA オーダー以下となっている。この状態では、出力負荷に十分な電流をドライブすることは無理である。また、このラインの定電圧端子より負荷をドライブすると出力電流の大きさに比例してバイアス点がずれてしまうことが考えられる。

よって、この問題を改善するため提案回路では、定電流ラインの定電圧 V_{ref} を基準電圧として、電流を増幅する回路を設計することとした。この事は出力負荷への電流ドライブ能力の向上を図ることとなる。[7]~[8]

電流増幅段の回路構成は図10のように差動増幅回路を用いた誤差増幅回路と電圧制御回路で構成される。誤差増幅回路は出力電圧をつねに監視し、基準電圧との差を電圧制御回路に送る。電圧制御回路は、誤差増幅回路からの信号を受けて、出力電圧を設定した電圧値に調整しようとする。

さらには出力電圧を誤差増幅回路にフィードバックすることで、 $V_{ref} = V_{gf}$ を高い精度で実現できる。[9]

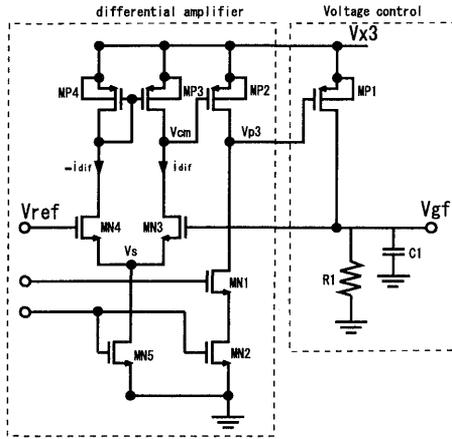


図 10 電流増幅回路の構成

4.3 特性シミュレーション

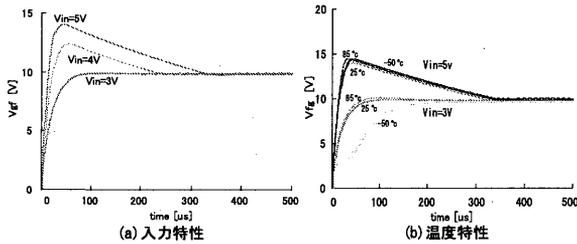


図 11 定電圧回路出力特性

定電圧回路の出力 V_{gf} の回路温度 25°C 時における過渡特性シミュレーション結果を図 11(a) に示す。入力 V_{in} に対して出力 V_{gf} は一定である。また、 V_{gf} のバイアス点を 9.9[V] に設定した場合、出力の最大リップルはピーク・ツー・ピークで 0.1[V] 以下である。さらに、入力 5[V] と 3[V] のときの収束した電圧値の開きは最大で 0.1[V] であった。このことから、可変入力 $3\sim 5\text{[V]}$ にたいして提案回路はほぼ理想的な定電圧出力を実現できている。

V_{gf} のレベルが安定する時間 (収束時間) は入力 $V_{in} = 5\text{V}$ 時に最大で約 333[us] である。さらに立ち上がり時間を設定電圧 9.9[V] の 90% とすると、 $V_{in} = 3\text{[V]}$ のとき最大で 44.6[us] であった。

また、今回設計した定電圧回路ブロックへの入力電流は $V_{in} = 5\text{V}$ 時に最大で 17.7[uA] である。さらに CR 発振回路、4 倍出力昇圧回路、定電圧回路を含めたシステム全体での入力電流は入力電圧 $V_{in} = 5\text{[V]}$ のとき 3.61[mA] となっている。

よって、当初、設計仕様として設定していた、入力電流 10[mA] 以下を満足している事が確認できた。

定電圧出力 V_{gf} の温度特性シミュレーション結果を図 11(b) に示す入力 V_{in} を 3.5[V] 温度を $-50, 25, 85^{\circ}\text{C}$] でシミュレーションを行った。図 11(b) より、入力電圧、温度によらず設定電圧 9.9[V] 近辺で収束して

いることが確認できる。 V_{gf} が設定値より最も大きくずれたのは -50°C のときで $V_{in} = 5\text{[V]}$ で $V_{gf} = 10.5$, $V_{in} = 3\text{[V]}$ で $V_{gf} = 9.7\text{[V]}$ となっているが、実際の回路が動作する温度環境を考慮すると、 25°C から 85°C においては、設定電圧 9.9[V] の $\pm 0.1\text{[V]}$ 以内で電圧収束を実現できており温度特性に関してもほぼ理想的な一定電圧を実現できている。また、収束時間も温度によらず V_{in} 対し一定で、最大で約 333[us] である。

次章で、この定電圧回路 (出力 V_{gf}) を用い MOS スイッチのオン抵抗を一定に保てることを証明する。

5. パワー MOS スイッチ-オン抵抗特性

5.1 回路構成・特性シミュレーション

パワー MOS オン抵抗測定回路を図 12(a) に示す。ここで本研究では MOS スイッチのオン抵抗を小さくするため、 V_{in} 及び V_{ds} が 10[V] のとき、オン抵抗 R_{ds} が $1\text{[}\Omega\text{]}$ となるようにパワー MOSFET を 430 個並列に接続している。 430 個並列にした理由は今回用いている Hspice 用のパラメータのディメンジョンの MAX 値を考慮したからである。

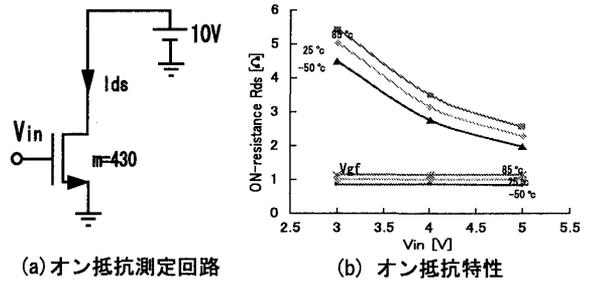


図 12 オン抵抗特性

図 12(b) はパワー MOS スイッチのゲートに可変入力 V_{in} ($3\sim 5\text{[V]}$), および前章までに設計した定電圧出力 V_{gf} を加えたときの温度 $-50\sim 85^{\circ}\text{C}$ 温度条件下におけるオン抵抗特性である。図 12(b) よりも、 25°C] の条件下では可変入力 V_{in} を MOS スイッチのゲート入力とした場合、最大でオン抵抗は 2.2 倍変わってくるのに対して高精度バイアス回路を用いた提案回路では、入力電圧 V_{in} の大きさによらず一定でかつ低いオン抵抗値を実現できていることがわかる。また設計指標として想定したチップ動作環境温度 $-50\sim 85^{\circ}\text{C}$] においても提案回路を用いたものは従来のパワー MOS スwitching に較べ良好な特性を実現できている。

パワー MOS スイッチのオン抵抗が安定するまでにかかる時間はゲート入力に用いている V_{gf} の特性に依存する。よって 25°C 時における Switching 速度は V_{gf} の設定電圧の 90% までかかった時間を立ち上がり

時間とすると、最大で $44.6[\mu\text{s}]$ 、またオン抵抗が安定するまでにかかる時間は $333[\mu\text{s}]$ となる。MOS ゲートに直接入力を加えた場合のスイッチング速度は通常 $100[\text{ns}]$ オーダーであるので、提案回路を用いたパワー MOS スイッチは入力信号に対してのスイッチング速度そのものはよくない。しかし、機械式スイッチではチャタリング防止を踏まえて、数十 msec 以上はスイッチングの時間に余裕を取る。さらには実際の電源で nsec オーダーでの ON/OFF は考えられないので、十分に有用である。

このことより、本論文で設計した高精度バイアス回路を用いることにより、入力電圧および温度によらず一定で低いオン抵抗のパワー MOS スイッチが実現可能であることを確認した。

6. むすび

本論文では、パワー MOS スイッチのオン抵抗安定化をテーマとして、パワー MOS スイッチのゲートに inputs する高精度なバイアス回路を設計した。本論文ではインターフェース電源として入力電圧を $V_{in}=3\sim 5[\text{V}]$ 、通常の LSI チップで保証されているのと同様に回路温度特性を $-50\sim 85[^\circ\text{C}]$ 、設計するバイアス回路全体で入力電流を $10[\text{mA}]$ 以下さらに、回路全体を 1 チップすることを設計指標とした。

本論文で述べたことを踏まえると、設計したバイアス回路により、入力電源を選ばず、さらに温度環境変化にも良好なパワー MOS スイッチを実現できる。パワー MOS スイッチのオン抵抗を低い抵抗値で一定にできるため、種々のスイッチを用いたアプリケーションへの応用が期待できる。

今後の課題として、提案回路を VDEC(大規模システム設計教育研究センター)を通じてチップ試作をおこない、測定・評価をおこなうことが挙げられる。

参考文献

- [1] トランジスタ技術 SPECIAL No.54 “実践パワー・エレクトロニクス入門”, CQ 出版社, 1996.
- [2] 鶴崎 善之, 平成 14 年度電気電子工学科卒業論文 “パワー MOS FET のスイッチング特性とその評価” 2002 年 2 月 20 日.
- [3] Behzed Razavi 著, 黒田 忠広 監訳, “アナログ CMOS 集積回路の設計 応用編” 丸善株式会社, 2003.
- [4] 岩田 穆 著, “CMOS 集積回路の基礎” 科学技術出版, 2000.
- [5] Behzed Razavi 著, 黒田 忠広 監訳, “アナログ CMOS 集積回路の設計 基礎編” 丸善株式会社, 2003.
- [6] トランジスタ技術 2003 年 4 月号 渡辺 明禎, “低周波電力増幅回路の実用設計”, CQ 出版社, 2003.
- [7] トランジスタ技術 SPECIAL No.15 “特集 アナログ回路技術の基礎と応用”, CQ 出版社, 1989.
- [8] トランジスタ技術 ORIGINAL 夏号 No.3 “特集 アナログ IC 測定器 回路の誕生”, CQ 出版社, 1990.
- [9] トランジスタ技術 1999 年 2 月号, 柳川 誠介 “定電圧電源の制作” CQ 出版社, 2000.
- [10] トランジスタ技術 2000 年 3 月号 河内 保, 瀬川 毅, “DC-DC コンバータ制御用 IC MAX786”, CQ 出版社, 2000.
- [11] 岩田 穆 著, “CMOS 集積回路の基礎” 科学技術出版, 2000.
- [12] 長谷川 彰 著, “改訂 スイッチング・レギュレータ設計ノウハウ” CQ 出版社, 1985.
- [13] 戸川 治郎 著, “実用電源回路 設計ハンドブック” CQ 出版社, 1988.
- [14] LINEAR TECHNOLOGY 株式会社, LTC3200/LTC3200-5 “低ノイズ, 安定化チャージ・ポンプ DC/DC コンバータ” 2000.
- [15] 岡村 勉夫 著, “定本 OP アンプ回路の設計” CQ 出版社, 1990.
- [16] Alan B. Grebene 著, 中沢 修治, 佐々木 元, 村瀬 清隆 共訳, “アナログ集積回路” 昭晃堂, 1975.