

3相クロックを用いた容量比低減型 単一利得増幅器構成 SC 積分器

黒木伸一¹⁾・松本 寛樹²⁾

Capacitance Ratio-reduced and Unity Gain Buffer-based SC Integrator Using Three Phase Clocks

Shinichi KUROKI, Hiroki MATUMOTO

Abstract

In this study, a capacitance ratio-reduced and unity gain buffer-based switched-capacitor integrator using three phase clocks is presented. Principle of operation is described and is also confirmed on SIMetrix. The purpose of this proposal circuit is to decrease the capacitor ratio of the SC integrator, and to improve the maximum frequency that can operate. Very large capacitance ratio is derived

Keywords: Three phase clocks, SC integrator, Capacitance ratio

1 序論

スイッチドキャパシタ (SC) 積分器は集積モノリシックフィルタやアナログ・デジタル (A/D) 変換器を構成する際の基本となる回路構成要素である^{1),2)}。遮断特性の優れている SC フィルタや二重積分型 A/D 変換器を実現するには積分器の容量比が大きい事が求められている。しかし、実現可能な容量比は最大で 50 程度に制限されている。この程度では、高いと言えず、この問題を解決するために、等価的に容量比を低減した SC 積分器が近年提案された^{3),4)}。

しかしながら、これらの構成は演算増幅器を使用しているがために、動作可能最大周波数は 100kHz に制約されている。本論文では容量比を低減した新しい積分器を提案し、SIMetrix によるシミュレーションを行い、回路の動作の確認を行う。

2 提案回路

今回提案する回路を図 1 に示す。φ₁、φ₂、φ₃を図 2 に示す、互いに重なり合わない 3 相クロックを用いる。

1) 電気電子工学科学部生

2) 電気電子工学科准教授

M₁、M₂、M₃、M₄、M₅、M₆、M₇は MOS アナログスイッチである。

3 動作原理

各クロックでの動作を以下に説明する。クロックはφ₁→φ₂→φ₃の順に切り替わり、V_i、V_oは、各々、入力と出力電圧に対応する。

φ₁クロックではV_o=V_o(n-1)とする。M₁、M₄、M₆、M₇は閉じられ、C₁はV_o-V_i、C₂とC₃はV_o(n-1)に充電される。

φ₂クロックではM₂、M₃は閉じられる。このときC₁、C₂、C₃の接点の電圧をV_aとする。φ₁→φ₂にクロックが切り替わるとき、電荷保存則より、

$$(C_1+C_2+C_3)V_a = C_1[V_o(n-1)-V_i]+(C_2+C_3)V_o(n-1) \quad (1)$$

となる。

φ₃クロックではM₅は閉じられる。このときC₃、C₅の接点の電圧をV_bとする。φ₂→φ₃に切り替わるとき、電荷保存則より、

$$C_3V_a + C_5V_o(n-1) = (C_3 + C_5)V_b \quad (2)$$

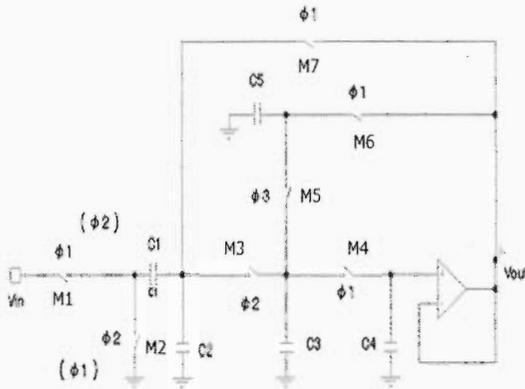


図1. 3相クロックによる容量比低減型単一利得構成SC積分器

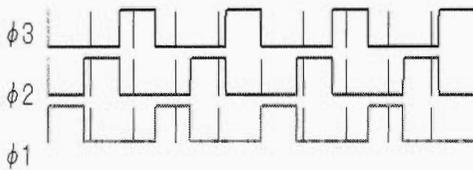


図2. 3相クロック

次の ϕ_1 クロックでは C_3, C_4 は $V_o(n)$ に充電される。
 $\phi_3 \rightarrow \phi_1$ にクロックが切り替わるとき、電荷保存則より、

$$C_3V_b + C_4V_o(n-1) = (C_3 + C_4)V_o(n) \quad (3)$$

(1) (2) (3) より $V_o(n)$ を求める

ここで、 $C_1=C_3, C_4=C_5, C_2=C_4-C_1$ と置けば

$$V_o(n) = V_o(n-1) - \alpha^3 V_i \quad (4)$$

$$\alpha = 1/(1+\beta) \quad (5)$$

$$\beta = C_1/C_4 \quad (6)$$

(4) 式に Z 変換を施し、(8) 式を得る

$$T = \frac{V_o(Z)}{V_i(Z)} = -\frac{\alpha^3 Z^{-\frac{1}{2}}}{(1-Z^{-1})} \quad (8)$$

(24)式は反転型積分器の伝達関数を表している。ここで容量比 β は MOS 製造工程において 50 まで大きくできる。それゆえに容量比 α の値は 1/51 まで小さく実現できる。(8)式に示すように容量比 α は α^3 に拡張されている。それで等価的に極めて大きな容量比 α^3 は $(1/51)^3 = 1/132651$ まで実現できる。

図1に示すカッコ内のクロック位相が使用されると、この積分器は非反転型積分器として動作する。伝達関数を以下に示す。

$$T = \frac{V_o(Z)}{V_i(Z)} = \frac{\alpha^3 Z^{-\frac{1}{2}}}{(1-Z^{-1})} \quad (7)$$

同様に大容量 α^3 が得られる。

4 シミュレーション結果

使用した単一利得増幅器は LF356、コンデンサーは $C_1=C_3=10 \text{ pF}, C_2=40 \text{ pF}, C_4=C_5=50 \text{ pF}$ であった。図6にシミュレーションにより得られた波形を示す。クロック周波数は 20 kHz であった。 V_i は入力方形波であり、入力電圧は $\pm 5 \text{ V}$ 、周波数は 1 kHz である。 V_{out} は出力電圧であり、その形は三角波である。しかるに積分動作が行われていることが確認された。

また、入力が +5V の時に出力は減少していることからこの積分器は反転型積分器であることがわかった。

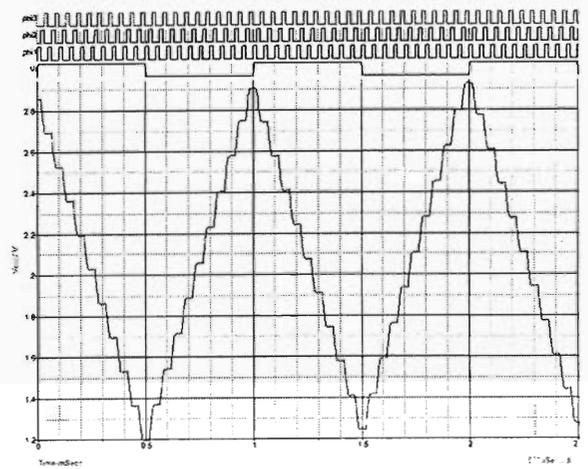


図3. シミュレーションによる出力波形.

5 結論

本研究では、3相クロックによる容量比低減型単一利得構成 SC 積分器を考案し、その動作原理について述べ、SIMetrix によるシミュレーションを行い、回路の動作の確認を行った。非反転型積分器もスイッチシーケンスを多少変更するのみで実現できる。

提案回路は、SC積分器の容量比を低減し、動作可能最大周波数を改善している。結果として容量比 α は α^3 に拡張され、等価的に極めて大きな容量比 $\alpha^3 = (1/51)^3 = 1/132651$ が得られた。

提案した積分器は高周波数信号処理ASIC及びビデオ信号処理用高機能LSIとして広く実用に役立てられるであろう。

参考文献

- 1) 高木茂孝: MOSアナログ電子回路, 昭晃堂, 1988.
- 2) 岩田穆: CMOS集積回路, 科学技術出版, 2000.
- 3) 松本寛樹, 唐政, 石塚興彦: 単一利得増幅器を用いた簡単な構成の容量比低減型スイッチドキャパシタ積分器, 単一利得増幅器を用いた簡単な構成の容量比低減型スイッチドキャパシタ積分器, p. 221-224, 宮崎大学工学部研究報告, 1992.
- 4) 松本寛樹, 唐政, 石塚興彦: バッファ構成容量比低減型スイッチドキャパシタ積分器, p. 193-195, 宮崎大学工学部研究報告, 1991.