

# スイッチトキャパシタ回路を用いたD/A変換器

牛島 隆宏<sup>1)</sup>・松本 寛樹<sup>2)</sup>・大野 憲司<sup>3)</sup>

## Reserch on the Switched-Capacitor Digital-to-Analog Converter

Takahiro USHIJIMA, Hiroki MATSUMOTO, Kenji OONO

### Abstract

In this paper, Now, in the field of an integrated circuit, MOS technology is in use. Moreover, low voltage-ization of a circuit is also called for. Then, the switched-capacitor (SC) circuit technology which makes a large analog system possible in single MOS IC receives attention in this field. However, in case the technology is applied in the environment of low voltage operation, when a switch change, the output saturation by separating from the negative return of an operational amplifier must compensate the fault voltage (spike) generated owing to. In this research, SC technology was applied to the D/A conversion machine used in various places, and circuit analysis was performed on the theme of the spike compensation low voltage SC circulation type D/A conversion machine by parting reference voltage.

## 1 まえがき

現在、パソコン、携帯、テレビなどの家電製品を始めに様々な分野でデジタルが取り入れられている。デジタルを用いれば、その特徴からアナログよりも大規模な処理を速く行うことができる。しかし、携帯電話を例に考えると、人間が目にする映像、話す声（耳で聞く音声）といったものは時間的に連続なアナログ量であり、デジタル値をそのまま認識することはできない。つまり、アナログをデジタルに変換する、もしくは、デジタルをアナログへ変換するインターフェイスが必要となる。このような背景から本研究では、デジタル化の現代に必要とされるデジタルをアナログに変える変換器であるD(Digital)/A(Analog)変換器を製作する研究を行った。

また、なるべくコンパクトであってほしい、長く電池が持つてほしいということも求められることの1つであるだろう。回路の分野はそういった要求に答えようと、低電圧化、低面積化、低消費電力を目指し様々な研究が日々行われている。本研究では、その要求を満たすために将来性が期待されるSC(switcheed Capacitor)回路を用いて回路を設計を行うこととする。

## 2 基準電圧分圧によるUGR-SC循環型D/A変換器

### 2.1 アルゴリズム

上位ビットから変換するアルゴリズムを行列表記で表すと以下のようなになる。

$$\begin{pmatrix} V_r(0) \\ V_c(0) \end{pmatrix} = \begin{pmatrix} V_r \\ 0 \end{pmatrix} \quad (1)$$

$$\begin{pmatrix} V_r(i) \\ V_a(i) \end{pmatrix} = \begin{pmatrix} \frac{1}{2} & 0 \\ \frac{1}{2}b_i & 1 \end{pmatrix} \begin{pmatrix} V_r(i-1) \\ V_a(i-1) \end{pmatrix} \quad (2)$$

式(1)は、初期値を表し $V_r$ は基準電圧である。式(2)は、 $V_r(i)$ が一つ前の電圧を半分に分圧していく式を表し、 $V_a(i)$ D/A変換後の出力を表す式で一つ前の出力とビットの入力により和で表される。

### 2.2 提案回路

今回の研究で提案する回路図を図1に表す。

1) 大学院修士課程電気電子工学専攻  
2) 電気電子工学科准教授  
3) 大学院博士課程システム工学専攻

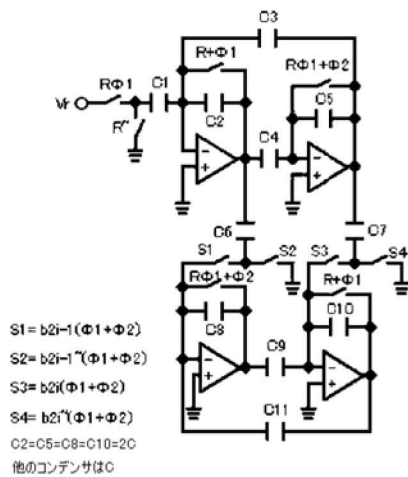


図 1: 基準電圧分圧によるスパイク補償低電圧 SC 循環型 D/A 変換器

2.3 動作原理

入力パルスとタイミングチャートは次のように成る。

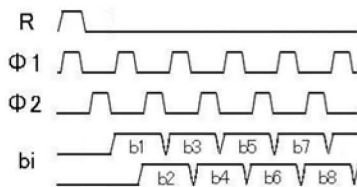


図 2: 入力パルスとタイミングチャート

回路動作について図 2 に沿って説明する。本論文では、デジタル信号 bi は全て 1 として説明していく。

● R Φ 1

まず、R と Φ 1 が同時に入力される。その時、コンデンサ C1 に Vr の電圧がかかり充電される。コンデンサ C2、C3 は、両端子とも仮想接地もしくは接地に繋がっているため、残っている電荷を放電する。

表 1: R Φ 1 時の電荷表

	C1	C2	C3
Q	CVr	0	0

● R Φ 1 → Φ 2

この時の回路と電荷表は以下のようになる。

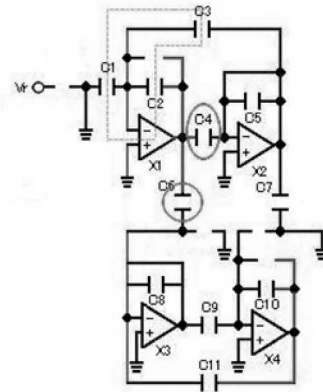


図 3: Φ 2 時の回路動作

表 2: Φ 2 時の電荷表

	C1	C2	C3	C4	C5	C6	C8	C11
Q	0	2CVx1	0	CVx1	0	CVx1	0	0

点線で囲まれている部分で(負の)電荷の行き場がないため電荷が保存される。コンデンサ C1 は前のクロック R Φ 1 で基準電圧が充電されている。C2 はオペアンプの出力電圧により電荷が蓄えられることになる。そして C3 は R Φ 1 時も Φ 2 時も両端子が接地しているため、今回のオペアンプの出力には関係しません。よって、コンデンサ C1 と C2 で電荷保存の式が立てられる。表 1,2 より、

$$CV_r = 2CV_{X1}(\Phi_2)$$

$$\therefore V_{X1}(\Phi_2) = \frac{1}{2}V_r$$

となり、オペアンプ X1 の出力を求めることができる。この出力がコンデンサ C4、C6 に充電される。

● Φ 2 → Φ 1

この動作が終わると、クロックは Φ 2 から Φ 1 へ切り替わる。この時、デジタル信号は b1 を入力する。

デジタル信号 b1 がもし 1 ならば、コンデンサ C6 を使ってオペアンプ X1 の出力が下の回路に送られ、0 ならば、接地と繋がってコンデンサにたまった電荷を放電し下の回路に出力を伝えないようになっている。今回は伝えるものとしてデジタル信号 b1 を 1 として考える。Φ 1 時は電荷保存が二箇所で行われ回路動作がやや複雑になる。まずオペアンプ X2 の出力から求める。前のクロックでオペアンプ X1 の出力がコンデンサ C4 に充電されているので、コンデンサ C4 と C5 で電荷保存の式を立てることができる。表 2,3 より、

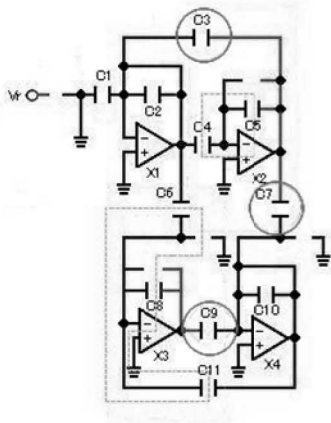


図 4: Φ 1 時の回路動作

$$\frac{1}{2}CV_r = 2CV_{X2}(\Phi_1)$$

$$\therefore V_{X2}(\Phi_1) = \frac{1}{4}V_r$$

とオペアンプ X2 の出力が求められる。そして、この出力がコンデンサ C3、C7 に充電される。もう一方のオペアンプ X3 の出力は、コンデンサ C6 と C8 により電荷保存の式を立てることができ、表 2,3 より、

$$\frac{1}{2}CV_r = CV_{X3}(\Phi_1)$$

$$\therefore V_{X3}(\Phi_1) = \frac{1}{2}V_r$$

と求められる。この出力はコンデンサ C9 へ充電される。

● Φ 1 → Φ 2

そして、クロックはまた、Φ 1 から Φ 2 へと切り替わる。この時デジタル信号 b2 も入力され、デジタル信号は b1 と b2 入る。

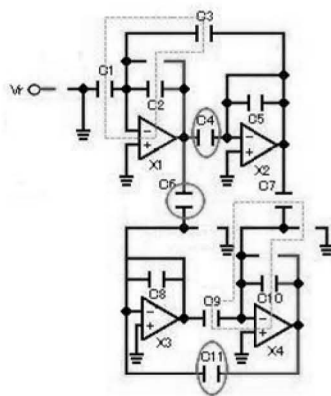


図 5: Φ 2 時の回路動作 (2 回目)

この時も二箇所電荷の保存が行われる。まず、オペアンプ X1 の出力から求める。前の Φ 2 時は、コンデンサ C1 から C2 へ電荷の転送を行いましたが今回は前のクロック時にコンデンサ C1 への電荷は充電されていないので C1 は無視し、代わりに、前のクロックでコンデンサ C3 に循環してきた電荷が充電されているため、コンデンサ C2 と C3 で電荷式を立てられオペアンプ X1 の出力は、

$$\frac{1}{4}CV_r = 2CV_{X2}(\Phi_2)$$

$$\therefore V_{X2}(\Phi_2) = \frac{1}{8}V_r$$

と求められる。

そして、もう一箇所の出力オペアンプ X4 を求める。デジタル信号 b2 は今回 1 としているのでコンデンサ C7 も電荷保存に関する。前のクロックの時にコンデンサ C7、C9 ともに充電されているため電荷がたまっている。よってコンデンサ C7、C9、C10 で電荷保存の式を立てる。電荷保存の式からオペアンプ X4 の出力は、

$$\frac{1}{2}CV_r + \frac{1}{4}CV_r = CV_{X4}(\Phi_2)$$

$$\therefore V_{X4}(\Phi_2) = \frac{3}{4}V_r$$

と求まる。

このように、電荷が回路を循環して行って回路の出力であるアナログ値を出力する。それぞれの計算結果はアルゴリズムと一致していて、回路上部は分圧器として回路下部は積分器の形をしていて回路の出力を出している。

### 3 シミュレーション結果

各値は、コンデンサ  $C = 1[pF]$ 、基準電圧  $V_r = 700[mV]$ 、クロック周波数  $f = 1.67[MHz]$ 、オペアンプ最大電源電圧  $V = 1500[mV]$ 、MOSFET は、BSIM3 を使用した。図 2 に D/A 変換後の出力波形を示す。

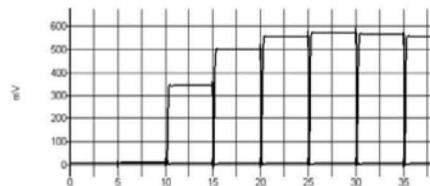


図 6: デジタル入力コードを全て 1 とした時の D/A 変換

分解能は、測定結果より 3 ビットであり、アルゴリズムよりその理論値は、

$$V_{out} = \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8}\right) \cdot 700 = 612.50(mV)$$

であり、理論値と測定値の誤差は  $60.69[mV]$  であった。

## 4 結論

基準電圧分圧によるスパイク補償 UGRSC 循環型 D/A 変換器では、分解能が 3bit、入力周波数は、100~500k[Hz] まで変換することのできる D/A 変換器をシミュレーション上で製作することができた。入力周波数は汎用の D/A 変換器を満足しているが、分解能は一般の D/A 変換器よりもかなり低めとなっている。その原因は、製作したオペアンプの利得が小さいことやコンデンサが漏電していることなどが考えられる。本研究室の研究結果から基準電圧分圧による D/A 変換器で高い分解能を求めることは難題であることが分かり、基準電圧を切り離さない方向で今は更に変換速度を向上させることが可能なパイプライン型の D/A 変換器を製作している。

また、高いレベルの MOSFET を使用したとしても高い変換精度を持つほうが望ましい。その為、利得の高いオペアンプを製作すること、コンデンサの漏電を少なくする工夫を施すことが今後の主な課題として挙げられる。

## 5 参考文献

- [1] Mustafa Keskin, Un-Ku Moon, Gabor C.Temes”A 1-V 10-MHz Clock-Rate 13-Bit CMOS Modulator Using Unity-Gain-Reset Opamps” IEEE J.Solid-State Circuit, VOL.37, No.7, pp817-824, July 2002
- [2] 武部 幹, 岩田 穆, 高橋 宜明, 国枝 博昭, 著, ”スイッチトキャパシタ回路”, 日刊工業 (1991)
- [3] 相良 岩男 著, ”A-D/D-A 変換入門”, 日刊工業 (1991)