

# 容量比に鈍感な SC 循環型 AD 変換器

田島 翔太<sup>1)</sup>・松本 寛樹<sup>2)</sup>

## SC Cyclic A/D Converter Insensitive to a Capacitance Mismatch

Shota TAJIMA, Hiroki MATUMOTO

### Abstract

This paper shows an improved A/D converter insensitive to capacitance mismatch. By using modified clock sequence, error caused by it is reduced and resolution is estimated to 10 bits. Converter operation is confirmed on SIMetrix.

**Keywords:** Switched-capacitor, A/D Converter, capacitance ratio

## 1. 序論

コンピュータの進化が進みコンピュータが一般家庭へ用いられることが多くなった。しかしコンピュータの処理は1と0の二値からなる不連続なデジタル信号であるのに対し参照される入力データは連続であるアナログ信号である。アナログ量のデジタル信号へ変換することで、コンピュータでの処理に使用できる。そのためにAD変換器が必要である。

本研究ではオペアンプと電圧比較器を用い、AD変換を行う従来回路を改良し、キャパシタの不整合による誤差を低減した回路を製作し、SIMetrixを用いて、動作検討比較を研究した。<sup>[1]</sup>

## 2. 基礎原理

### 2.1 一般的なAD変換器

一般的なAD変換機の動作を簡単に説明する。一般的なAD変換機のうち上位から変換するものは、符号ビット、1/2位、1/4位・・・と出力が変化する。つまり出力されるビットの意味するものは、

$$V_0 = \frac{b_i}{2^i} V_r \quad (\text{ただし、} i \geq 1)$$

そして、出力される電圧を足し合わせることで出力の値を入力との値と比較することができる。

式で示すと、次式で示すことができる。

1) 電気電子工学科学部生

2) 電気電子工学科准教授

表1 AD変換器の種類

名称	周波数(Hz)	分解能(bit)	用途
フラッシュ形	10G~10M	12~6	高速測定器
パイプライン形	200M~10M	14~8	映像、通信
逐次比較形	1M~10k	16~8	マイコン
デルタシグマ形	10M~100	24~12	音声処理、計測、通信
二重積分形	1k~10	22~12	計測

$$V_a = (b_0 - 1)V_r + \sum_{i=1}^n \frac{b_i}{2^i} V_r$$

AD変換器の方式として、さまざまな種類が存在する。これを表1に示す。

いずれの場合においても、それぞれ長所短所が存在する。今回の研究においては、逐次比較型AD変換器の一種である。逐次比較型AD変換器とは、まず基準電圧の1/2が入力電圧より高いか低いかを比較し、そして高ければ(1/2+1/4=3/4)より高いか、低ければ(1/4)より高いかを比較する動作を繰り返し行っていく変換器である。この変換器の不利な点としては、動作速度が比較器の処理速度に依存する点と分解能をあげるとその分処理速度が落ちるという点が上げられる。

### 2.2 カウンタとプログラマブルカウンタ

一般的なカウンタを図1に示す。まず、図1中Y0端子から定期的なパルス波が入ると、中で1が加算されD0を最下位として二進数の出力が得られる。そして、Reset端子にパルス波が入ると、中の値が0に置き換えられる。このようにして数を

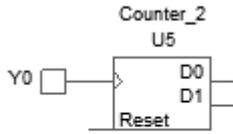


図1 一般的なカウンタ

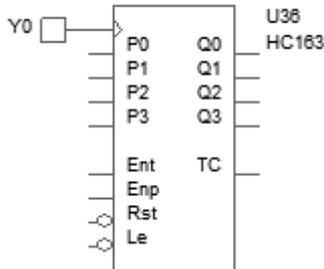


図2 プログラマブルカウンタ

数える。

一般的なカウンタの Reset 信号に対し、任意の値に変更することができる素子をプログラマブルカウンタと呼び、これを図2に示す。

この素子では、P0を最下位としてあらかじめ二進数の値を準備しておく。Le端子が0のときにP0~P3の値がQ0~Q3に置き換えられる。このとき、P0~P3を場合分けすることによって複雑なカウンタとして動作することができる。

### 3. 回路構成

図3に今回提案する容量比に鈍感なSC循環型AD変換器の回路図を示す。この回路図はVaに入力された電圧を、上位から変換しoutputに出力する回路である。キャパシタの容量値はC1=20pF、C2=19pF、C3=21pF(容量不整合5%)、C4=20pF、C5=20pFと設定する。

なお、最下部のC6、C7、S14素子はAD変換に直接必要とする素子ではないが、スイッチが切り替わる瞬間にオペアンプの出力が1MV程度出る。これを軽減するためのフィードバックである。

#### 3.1 スイッチ動作

この回路のスイッチ判定表を表1に示す。この回路は図4のようにSetφ1からφ5まで順に進み、Convφ1からφ6までを8回繰り返す。そして再びSetφ1からφ5まで進み、Convφ1からφ6までを8回繰り返す。表2中のbi-1は前のビットの変換結果である。ただしb0は符号ビットで1ならば正、0ならば負を示す。

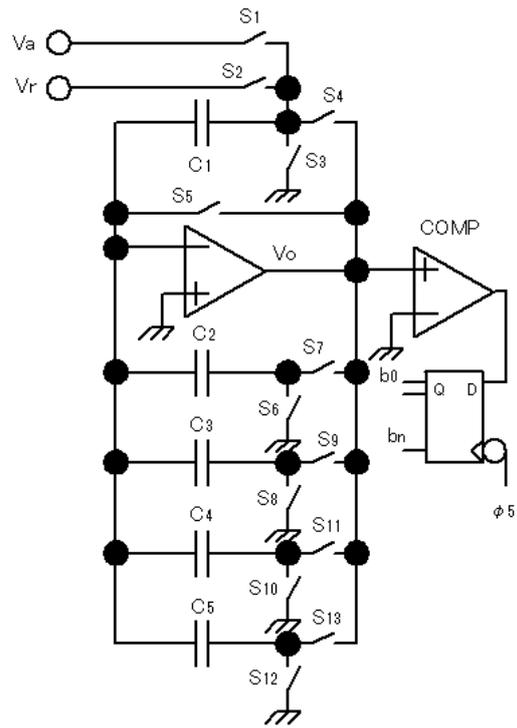


図3. 容量比に鈍感なSC循環型DA変換器

表2 スイッチ判定表

φ	C6	C7	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13
SET	φ1	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	φ2	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	φ3	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	φ4	0	0	0	1	0	0	0	0	0	0	0	0	0	0
	φ5	0	0	0	0	1	0	0	0	0	0	0	0	0	0
CONV	φ1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	φ2	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	φ3	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	φ4	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	φ5	0	0	0	0	1	0	1	0	0	0	0	0	0	0
	φ6	0	0	0	0	0	0	0	0	1	0	0	0	0	0
SET	φ1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
	φ2	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	φ3	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	φ4	0	0	0	1	0	0	0	0	0	0	0	0	0	0
	φ5	0	0	0	0	1	0	0	0	0	0	0	0	0	0
CONV	φ1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	φ2	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	φ3	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	φ4	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	φ5	0	0	0	1	0	0	0	0	0	0	1	0	0	0
	φ6	0	0	0	0	0	0	1	0	0	0	0	0	0	0

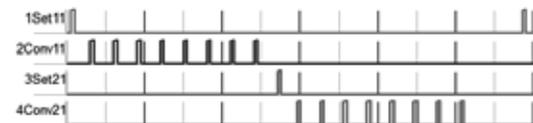


図4. 各φ1の入力クロック.

クロックの1周期は100usで、重なり合わないクロックである。

この回路では、φ5のタイミングでbi-1の値が変化する。そのため、表2のConvφ6のタイミングでは、コンパレータ出力をそのまま使用すると、bi-2の値となり、0,1が交互に切り替わる時不適切となる。コンパレータの出力の先にφ4のタイミングでデータを読み取りそのままデータを維持させるためのD-FF素子をつないで対処する。

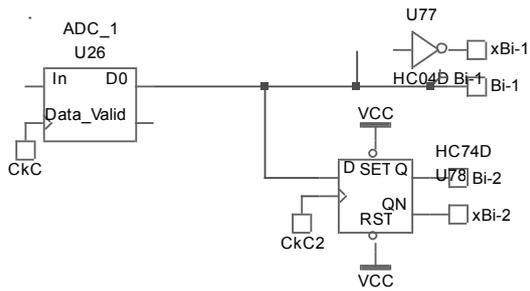


図5 コンパレータとD-FF

図5が上記のように接続した図である。ADC\_0素子のD<sub>0</sub>端子はCkCがONになるタイミング即ちφ<sub>5</sub>の立ち下がりデータを読み込み、それを判定している。これをそのままつないだものが、B<sub>i-1</sub>端子でそのデータをφ<sub>5</sub>の立ち上がり時に読み込む回路がD-FFのHC74D素子である。

### 3.2 クロック発生原理

今回使用する回路では、合計22のスイッチ切り替えパターンが存在する。そのため、SIMetrixに組み込まれている一般的な4ビットのプログラマブルカウンタでは不足する。そのため、独自に拡張する必要がある。

今回5ビットへ拡張した回路図を下図6に示す。

Y<sub>0</sub>の回数を一般的なカウンタで計測する。1回目はYZ端子が1、2回目はYxZ端子が1となる設定である。この値とデコーダの値のAND論理をつなぐことで、YZ=1、Y1=1が1回目のSet φ<sub>1</sub>のパルス波、というように設計できる。以後同様にC<sub>26</sub>まで設計する。ここで、端子の名前をS<sub>14</sub>=1回目のSet φ<sub>4</sub>、C<sub>23</sub>=2回目のConv φ<sub>3</sub>というように定義する。

プログラマブルカウンタにおいてConv φ<sub>1</sub>の値は、1回目は00110、2回目は10001である。つまり、プログラマブルカウンタのプリセット値は、最上位ビットから順に常に0、1回目のConvの時1、1回目のConvの時1、常に0のプリセット値の設定が必要となる。そして、Le端子がOFFの時データを読み込まれるが、その時の設定として、1回目2回目それぞれの8ビット目以外のConv φ<sub>6</sub>のときにLe端子が読み込まれる設定としている。そのため、C<sub>16</sub>、C<sub>26</sub>の回数を数えるカウンタを使用している。

## 4. 回路動作

各素子の動作を説明する。

Set φ<sub>1</sub>で、各コンデンサの電位差が0となること

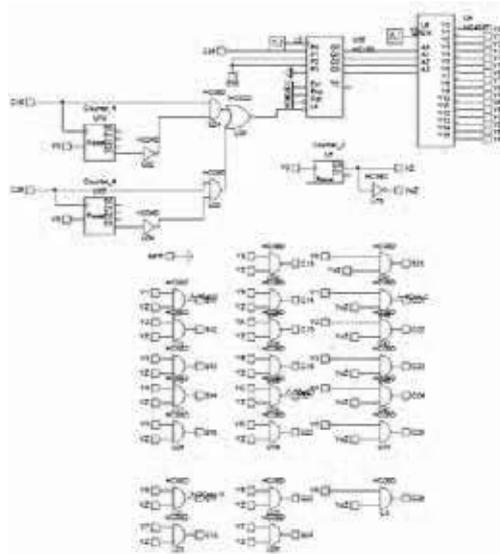


図6. クロック発生回路図

で、入力する電圧の影響を最小限とする。  
 Set φ<sub>2</sub>で、C<sub>1</sub>にV<sub>r</sub>、C<sub>5</sub>に-V<sub>r</sub>が充電される。  
 Set φ<sub>3</sub>で、C<sub>1</sub>が0、C<sub>4</sub>に+V<sub>r</sub>が充電される。  
 Set φ<sub>4</sub>で、C<sub>1</sub>にV<sub>a</sub>が充電される。  
 Set φ<sub>5</sub>で、C<sub>1</sub>の電位差がコンパレータに入る。  
 コンパレータの判定により符号ビットが判定される。  
 Conv φ<sub>1</sub>で、C<sub>4</sub>又はC<sub>5</sub>の電位差の半分の電荷がC<sub>2</sub>又はC<sub>3</sub>に充電される。  
 Conv φ<sub>2</sub>で、C<sub>2</sub>又はC<sub>3</sub>の電荷が放電される。  
 Conv φ<sub>3</sub>で、C<sub>3</sub>又はC<sub>2</sub>の電荷が放電される。  
 Conv φ<sub>4</sub>で、C<sub>5</sub>又はC<sub>4</sub>の電位差の半分の電荷がC<sub>3</sub>又はC<sub>2</sub>に充電される。  
 Conv φ<sub>5</sub>で、C<sub>2</sub>又はC<sub>3</sub>の電位差がコンパレータに入り、電位差を判定される  
 Conv φ<sub>6</sub>で、C<sub>5</sub>又はC<sub>4</sub>にV<sub>r</sub>/2<sup>i</sup>が充電される。  
 この動作を繰り返し行い判定された結果がビットとして出力される。

## 5. シミュレーション

動作原理を確認するために、SIMetrixを用いてシミュレーションを行った。各素子のパラメータは、C<sub>1</sub> = C<sub>4</sub> = C<sub>5</sub> = 20pF、C<sub>2</sub> = 19pF、C<sub>3</sub> = 21pF、オペアンプは理想オペアンプ (増幅率 10<sup>6</sup>)。クロック周期は100us、基準電圧V<sub>r</sub>=1Vであった。

### 5.1 Va=0Vのとき

V<sub>a</sub>=0Vのときの出力b<sub>i-1</sub>を示す。

図7より、011110101、100000000であり、足して2で割ると、0111110101が得られる。この値は、

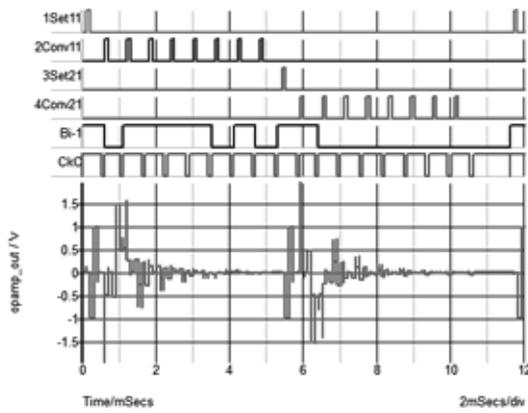


図7. 入力電圧 0mV の出力波形.

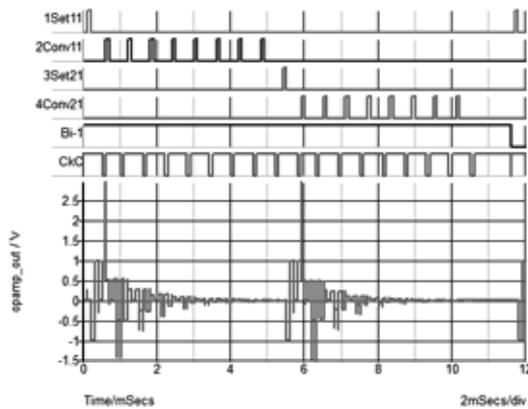


図8. 入力電圧 1000mV の出力波形.

$$\frac{1}{2} * b_1 + \frac{1}{4} * b_2 + \frac{1}{8} * b_3 + \frac{1}{16} * b_4 + \frac{1}{32} * b_5 + \frac{1}{64} * b_6 + \frac{1}{128} * b_7 + \frac{1}{256} * b_8 + \frac{1}{512} * b_8$$

であるので、

$$\left( \frac{1}{2} * 1 + \frac{1}{4} * 1 + \frac{1}{8} * 1 + \frac{1}{16} * 1 + \frac{1}{32} * 1 + \frac{1}{64} * 0 + \frac{1}{128} * 1 + \frac{1}{256} * 0 + \frac{1}{512} * 1 \right) - 1 = -0.02148$$

よって 0.02148V の誤差電圧 21.4mV である。

5.2 Va=1000mV の時

図8は、Va=1000mVを挿入した時の波形である。この時の出力値は、それぞれ 111111111、111111111 であり、足して2で割ると 1111111110 である。先頭が符号ビットなので正であり、

$$\frac{1}{2} * 1 + \frac{1}{4} * 1 + \frac{1}{8} * 1 + \frac{1}{16} * 1 + \frac{1}{32} * 1 + \frac{1}{64} * 1 + \frac{1}{128} * 1 + \frac{1}{256} * 1 + \frac{1}{512} * 1 = 0.996094$$

より、996.09375mV の誤差電圧 3.90mV である。

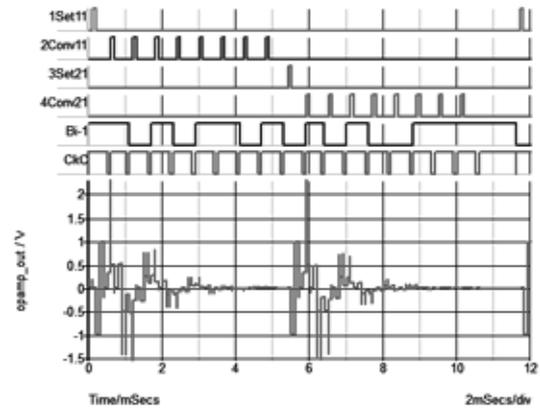


図9. 入力電圧 333.3mV の出力波形.

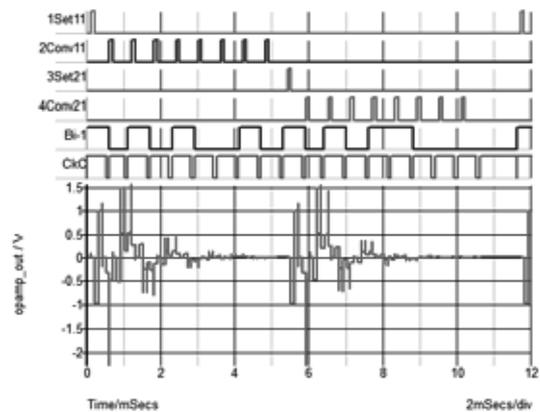


図10. 入力電圧 -333.3mV の出力波形.

5.3 Va=333.3mV の時

図9は、Va=333.3mVを挿入した時の波形である。この時の出力値は、それぞれ 101011010、101001111 であり、足して2で割ると 1010101001 である。

$$\frac{1}{2} * 0 + \frac{1}{4} * 1 + \frac{1}{8} * 0 + \frac{1}{16} * 1 + \frac{1}{32} * 0 + \frac{1}{64} * 1 + \frac{1}{128} * 0 + \frac{1}{256} * 0 + \frac{1}{512} * 1 = 0.330078125$$

より、330.078125mV の誤差電圧 3.22mV である。

5.4 Va=-333.3mV のとき

最後に Va=-333.3mV を入力する  
図6より、010100101、010110000、が得られ、平均値は 0101010101 であり、これは -0.333984[V] なので誤差電圧 0.984mV である。

以上の結果を表3に示す。

表3 出力ビット

入力値[V]	0	1	0.3333	-0.3333
1回目	011110101	111111111	101011010	010100101
2回目	100000000	111111111	101001111	010110000
平均	011110101	111111110	1010101001	0101010101
[V]	0.02148	0.99609	0.33008	-0.33398
誤差[V]	0.02148	0.00391	0.00322	0.00068

## 6. 結論

今回の実験回路では、それぞれの変換だけ見るなら容量不整合の影響で、4bit までしか AD 変換の結果が正しくないが、それぞれの結果を平均することにより 8bit まで AD 変換が正しい結果が行われていることがわかる。また、コンデンサの容量比 5% に対し分解能は 8bit と容量比に鈍感であることがわかる。

図 17 より、すべて 1 の場合、1V を表現することが不可能であるがゆえに、誤差を生じている。この誤差を解消するために、Conv の周回を増やしより下位のビットを調べる方法がある。しかし 1 ビットずつ比較するこの方式ではさらに下位ビットまで調べると処理速度が大幅に落ち、分解能を越え誤差が出る。

今回の研究では、出力結果を目視で確認し手計算で値を出したが、今後の研究では出力結果の平均の出力を行う回路や、変換動作中に  $C_2$ 、 $C_3$  のキャパシタを交互に利用させる変換回路の製作を通じてさらに下位ビットまで変換可能な AD 変換器をシミュレーション回路内で製作し研究を行う。

## 参考文献

- [1] 渡辺健蔵・松本寛樹・藤原一伸著, スイッチドキャパシタ循環型データ変換器, 静岡大学電子工学研究所研究報告, p.105-p.114, 7月 1985
- [2] Poke chen and Ting-Chun Liu, “ Switching Schemes for Reducing Capacitor Mismatch Sensitivity of Quasi-Passive Cyclic DAC” , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II EXPRESS BRIEFS, p. p.26-30, Vol.56 ,No.1 ,Jan 2009.