

4相クロックを用いた容量比低減型単一利得増幅器構成 SC 積分器

長倉 大樹¹⁾・松本 寛樹²⁾

Capacitance Ratio-reduced and Unity Gain Buffer-based Switched-Capacitor Integrator Using Four Phase Clocks

Hiroki NAGAKURA, Hiroki MATUMOTO

Abstract

In this paper, a novel capacity ratio-reduced and unity gain buffer-based switched-capacitor (SC) integrator using four aspect clocks is presented. Ratio can be reduced to $1/50^3$. Operation is also confirmed on SIMmetrics.

Keywords: Switched-capacitor, Four aspect clocks, Capacity ratio reduction, integrator

1. 序論

スイッチドキャパシタ (SC) 積分器はアナログ・デジタル (A/D) 変換器やデジタル・アナログ (D/A) 変換器を実現する際、必要不可欠である^{1),2)}。遮断特性の優れている SC フィルタや二重積分型 A/D 変換器を実現するには積分器の容量比が大きい事が求められている。しかし、実現可能な容量比は最大で 50 程度に制限されている。この程度の値では満足できない。さらに、従来の積分器は演算増幅器を基本素子としていたため、クロック周波数が 100kHz に制約されている。これらの問題を解決し、そしてチップ面積を低減する観点からも容量比を小さくし、単一利得増幅器を用いた SC 積分器が提案されている^{3),4)}。

これらの回路は 2500 という大きな容量比を 50 に低減し、2MHz のクロック周波数で動作するのでもって有用である。しかし一方で、この積分器を実現するには必要とされる素子数が多過ぎるので集積回路を実現するとき、チップ面積が大きくなり不利である。

この論文において、容量比の低減を図った簡単な構成の積分器について実験をした。

2. 回路構成

今回提案する回路を図 1 に示す。

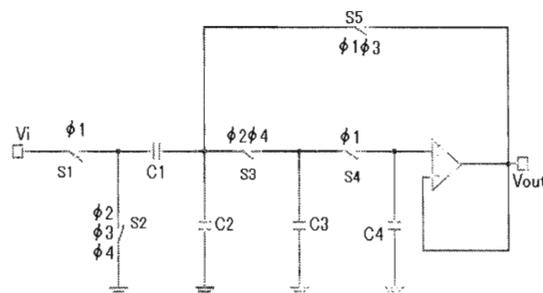


図 1. 4相クロックによる容量比低減型単一利得構成 SC 積分器。

クロック $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ を図 2 に示す。

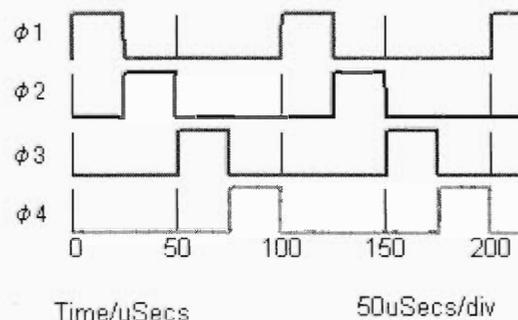


図 2. 入力クロック。

1) 電気電子工学科学部生

2) 電気電子工学科准教授

クロック ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 は互いに重なり合わない4相クロックである。

3 回路動作

各クロックごとの電荷移動から、動作を式を用いて説明する。

ϕ_1 クロックでは、 C_1 には V_1 と V_0 の電圧が充電されているので、 C_2 、 C_3 上の電圧は $V_{0(n-1)}$ である。

ϕ_2 クロックでは C_1 、 C_2 、 C_3 の接点の電圧を V_2 とおいて、 C_1 、 C_2 、 C_3 は V_2 で充電される。

ϕ_1 クロック時と ϕ_2 クロック時の電荷の総和は等しいので、

$$C_1[V_0(n-1)-V_1]+(C_2+C_3)V_0(n-1) \\ = (C_1+C_2+C_3)V_2 \quad (1)$$

となる。

ϕ_3 クロックでは電荷の移動はなく、 C_1 、 C_2 は $V_{0(n-1)}$ で充電され、 C_3 は ϕ_2 クロック時に充電された電荷が保存されている。

ϕ_4 クロックでは C_1 、 C_2 、 C_3 の接点の電圧を V_4 とおいて、 C_1 、 C_2 、 C_3 は V_4 で充電される。

ϕ_3 時と ϕ_4 時の電荷の総和は等しいので、

$$(C_1+C_2)V_0(n-1)+C_3V_2=(C_1+C_2+C_3)V_4 \quad (2)$$

となる。 ϕ_4 クロックでは C_1 、 C_2 、 C_3 の接点の電圧を V_4 とすると、 C_3 は V_4 で充電され、 C_4 は $V_{(n-1)}$ である。

ϕ_1 クロックでは C_2 、 C_3 は $V_{0(n)}$ で充電される。これらより、 ϕ_1 クロック時と ϕ_4 クロック時の電荷の総和は等しいので、

$$C_3V_4+C_4V(n-1)=(C_3+C_4)V_0(n) \quad (3)$$

(1) (2) (3) 式を連立させて $V_{0(n)}$ を求める。

(1) 式より

$$V_2=-[C_1/(C_1+C_4)]V_1+V_0(n-1) \quad (4)$$

となる。

(4) 式を (2) 式に代入、変形して

$$V_4=V_0(n-1)-\alpha^2V_1 \quad (5)$$

$$\alpha=1/(1+\beta) \quad (6)$$

$$\beta=C_4/C_1 \quad (7)$$

となり、この (5) 式を (3) 式に代入、変形して

$$V_0(n)=V_0(n-1)-\alpha^3V_1 \quad (8)$$

となり、 α は三乗まで拡大できた。

4. シミュレーション

動作原理を確認するために、SIMetrix を用いてシミュレーションを行った。各素子のパラメータは、 $C_1=10pF$ 、 $C_2=40pF$ 、 $C_3=10pF$ 、 $C_4=50pF$ 、単一利得増幅器は型番 LF356 の演算増幅器を全帰還構成とした。クロック周波数は 500Hz であった。

図 13 にそれぞれのクロックと入力 V_i 、出力 V_{out} を示す。

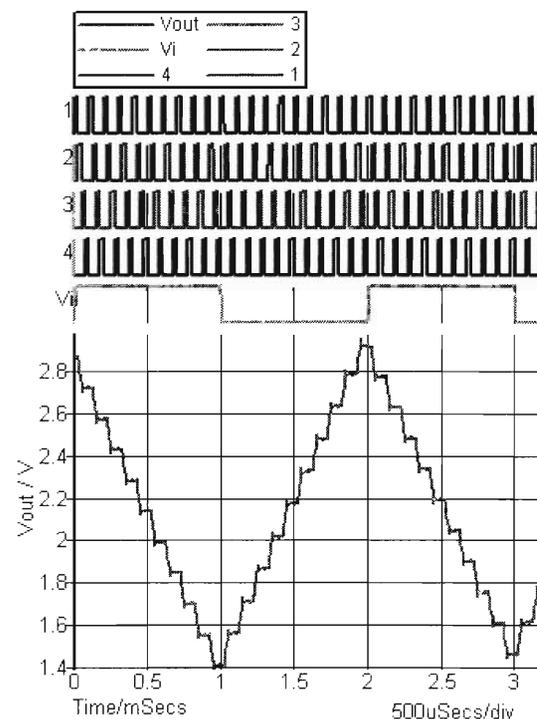


図 3. クロックと入出力波形.

図 3 より、入力波形である方形波が積分され、三角波が出力されていることがわかる。このことから、この回路は、反転型積分器として働いていることがわかる。

また、図 4 のように、図 1 の回路の、 S_1 の ϕ_1 と、 S_2 の ϕ_2 を入れ替えることにより、非反転型積分回路として動作することも分かった。 $V_{0(n)}$ を (1) ~ (6) の手順同様に計算して求めると (9) 式になる。

$$V_0(n)=V_0(n-1)+\alpha^3V_1 \quad (9)$$

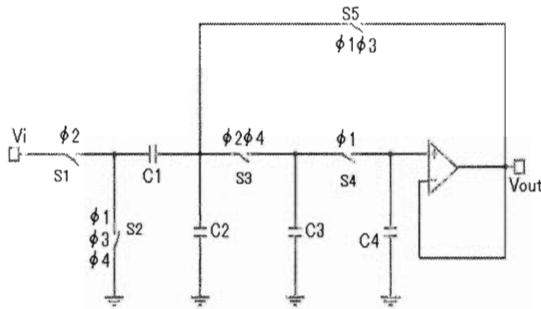


図4. 非反転型積分器.

そのときの、入力 V_i と出力 V_{out} を図5に示す。

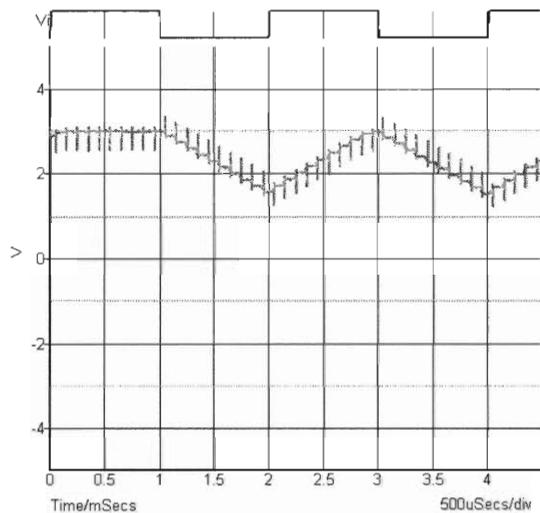


図5. 非反転型積分器入出力波形.

図5より非反転型積分器として働いているといえる。

4. 結論

図6より、入力波形である方形波が積分され、三角波が出力されていることがわかる。(6)式より提案回路は従来の回路¹⁾と比べ容量比が α^2 から α^3 に拡大した。提案した積分器は容量比を α^3 つまり $(1/51)^3 = (1/132651)$ まで拡大でき、極めて大きな容量比が得られたといえる。

また、提案した回路において(図1)、スイッチシーケンスをわずかに変更するのみで反転型積分器、非反転積分器を容易に実現できると結論づけることができる。

3相クロックによる容量比低減型単一利得SC積分器においても、本提案回路と同じく、容量比を α^3 つまり $(1/51)^3 = (1/132651)$ まで容量比を拡大できるが、3相クロックであるぶん1つの単一利得増幅器と7つのアナログスイッチ、5つのコンデンサが必要になる。それに比べ、本提案回路は4

相クロックにすることにより、1つの単一利得増幅器と5つのアナログスイッチ、4つのコンデンサのみで構成されている。

これらのことから、提案した回路は高速小チップ面積のスイッチドキャパシタシステムに広く応用されると考えられる。

参考文献

- 1) 岩田 穆、国枝 博昭、高橋 宣明 著：スイッチトキャパシタ回路，現代工学社，1985.
- 2) 中山 謙二：SC回路網の設計と応用，東海大学出版会，1985.
- 3) 松本 寛樹、唐 政、石塚 興彦：単一利得増幅器を用いた簡単な構成の容量比低減型スイッチドキャパシタ積分器，宮崎大学工学部研究報告，第38号，P221～P224，1991
- 4) Hiroki MATSUMOTO, Zheng TANG, Okihiko ISHIZUKA: A Buffer-Based Switched-Capacitor Integrator with Reduced Capacitance Ratio, THE TRANSACTIONS OF THE IEICE, VOL. E 73, NO. 4, p. 494-495, 1990.