

# 容量比に鈍感な SC 循環型 A/D 変換器

田島 翔太<sup>a)</sup>・松本 寛樹<sup>b)</sup>

## SC Algorithmic A/D Converter Insensitive to Capacitance Mismatch

Shota TAJIMA, Hiroki MATUMOTO

### Abstract

This paper shows an improved algorithmic A/D converter insensitive to capacitance mismatch. By using modified clock sequence, error caused by it is reduced and resolution is estimated to 12 bit. Converter operation is confirmed on SIMetrix.

**Keywords:** Swiched-capacitor, A/D Converter, capacitance ratio

### 1. はじめに

近年、情報通信の果たす役割はますます拡大している。自然量がアナログ量で表現される一方、電子機器ではデジタル値で表現される。情報通信を行うにはアナログ信号とデジタル信号間でデータを変換する回路であるアナログ・デジタル(A/D)変換器とデジタル・アナログ(D/A)変換器が必要不可欠であり、その性能が通信システムやサービス品質と深く関わっている。

A/D 変換器は速度と精度の両立が難しいため適所適材で様々な方式のものが使用される。1[kHz]程度の低速度で20ビット程度の高精度な分解能を持つA/D変換器はデジタルテスター等の計測器に、1[Mhz]程度のA/D変換器では15ビットの精度に適したマイコンなどに、映像や音声など遅延が許されないような速度のものには1[Ghz]、10ビット分解能のA/D変換器が用いられる。

本研究ではこのうち中精度のA/D変換器として適しているスイッチトキャパシタの循環型と逐次比較型のA/D変換器に関して精度を向上させ比較を行う。

### 2. 基礎原理

#### 2.1 循環型 ADC

循環型ADCは巡回型ADCとも呼ばれ、入力電圧を $2^i V_r$ の電圧で加減算し0に近づけていき、0との電圧の大小比較で出力ビットを決定する方式のADCである。

変換アルゴリズムは次式で表される。

a)大学院電気電子工学専攻

b)工学部准教授

$$V_t(i+1) = V_t(i) + (-1)^{b_i} 2^{-i} V_r$$

ただし

$$\begin{cases} b_i = 1 & | V_t(i) \geq 0 \\ b_i = 0 & | V_t(i) < 0 \end{cases}$$

$$V_t(0) = V_a$$

ここで $V_a$ は入力電圧を示す。

#### 2.2 逐次近似型 ADC

逐次近似型A/D変換器は、入力電圧を $2^i V_r$ の電圧で加減算し入力電圧に近づけていき、入力電圧との電圧の大小比較で出力ビットを決定する方式のADCである。変換アルゴリズムは行列式を用いて次式で表される。

$$\begin{pmatrix} V_t(i+1) \\ V_r(i+1) \\ V_a(i+1) \end{pmatrix} = \begin{pmatrix} \frac{1}{2} & \frac{b_i}{2} & \frac{\bar{b}_i}{2} \\ \bar{b}_i & b_i & 0 \\ b_i & 0 & \bar{b}_i \end{pmatrix} \begin{pmatrix} V_t(i) \\ V_r(i) \\ V_a(i) \end{pmatrix}$$

ただし符号ビット  $b_0 = 1$

$$V_t(0) = \frac{V_r}{2} = \frac{1}{2}$$

$$V_r(0) = V_r = 1 \quad V_r \text{は基準電圧}$$

$$V_a(0) = 0$$

いずれの場合においても、それぞれ長所短所が存在する。循環型の長所として負の入力電圧に対応している点、逐次近似型の長所として素子数が少ないという利点がある。

### 3. 回路構成

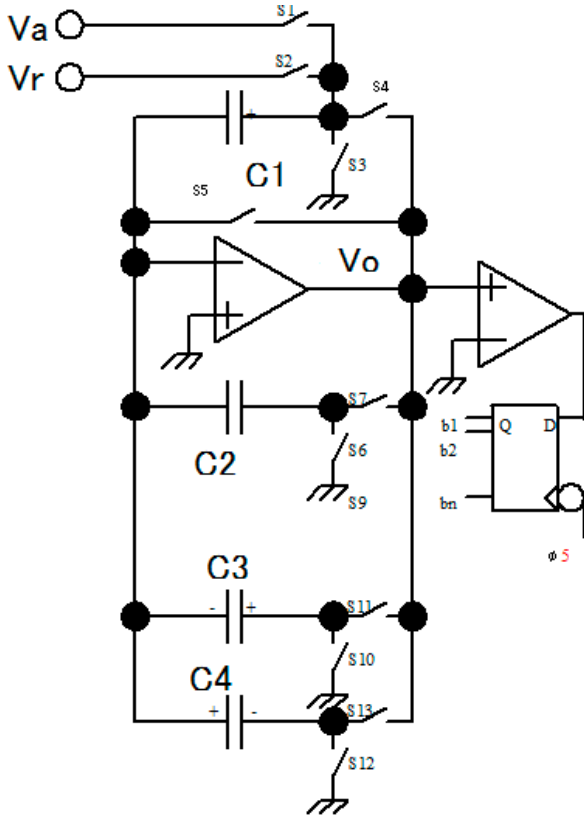


図1 従来回路

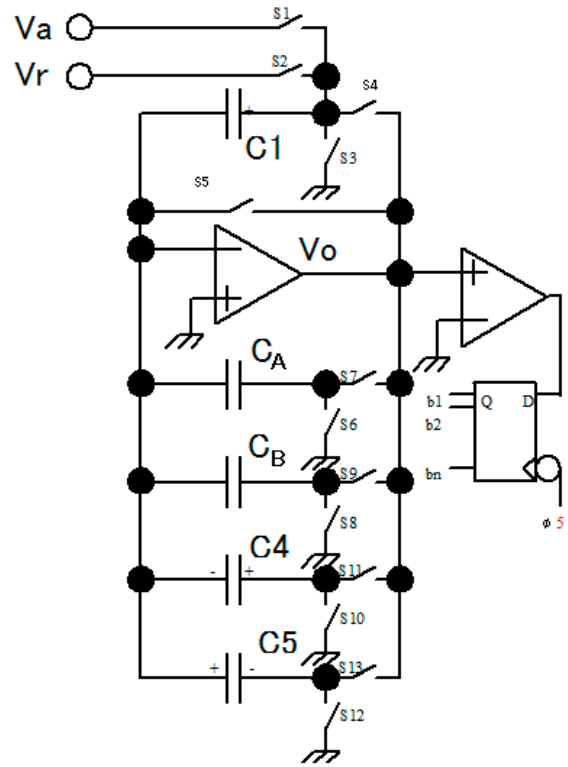


図2 提案回路

表1 従来回路 スイッチ表

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13
SET	1		1		1	1		1		1		1	
	2	1									1		1
	3			1									
	4		1			1							
	5				1								
AN/DQ	1						1		1	$b_{i-1}$	$\overline{b_{i-1}}$		
	2					0000	0000			$b_{i-1}$	$\overline{b_{i-1}}$		
	3				1	0000	0000						
	4						1		1	$\overline{b_{i-1}}$	$b_{i-1}$		
	5					0000	0000				$\overline{b_{i-1}}$	$b_{i-1}$	
	6				1	0000	0000						

表2 提案回路 スイッチ表

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13
SET	1		1		1	1		1		1		1	
	2	1											1
	3			1									
	4		1			1							
	5				1								
AN/DQ	1						1		1	$b_{i-1}$	$\overline{b_{i-1}}$		
	2					0000	0000			$b_{i-1}$	$\overline{b_{i-1}}$		
	3					1	0000	0000					
	4						1		1	$\overline{b_{i-1}}$	$b_{i-1}$		
	5					0000	0000				$\overline{b_{i-1}}$	$b_{i-1}$	
	6				1	0000	0000						

### 3.1 循環型 ADC

従来回路<sup>[1]</sup>を図1に、提案回路を図2に示す。それぞれのスイッチ表を表1、表2に示す。

従来回路では、C<sub>1</sub>に入力電圧を一度保持した上でC<sub>3</sub>またはC<sub>4</sub>とC<sub>2</sub>を用いて分圧を行い、C<sub>2</sub>の電圧を±0.5倍の値として使用しC<sub>1</sub>に転送する変換を繰り返す、この電圧の正負を基にビットを決定する。そのため、C<sub>2</sub>C<sub>3</sub>間の容量比不整合に加えC<sub>4</sub>のキャパシタの容量不整合に依存するという問題点を有する。

一方提案回路では図1の回路に新たにC<sub>3</sub>というキャパシタを挿入する。C<sub>1</sub>に充電された電圧は、C<sub>A</sub>C<sub>B</sub>を用いて分圧を行い、C<sub>A</sub>またはC<sub>B</sub>の電圧を0.5倍として使用しそれをC<sub>4</sub>又はC<sub>5</sub>へ保存し、C<sub>1</sub>をV(i)としてビットを決定

する。よって、C<sub>1</sub>C<sub>4</sub>C<sub>5</sub>の容量比不整合の影響は受けない。また、C<sub>A</sub>C<sub>B</sub>の役割を交互に入れ替え動作を2回行うことで、分解能を向上することが可能とした。

### 3.2 逐次近似型 ADC

従来回路<sup>[2]</sup>を図3に、提案回路を図4に示す。それぞれのスイッチ表を表3、表4に示す。

共にC<sub>U</sub>とC<sub>L</sub>はそれぞれ2.2で述べる式のV<sub>r</sub>(i)、V<sub>a</sub>(i)の電圧がかかり、C<sub>A</sub>とC<sub>B</sub>はV<sub>i</sub>(i)の電圧がかかる。

図3では、C<sub>A</sub>にV<sub>i</sub>(i-1)の電圧が充電された後、C<sub>A</sub>C<sub>B</sub>を用いて分圧が行われる。その為、C<sub>A</sub>の容量比不整合の値の影響を受けやすい欠点を有する。

一方図4では、1ビットずつ交互にC<sub>A</sub>またはC<sub>B</sub>にV<sub>i</sub>(i-1)の電圧が充電される。その為、図3の回路と比較し、容量比不整合の影響を受けにくい利点を有するが、2度変換す

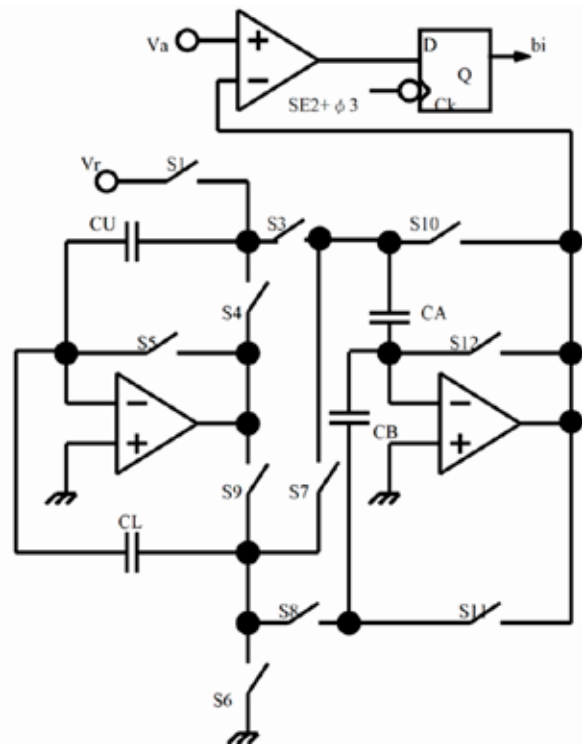


図3 従来回路

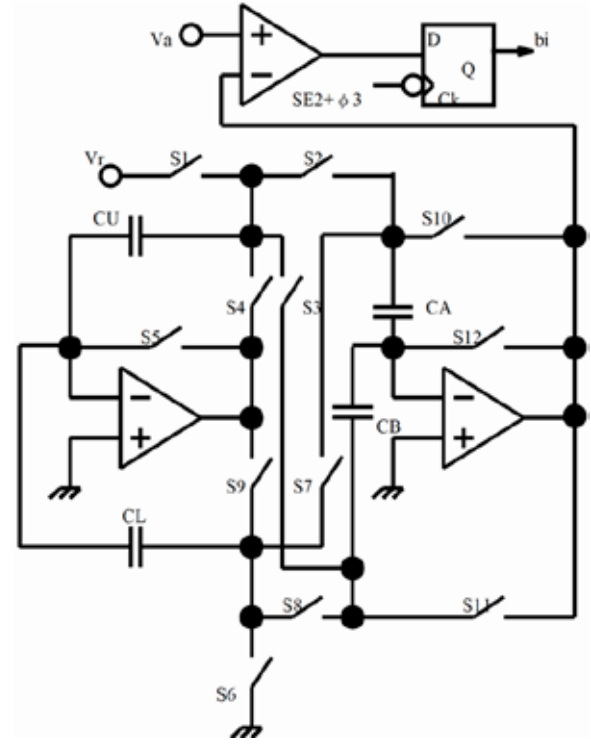


図4 提案回路

表3 従来回路 スイッチ表

S	1	3	4	5	6	7	8	9	10	11	12
Sφ1	1			1	1				1	1	
Sφ2					1		1				1
Sφ3									1	1	
Cφ1		$\bar{b}_{i-1}$				$b_{i-1}$			1	1	
Cφ2			$b_{i-1}$					$\bar{b}_{i-1}$			1
Cφ3									1	1	

表4 提案回路 スイッチ表

S	1	2	3	4	5	6	7	8	9	10	11	12
SA1	1	1				1	1		1	1		1
SA2	1					1	1				1	1
φ1		$\bar{b}_{i-1}$				1		$b_{i-1}$		1	1	
φ2		$b_{i-1}$	$b_{i-1}$	$b_{i-1}$				$\bar{b}_{i-1}$	$\bar{b}_{i-1}$			1
φ3						1				1	1	
SB1	1	1	1			1	1	1				1
SB2	1					1	1			1	1	
φ1		$\bar{b}_{i-1}$				1		$b_{i-1}$		1	1	
φ2		$b_{i-1}$	$b_{i-1}$	$b_{i-1}$				$\bar{b}_{i-1}$	$\bar{b}_{i-1}$			1
φ3						1				1	1	

ることで処理時間が増加するという欠点を有する。

#### 4. 誤差解析

##### 4.1 循環型 ADC における容量比不整合

循環型 ADC のアルゴリズムを解くと次式になる。

$$Vt = (b_0 - 1)Vr + \sum_{i=1}^n b_i 2^{-i} Vr$$

容量比不整合の影響を与えたアルゴリズムを容量比不整合  $\epsilon$  を用いて記述する。

図1の回路における容量不整合誤差は、文献[1]より

$$Vt = (b_0 - 1)Vr + \sum_{i=1}^n b_i (2 + \epsilon)^{-i} Vr$$

と与えられている。

ここで、容量比不整合  $\epsilon$  は

$$\epsilon = \frac{C_A - C_B}{C_A + C_B}$$

とする。一方、図2の容量比不整合は

$$Vt = (b_0 - 1)Vr + \frac{1 + \epsilon^2}{2} b_1 +$$

$$\sum_{i=1}^{n/2 \text{ or } n+1/2} (1 - \epsilon^2)^i b_{2i} 2^{-2i} Vr +$$

$$\sum_{i=1}^{n/2 \text{ or } n+1/2} (1 - \epsilon^4)(1 - \epsilon^2)^{i-1} b_{2i+1} 2^{-(2i+1)} Vr$$

として与えられる。

容量比不整合  $\epsilon = 1.1\%$ 、4ビット間隔で誤差をプロットしたグラフを図5に示す。ただし、図2の誤差が微小となるため、横軸 1LSB とし図1は 1LSB=5ビット、図2は 1LSB=13ビットとする。これより図1では(F)<sub>H</sub>、図2では、(8)<sub>H</sub>が誤差が最大となることが分かる

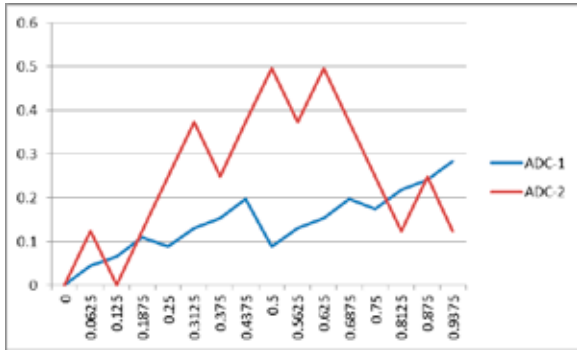


図5 循環型 ADC における容量比不整合誤差

前述式において、誤差最大となる点に関して分解能  $n$  に関する式へ変形を行う。図 1 では、 $(FF)_H$  より、すべてのビットが 1 の時誤差が最大であるので、

$$\Delta V_t = \sum_{i=1}^n (2^{-i+1} - (2 + \epsilon)^{-i+1}) < \frac{1}{2^{n+1}}$$

を満たす必要がある。よって、

$$2^{n+1} - n < 2 + \frac{1}{\epsilon}$$

が得られる。

図 2 では、 $(80)_H$  である。 $b_1=1$  かつ、 $b_2 \sim b_n=0$  のとき、誤差が最大である。よって同様に変形すると

$$n < -6.644 \log_{10} \epsilon$$

が得られる。

### 4.2 逐次近似型 ADC における容量比不整合

逐次近似型の場合における容量不整合誤差について述べる。逐次近似型 A/D 変換器のアルゴリズムは行列を用いて次のように示される。

$$\begin{pmatrix} V_t(i+1) \\ V_r(i+1) \\ V_a(i+1) \end{pmatrix} = \begin{pmatrix} \frac{1}{2} & b_i & \bar{b}_i \\ \bar{b}_i & b_i & 0 \\ b_i & 0 & \bar{b}_i \end{pmatrix} \begin{pmatrix} V_t(i) \\ V_r(i) \\ V_a(i) \end{pmatrix}$$

図 4 における容量比不整合の影響を考慮すると次式に変形できる。

$$\begin{pmatrix} V_t(i+1) \\ V_r(i+1) \\ V_a(i+1) \end{pmatrix} = \begin{pmatrix} 1 \pm \epsilon & (1 \pm \epsilon)b_i & (1 \pm \epsilon)\bar{b}_i \\ \bar{b}_i & b_i & 0 \\ b_i & 0 & \bar{b}_i \end{pmatrix} \begin{pmatrix} V_t(i) \\ V_r(i) \\ V_a(i) \end{pmatrix}$$

$$\begin{pmatrix} V_t(0) \\ V_r(0) \\ V_a(0) \end{pmatrix} = \begin{pmatrix} (1 \pm \epsilon)V_r \\ V_r \\ 0 \end{pmatrix}$$

この式について、8 ビット間隔で誤差率を計算する。その時の誤差を図 6 に示す。ただし横軸は 1LSB とし、1LSB は 13 ビット、容量比不整合は 4.1 同様に 1.1% とす

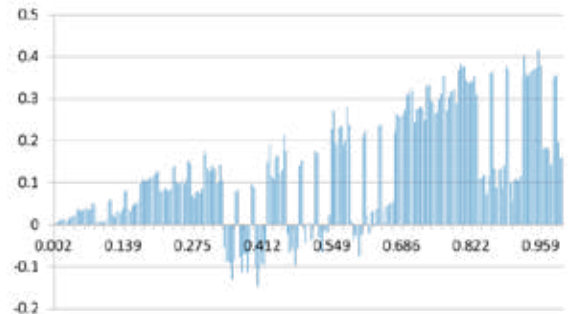


図6 図4における容量比不整合誤差

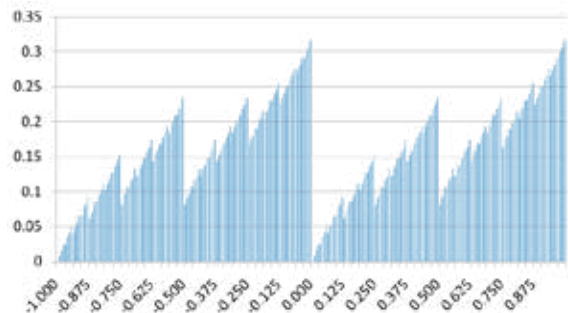


図7 図2における有限開放利得誤差

る。この時、誤差が最大となる点は、 $(F3)_H$  であり、1.1% 容量不整合下 13 ビット分解能を有することがわかる。

### 4.3 有限開放利得誤差

有限開放利得とは、オペアンプを非反転増幅器として用いる時に生じる誤差である。

図 2 では、変換アルゴリズム式を利得  $A$  を用いて次のように変形できる。

$$V_a = (b_0 - 1)V_r + \sum_{i=1}^n b_i 2^{-i} (1 - \frac{2}{A})^i V_r$$

この式において、8 ビット間隔で誤差を計算したものを図 7 に示す。なお、1LSB は 14 ビットである。図 7 より、誤差が最大となるビットは  $(FF)_H$  であり、その時上式を変形すると、

$$2^{n+2} < A$$

が得られ、利得 100[dB]時、分解能 14 ビットである。

図 4 では、次のように変形できる。

$$\begin{pmatrix} V_t(i+1) \\ V_r(i+1) \\ V_a(i+1) \end{pmatrix} = \begin{pmatrix} \frac{1}{2} & b_i \left(\frac{A}{A+1}\right) & \bar{b}_i \left(\frac{A}{A+1}\right) \\ \bar{b}_i \left(\frac{A}{A+1}\right) & b_i & 0 \\ b_i \left(\frac{A}{A+1}\right) & 0 & \bar{b}_i \end{pmatrix} \begin{pmatrix} V_t(i) \\ V_r(i) \\ V_a(i) \end{pmatrix}$$

この式において、8 ビット間隔で誤差を計算したものを

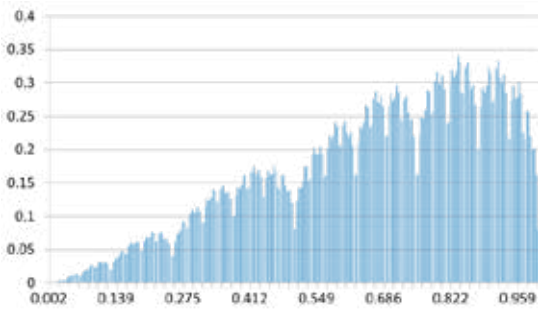


図 8 図 4 の有限開放利得誤差

図 8 に示す。なお、1LSB は 13 ビットである。図 8 より、誤差が最大となる点は(D5)H である。よって、100[dB]の時の分解能は 13 ビットである。

### 5. 研究結果

図 2、図 4 について、回路シミュレータ SIMetrix を用いてシミュレーションを行う。

設定値として、分圧に用いるキャパシタの値を容量不整合 1%となる  $C_A=9.95$  [pF]、 $C_B=10.05$  [pF] に固定し、容量比不整合の影響を受けない他のキャパシタを 10 [pF] とする。オペアンプは増幅率 100 [dB] の理想オペアンプとする。

入力値として、図 5 および図 6 の誤差が最大となるビットと予想される入力電圧を入力する。

#### 5.1 $V_a=666.666$ mV を図 2 で変換したとき

図 9 に図 2 へ  $V_a=666.666$  mV を入力するときの出力  $b_i$  を示す。図 9 中において、中央部の波形はオペアンプの出力波形であり、この波形の 0 [V] の大小比較によって  $b_i$  が決定され、左半分、右半分の 2 つの出力結果が得られ平均したものを出力ビットとして取り扱う。

図 9 より、(AA3E)<sub>H</sub>、(AB14)<sub>H</sub> が得られる。この結果を平均化すると、(AAA9)<sub>H</sub> が得られる。理想的なビットは (AAAA)<sub>H</sub> であるため、15 ビット目で誤りを生じていることが分かる。

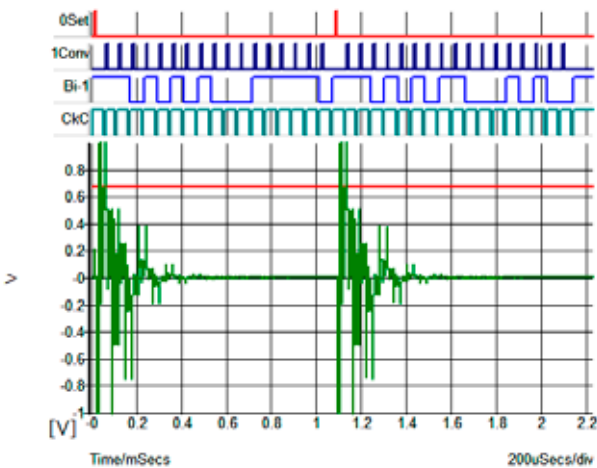


図 9 図 2 に 666.666mV を入力した時の波形

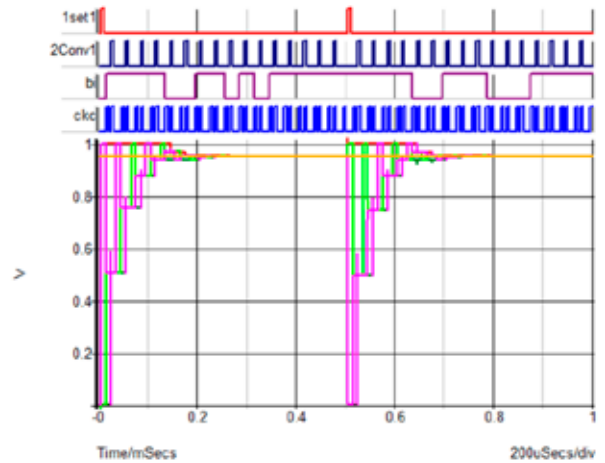


図 11 図 4 に 951mV を入力した時の出力波形

#### 5.2 $V_a=951$ mV を図 4 で変換したとき

4.2 より (F3)<sub>H</sub> に相当する  $V_a=951$  [mV] を図 4 に入力する。この時得られる波形を図 10 に示す。図中央部の波形は  $V_U(i)$ 、 $V_t(i)$ 、 $V_a(i)$  を示す。

図 10 より、(F35F)<sub>H</sub>、(F38F)<sub>H</sub> が得られる。この結果を平均化すると、(F377)<sub>H</sub> が得られる。理想的なビットは (F374)<sub>H</sub> であるため、15 ビット目で誤りを生じていることが分かる。

#### 5.3 他の値を変換したとき

同様に、 $V_a=250$  [mV]、333 [mV]、500 [mV]、750 [mV]、834 [mV] を図 2、図 4 へ入力した時に得られるビットを表 5 にまとめる。これより誤差が最大となる点は、図 2 では 500 [mV] の時、図 4 では 834 [mV] の時誤差が最大となり、分解能は図 2 で 9 ビット、図 4 で 12 ビットと評価できる。

### 6. 結論

今回提案した容量不整合 1% の A/D 変換器では図 2 では 9 ビット、図 4 では 12 ビットの分解能を有していることが分かった。図 3 は同等条件で 9 ビット<sup>[2]</sup>であったため、容量比不整合の影響は低減できたことが分かる。

表 5 図 2、図 4 の変換結果と誤差ビット

入力値	理想値	循環型回路		逐次近似型回路	
		出力結果	ビット数	出力結果	ビット数
250 [mV]	(4000) <sub>H</sub>	(4051) <sub>H</sub>	10	(3FFF) <sub>H</sub>	16
333 [mV]	(5555) <sub>H</sub>	(5559) <sub>H</sub>	15	(5558) <sub>H</sub>	14
500 [mV]	(8000) <sub>H</sub>	(7F5D) <sub>H</sub>	9	(8007) <sub>H</sub>	14
666 [mV]	(AAAA) <sub>H</sub>	(AAA9) <sub>H</sub>	16	(AAAE) <sub>H</sub>	13
750 [mV]	(C000) <sub>H</sub>	(C029) <sub>H</sub>	13	(C002) <sub>H</sub>	15
834 [mV]	(D581) <sub>H</sub>	(D580) <sub>H</sub>	16	(D586) <sub>H</sub>	13
951 [mV]	(F374) <sub>H</sub>	(F373) <sub>H</sub>	16	(F377) <sub>H</sub>	15

また、図2と図4を比較したとき、逐次近似型ADCである図4の回路のほうが精度がよいことが分かる。

しかしながら、処理時間が大幅に増加した問題点が現われた。図1の場合16ビット変換で850[us]の処理時間であったのに対し、図2では2[ms]の処理時間がかかっている。同様に図3の場合510[us]の処理時間であったのに対し、図4の場合、1[ms]の処理時間がかかっているという問題点がある。

また、図4は、負の入力電圧に対応していないという問題点もある。図2では単純に大小で比較を行うため、負の基準電圧は不要のまま負入力に対応できる。しかし図4の場合 $V_L(0)=0$ としているため、それ以下の電圧の変換が行えない。 $V_L(0)=-V_L$ と定義するように動作を変更する必要がある。

今後の課題として、図4の負電圧変換に対応した回路の作成と処理時間の短縮が今後の課題として挙げられる。

## 参考文献

- [1] 渡辺健蔵・松本寛樹・藤原一伸著, スイッチドキャパシタ循環型データ変換器, 静岡大学電子工学研究所研究報告, p.105-p.114, 7月 1985
- [2] Watanabem Kenzo and Ogawa Satomi, “A Switched-Capacitor Successive-Approximation A/D Converter”, IEEE Transactions on Instrumentation and Measurement., p.p.847-853, Vol.42 ,No.4 ,Aug 1993.