

上位ビットから変換する容量比に鈍感な SC 循環型 D/A 変換器

甲斐 康平^{a)}・松本 寛樹^{b)}

Capacitance Ratio-insensitive of Switched-Capacitor Algorithmic Digital-to-Analog Converter from Most Significant Bit

Kouhei KAI, Hiroki MATSUMOTO

Abstract

In this study, capacitance mismatch insensitive switched-capacitor algorithmic DAC from MSB is presented. Principle of operation is described and is also confirmed on SIMetris. This converter can operate exactly and thus is more accurate than previous converters.

Keywords: D/A Converter, Capacitance ratio

1. 序論

スイッチドキャパシタ(SC)回路は集積モノリシックフィルタやアナログ・デジタル変換器とデジタル・アナログ変換器を構成する際の基本となる回路構成要素である。このSC技術は、利点として高精度のフィルタを無調整でシリコンチップ上に実現でき、チップ面積と消費電力を他のアナログ回路に比べ大幅に低減できる。

SC回路を用いたD/A変換器ではキャパシタの容量比によって出力電圧に誤差が生じる。それは、容量比による誤差が、D/A変換時に含まれるためである。その容量比による出力誤差を低減するために従来回路が提案されている。この従来回路では、文献により C_1 と C_2 の容量比が 0.5% の時、分解能が7ビットの精度が得られている^[1]。

センサからの信号をA/D変換し、これをデジタル信号処理した後にD/A変換し、結果をアクチュエータに帰還するプロセスのように、高速変換を必要としない応用には、構成素子が少なくかつ高い変換精度が得られる循環型データ変換器が最適である。

このため本論文では上位ビットから変換する容量比を低減したSC循環型DA変換器を提案し、SIMetrixによるシミュレーションを行い、回路の動作の確認を行う。

2. D/A変換器の構造

2.1 D/A変換アルゴリズム

循環型D/A変換器はデジタル信号を1ビットづつ等価なアナログ電圧に変換する。MSBからデータを変換を

a)電気電子工学科学部生

b)電気電子工学科准教授

開始する場合は次式に示される演算を n 回繰り返すことによってアナログ電圧 V_a が得られる。

$$V(i) = V(i-1) + b_i 2^{-i} V_r \quad (1)$$

$$(i = 1, 2, \dots, n)$$

ただし、 $V(0)=0$ であり、 $V(n)=V_a$ となる。

上式より、データ変換器の入力と出力は次の式で関係づけられる。

$$V_a = \sum_{i=1}^n b_i 2^{-i} V_r \quad (2)$$

ここで、 V_a はアナログ電圧、 b_i はデジタル信号、 V_r は基準電圧である。

2.2 従来回路

従来回路を図1に示す。MODEを n 回繰り返す

2.3 キャパシタンス不整合

キャパシタ C_1 と C_2 の平均を C_u とおく。

$$\begin{cases} C_u = \frac{C_1 + C_2}{2} \\ \varepsilon = \frac{C_1 - C_2}{2C_u} \end{cases} \quad (3)$$

とすると、

$$C_1 = C_u(1 + \varepsilon) \quad (4)$$

$$C_2 = C_u(1 - \varepsilon) \quad (5)$$

$$\frac{C_1}{C_1 + C_2} = \frac{C_u(1 + \varepsilon)}{2C_u} = \frac{1 + \varepsilon}{2} \quad (6)$$

と表すことができる。

容量不整合がある場合、従来回路による n ビット D/A 変換は次式に示される誤差電圧が生じる

$$\Delta V_\varepsilon = \sum_{i=1}^n b_i [1 - (1 + \varepsilon)^{-i}] 2^{-i} V_r \quad (7)$$

文献より、この誤差電圧はすべてのビットが 1 の時に最大になることが判っているので、 $b_i=1$ とすると

$$\begin{aligned} \Delta V_{\varepsilon|max} &= \sum_{i=1}^n [1 - (1 + \varepsilon)^{-i}] 2^{-i} V_r \\ &\cong \sum_{i=1}^n i \varepsilon 2^{-i} V_r \\ &= \varepsilon \sum_{i=1}^n i 2^{-i} V_r = \varepsilon \left[n \sum_{i=1}^n 2^{-i} V_r - \sum_{k=1}^{n-1} \sum_{i=k}^n 2^{-i} V_r \right] \\ &= \left[n \varepsilon \frac{1}{2} \left(1 - \frac{1}{2^n} \right) - \varepsilon \sum_{k=1}^{n-1} \frac{1}{2} \left(1 - \frac{1}{2^k} \right) \right] V_r \\ &= \left[n \varepsilon (1 - 2^{-n}) + \varepsilon \sum_{k=1}^{n-1} \left(1 - \frac{1}{2^k} \right) \right] V_r \\ &= \left[n \varepsilon (1 - 2^{-n}) + (n-1) \varepsilon - \frac{1}{2} \left(1 - \frac{1}{2^{n-1}} \right) \varepsilon \right] V_r \\ &= [n \varepsilon (1 - 2^{-n}) + (n-1) \varepsilon - (1 - 2^{-n+1}) \varepsilon] V_r \\ &= \varepsilon (2n - 2 + 2^{-n}) V_r \\ &\cong 2(n-1) \varepsilon V_r < \frac{1}{2^n} V_r \end{aligned} \quad (8)$$

となり、従来回路は 7bit の分解能を持つことが判る。

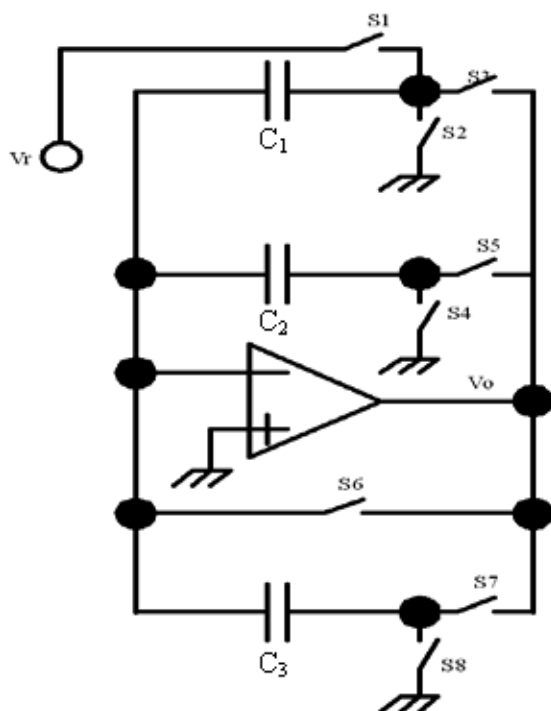


図 1. 従来回路

3. 上位ビットから変換する容量比に鈍感な SC 循環型 D/A 変換器

3.1 提案回路

今回提案する回路を図 2 に示す。スイッチの制御は表 1 に示すスイッチ表を用いる。

表 1. 提案回路のスイッチ表

MODE	CLOCK	S1	S2	S3	S4	S5	S6	S7	S8	S9
RESET	R1	1	0	0	0	1	0	1	0	1
CONV	$\phi 1$	0	0	1	0	0	1	0	0	0
	$\phi 2$	0	0	0	0	1	0	* b_{2i-1}	b_{2i-1}	0
	$\phi 3$	0	0	1	0	0	1	0	0	0
	$\phi 4$	0	1	0	0	0	0	* b_{2i}	b_{2i}	0
SET	R2	0	1	0	1	0	0	1	0	0
CONV	$\phi 1$	0	0	1	0	0	1	0	0	0
	$\phi 2$	0	1	0	0	0	0	* b_{2i-1}	b_{2i-1}	0
	$\phi 3$	0	0	1	0	0	1	0	0	0
	$\phi 4$	0	0	0	0	1	0	* b_{2i}	b_{2i}	0
COMPENS	O1	0	1	0	0	1	0	1	0	0
	O2	0	0	1	0	0	1	0	0	1

ここで図 3 に用いたクロック信号を示す。

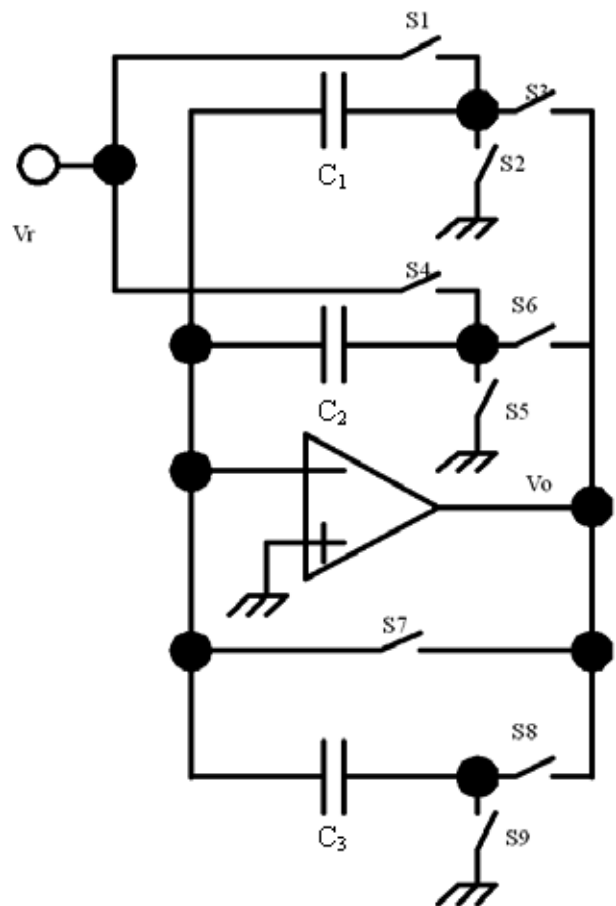


図 2. 上位ビットから変換する容量比に鈍感な SC 循環型 DA 変換器

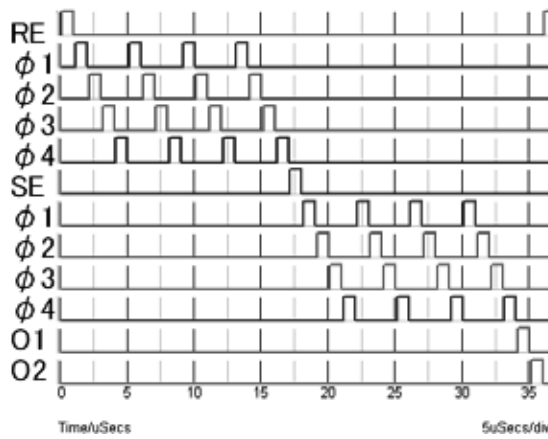


図3. クロック信号

3.2 動作原理

RE クロック時: C_1 に基準電圧 V_r を充電し、 C_2 と C_3 の電荷を放電する。

ϕ_1 クロック時: C_1 と C_2 が並列となり C_1 に充電されている V_r が分圧されて、それぞれの電荷は $2^{-(2i-1)}V_r$ となる。 C_3 の電荷は変化しない。

ϕ_2 クロック時: $b_{2i-1}=1$ のとき、 C_1 の電荷は保持され、 C_2 の電荷は C_3 に転送される。
 $b_{2i-1}=0$ のとき、 C_1 の電荷は保持され、 C_2 の電荷は C_3 に転送されずに放電を行う。(* b_{2i-1} は b_{2i-1} の否定である。)

ϕ_3 クロック時: C_1 に充電されている電荷を ϕ_1 クロック時と同様に C_1 と C_2 に分圧され、それぞれの電荷は $2^{-2i}V_r$ となる。 C_3 の電荷は変化しない。

ϕ_4 クロック時: $b_{2i}=1$ のとき、 C_2 の電荷は保持され、 C_1 の電荷は C_3 に転送される。
 $b_{2i}=0$ のとき、 C_2 の電荷は保持され、 C_1 の電荷は C_3 に転送されずに放電される。

$\phi_1 \sim \phi_4$ クロックを $n/2$ 回繰り返す。 n はビット数を示す。以降の SE クロック時 $\sim \phi_4$ クロック時も RE クロック時 $\sim \phi_4$ クロック時とほぼ同様な(ここで C_1 と C_2 の役割が入れ替わっている)動作を行う。

O_1 クロック時: C_1 充電されている電荷を C_3 に転送する。
 C_2 の電荷は、前クロック時に C_1 に電荷を転送しているため 0 であり、変化しない。

O_2 クロック時: C_3 に充電されてきている電荷を C_1 と C_2 に分圧する。

4. 実験結果

本実験では理想的なオペアンプ(ビヘイビア・モデル)を用いて検証を行う。SPICE 回路シミュレータは

「SIMetrix/SIMPIS 6.10」を用いる。シミュレータにおけるスイッチモデルは、 $R_{on}=1[k\Omega]$ 、 $R_{off}=100[T\Omega]$ 、 $V_{on}=3[V]$ 、 $V_{off}=2[V]$ である。

容量比による誤差を検証するために、許容誤差を 0.5% とする。 $C_1=10[pf]$ 、 $C_2=9.9[pf]$ と設定した。ここで、基準電圧 $V_r=1[V]$ 、 $C_3=10[pf]$ とした。

8bit の入力信号 11111111(255/256) のときの出力波形を図 3 に示す。理論値は基準電圧 1[V] で 996.0938[mV] を出力する。シミュレーションによる測定結果は 996.086[mV] となり、誤差電圧は 7.75[uV] となった。

次に、入力信号 00000000 の時の誤差電圧を測定する。

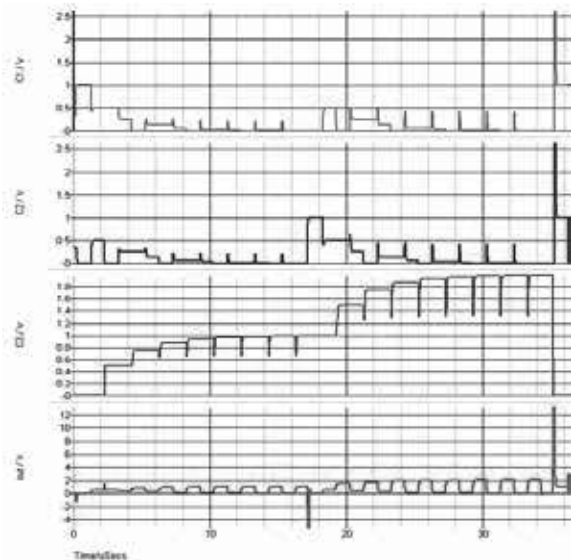
理論値は 0[V] である。測定結果は 0.76[nV] となり、誤差電圧は -0.76[nV] となった。

文献により、誤差電圧が一番大きいビットパターンを探し誤差電圧を測定した^[2]。その時の入力信号は 10101011(171/256) であり、理論値は 667.9688[mV] である。測定結果は 667.939[mV] となり、誤差電圧は 29.75[uV] となった。これらの結果を表 2 にまとめる。

表 2 提案回路の測定結果

入力信号	測定結果[mV]	理論値[mV]	誤差
11111111	996.086	996.0938	7.75[uV]
0	0.76[nV]	0	-0.76[nV]
10101011	667.939	667.96875	29.75[uV]

図3: 入力信号(11111111)時のシミュレーション結果



4.1 誤差電圧

今回の研究において誤差が最も大きく生じている入力信号について述べる。

測定結果については表 2 より入力信号 10101011 のとき誤差電圧が 29.7[uV] が得られた。

1LSB の精度よりこの誤差電圧は、 $V_r=1[V]$ より

$2^{-15}V_r=30.5[\mu V]$ よりも小さいので、15bit の分解能を持つことが判った。

5. 考察

従来回路は 7bit の分解能を持っているが、今回提案した回路では 15bit の分解能を持っており極めて高い精度を持つ D/A 変換器に改善することができた。従来回路と比較して提案回路は変換時間が約 2 倍かかるが精度が大幅に向上した。 C_1 に対して C_2 の容量を 0.5% 変化させたが上記より 15bit の分解能が得られたため容量比に鈍感な SC 循環型 D/A 変換器であることが確認された。

今回のシミュレーションで C_1 と C_2 の容量比を 0.5% と設定した。通常の素子でのキャパシタの許容誤差は 0.5% 程度に収まるので、15bit 程度の分解能を持っていると推定される。

参考文献

- 1) 渡辺健蔵・松本寛樹・藤原一伸著, スイッチドキャパシタ循環型データ変換器, 静岡大学工学研究報告, pp.105~114, 7月 1985
- 2) Poki Chen, Member, IEEE, and Ting-Chun Liu, "Switching Schemes for Reducing Capacitor Mismatch Sensitivity of QuaSi-Passive Cyclic DAC", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS— II :EXPRESS BRIEFS, pp.26~30, VOL.56, NO.1, JANUARY 2009.