

容量比に鈍感な SC 循環型 D/A 変換器

甲斐 康平^{a)}・松本 寛樹^{b)}

Capacitance Ratio Insensitive Switched-Capacitor Algorithmic D/A Converter

Kouhei KAI, Hiroki MATSUMOTO

Abstract

In this study, capacitance mismatch insensitive switched-capacitor algorithmic D/A Converter is presented. Principle of operation is described and is also confirmed on SIMetris. This converter can operate exactly and thus is more accurate than previous converters.

Keywords: D/A Converter, Switched-Capacitor, Capacitance ratio

1. 序論

スイッチドキャパシタ(SC)回路は集積モノリシックフィルタやアナログ・デジタル(A/D)変換器とデジタル・アナログ(D/A)変換器を構成する際の基本となる回路構成要素である。この SC 技術は、利点として高精度のフィルタを無調整でシリコンチップ上に実現でき、チップ面積と消費電力を他のアナログ回路に比べ低減できる。

センサからの信号を A/D 変換し、これをデジタル信号処理した後に D/A 変換し、結果をアクチュエータに帰還するプロセスのように、高速変換を必要としない応用には、構成素子が少なくかつ高い変換精度が得られる循環型データ変換器が最適である。

SC 回路を用いた D/A 変換器ではキャパシタの容量比によって出力電圧に誤差が生じる。容量比による誤差が、D/A 変換時に含まれるためである^[1]。

本論文では、文献[1]の回路をキャパシタの数を 1 つ、スイッチの数を 3 つ減らし、容量比を低減した SC 循環型 D/A 変換器を提案し、SIMetrix によるシミュレーションを行い、回路動作を確認し、分解能について評価した。

2. SC 循環型 D/A 変換器の基本構成

2.1 スイッチ・キャパシタ(SC) 回路

スイッチ・キャパシタ(SC)回路は、通常の回路で用いる抵抗やコイルといった素子を使用せず、MOS スイッチとキャパシタおよび演算増幅器または単利得増幅器から構成され、スイッチの周期的な開閉により電荷の充放電と転送を行って動作させる。また、SC 回路はアナログサ

ンプル値回路であるから、アナログ情報源とデジタル通信・処理装置とのインターフェース部や通信伝送路等に挿入され、フィルタや等化器にも用いられる。その他にも、スイッチを含んでいることから、D/A 変換や A/D 変換器、変調器、発振器を構成するのにも用いられる。

SC 回路の大きな特徴は、集積回路として実現した場合、他のアナログ回路に比べて、高精度でかつ安定な特性が実現できること、およびチップ面積と消費電力を低減できることである。MOS 集積回路は、情報を荷っている物理量が電荷であり、この電荷を比較的長い時間に渡って保持し、クロック制御により転送することが可能である。さらに、アナログ・デジタル混在回路の集積化にも適している。

2.2 D/A 変換

D/A 変換とは、デジタルからアナログに変換することである。これを実行する再生回路は、基本的にデジタルからアナログに変換する D/A 変換と、波形を整えるための再生フィルタと後置フィルタにより成り立っており、これらを含めて D/A 変換器という。

D/A 変換の過程は、符号化されたデジタル入力信号から再生回路を通してその入力に与えられた数値に見合うアナログ出力電流または電圧に変換していくことである。2 進数で表されるシステム内で、その最大の値を表す桁を最上位ビット(MSB)、最小の値を表す桁を最下位ビット(LSB)という。

入力信号は量子化された離散的な"0"と"1"からなる周期 T を持つデジタル信号で、自然 2 進コードによるパルス列である。次に、周期ごとにアナログのインパルス列へと変換(再生化)していき、振幅値は量子化により不連続である。その後、インパルス列を変換期間中、一定レベル

a)大学院電気電子工学専攻

b)工学部准教授

に保ってステップ・パルス列とする(ステップ・パルス化)。ここで、再生フィルタによってアナログによるインパルス列間の空間を満たし、アナログ出力を連続かつスムーズにする。出力信号は連続的なアナログ信号であり、アナログ波形を滑らかにするために、最後に後置フィルタを通すことによって出力される。

2.3 D/A 変換アルゴリズム

循環型 D/A 変換器はデジタル信号を上位から 1 ビットづつ等価なアナログ電圧に変換する。MSB からデータ変換を開始する行列は次式に示される。

$$\begin{pmatrix} V_r(i) \\ V_a(i) \end{pmatrix} = \begin{pmatrix} b_i + \frac{1}{2}\bar{b}_i & \frac{1}{2}\bar{b}_i \\ \frac{1}{2}b_i & \bar{b}_i + \frac{1}{2}b_i \end{pmatrix} \begin{pmatrix} V_r(i-1) \\ V_a(i-1) \end{pmatrix} \quad (1)$$

ここで、 $V_r(0)=V_r$ 、 $V_a(0)=0$ である。

上式を n 回繰り返すことにより、n ビット D/A 変換器の出力が次式で表される。

$$V_a(n) = \sum_{i=1}^n b_i 2^{-i} V_r \quad (2)$$

ここで、 V_r は基準電圧、 V_a はアナログ出力電圧、 b_i は入力信号である。

2.4 容量不整合

分圧器を構成する 2 つのキャパシタが互いに容量の値が等しければ、基準電圧を理想的に 2 分の 1 にできる。しかし、工程上、温度変化、劣化等により、2 つのキャパシタの容量の値がずれてしまっている。その容量不整合により出力電圧に誤差が生じてしまう。

2 つのコンデンサを C_1 と C_2 として、その平均容量を C_u とすると

$$C_u = \frac{C_1 + C_2}{2} \quad (3)$$

となる。 C_1 と C_2 間の容量不整合 ε を式(3)に定義する。

$$\varepsilon = \frac{C_1 - C_2}{C_u} \quad (4)$$

式(3),(4)より

$$\begin{cases} C_1 = C_u \left(1 + \frac{\varepsilon}{2}\right) \\ C_2 = C_u \left(1 - \frac{\varepsilon}{2}\right) \end{cases} \quad (5)$$

が得られる。

3. 提案回路

3.1 SC 循環型 D/A 変換回路

提案する 1 つ目の回路を図 1 に示す。またこの回路に用いる、クロックパルスを図 2 に、スイッチ表を表 1 に示す。

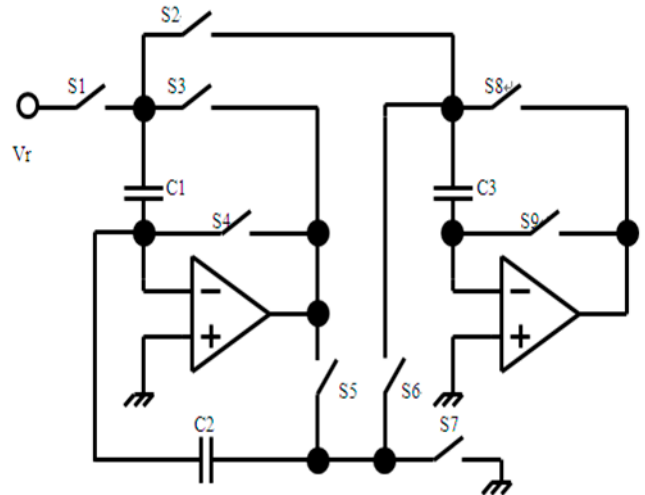


図 1 SC 循環型 D/A 変換回路

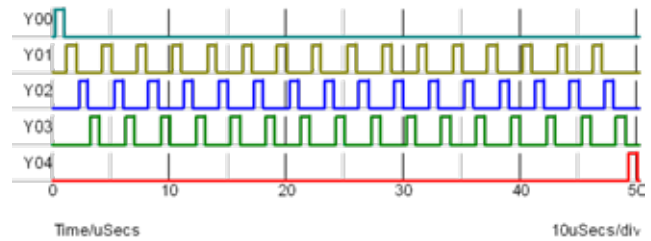


図 2 クロックパルス

表 1 スイッチ表

S	1	2	3	4	5	6	7	8	9
R	1	0	0	1	0	1	1	0	1
$\phi 1$	0	b_i	\bar{b}_i	0	\bar{b}_i	b_i	0	0	1
$\phi 2$	0	0	1	0	1	0	0	1	0
$\phi 3$	0	b_i	0	1	0	\bar{b}_i	0	1	0
Out	0	0	0	0	1	0	0	1	0

3.2 回路動作

動作は以下のとおりである。

R クロック : C_1 に基準電圧 V_r を充電し、 C_2 と C_3 の電荷を放電する。

$\phi 1$ クロック : $b_i=1$ ならば C_1 の電圧で C_3 を充電し、 $b_i=0$ ならば C_2 の電圧で C_3 を充電する。

$\phi 2$ クロック : C_1 と C_2 は並列接続となり分圧する。 C_3 の電荷は変化しない。

$\phi 3$ クロック : $b_i=1$ ならば C_3 の電圧で C_1 を充電し、 $b_i=0$ ならば C_3 の電圧で C_2 を充電する。

この $\phi 1 \sim \phi 3$ クロックを n 回繰り返す。

Out クロック : このクロックで C_2 上の電圧が出力となる。

3.3 容量比不整合を含む SC 循環型 D/A 変換アルゴリズム

SC 循環型 D/A 変換器において n ビット変換を行う場合、基準電圧を V_r 、出力電圧を V_a 、入力ビットを b_i 、容量不整合を ϵ とすれば、式(6)の D/A 変換アルゴリズムの行列が得られる。ここで $V_r(0)=V_r$ 、 $V_a(0)=0$ とする。

$$\begin{pmatrix} V_r(i) \\ V_a(i) \end{pmatrix} = \begin{pmatrix} b_i + \bar{b}_i \frac{1+\epsilon/2}{2} & \bar{b}_i \frac{1-\epsilon/2}{2} \\ b_i \frac{1+\epsilon/2}{2} & \bar{b}_i + b_i \frac{1-\epsilon/2}{2} \end{pmatrix} \begin{pmatrix} V_r(i-1) \\ V_a(i-1) \end{pmatrix} \quad (6)$$

3.4 容量比不感 SC 循環型 D/A 変換回路

提案する 2 つ目の回路を図 3 に示す。クロックパルスを図 4 に、スイッチ表を表 2 に示す。

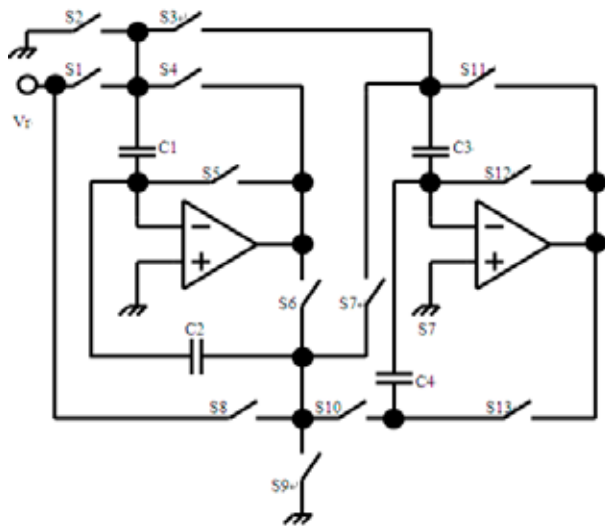


図 3 容量比不感 SC 循環型 D/A 変換回路

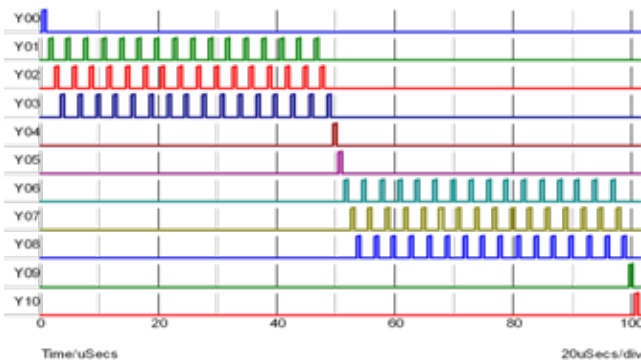


図 4 クロックパルス

表 2 スイッチ表

S	1	2	3	4	5	6	7	8	9	10	11	12	13
SA	1	0	0	0	1	0	1	0	1	1	0	1	0
$\phi 1$	0	0	b_i	\bar{b}_i	0	\bar{b}_i	b_i	0	0	0	0	1	0
$\phi 2$	0	0	0	1	0	1	0	0	0	0	1	0	0
$\phi 3$	0	0	b_i	0	1	0	\bar{b}_i	0	0	0	1	0	0
OA	0	0	0	0	0	1	0	0	0	1	0	1	0
SB	0	1	1	0	1	0	0	1	0	0	0	1	0
$\phi 1$	0	0	\bar{b}_i	b_i	0	b_i	\bar{b}_i	0	0	0	0	1	0
$\phi 2$	0	0	0	1	0	1	0	0	0	0	1	0	0
$\phi 3$	0	0	\bar{b}_i	0	1	0	b_i	0	0	0	1	0	0
OB1	0	0	0	0	1	0	0	0	0	1	0	0	1
OB2	0	0	0	1	0	1	0	0	0	0	1	0	1

3.5 回路動作

容量比不感 SC 循環型 D/A 変換器の動作流れは以下のとおりである。

SA クロック : C_1 に基準電圧 V_r を充電し、 C_2 と C_3 と C_4 の電荷を放電する。

$\phi 1$ クロック : $b_i=1$ ならば C_1 の電圧で C_3 を充電し、 $b_i=0$ ならば C_2 の電圧で C_3 を充電する。

$\phi 2$ クロック : C_1 と C_2 は並列接続となり分圧する。 C_3 は変化しない。

$\phi 3$ クロック : $b_i=1$ ならば C_3 の電圧で C_1 を充電し、 $b_i=0$ ならば C_3 の電圧で C_2 を充電する。

このサイクルを n 回繰り返す。又、ここまでの変換動作は前述の提案回路 1 と同様である。

OA クロック : C_2 の電圧 (D/A 変換 1 回目の出力結果) で C_4 を充電する。

以降 SB クロック~ $\phi 3$ クロックの動作は、 C_1 と C_2 の役割を入れ替えて、上記の SA クロック~ $\phi 3$ クロック時と同様の動作を行う。

OB1 クロック : C_4 の電圧 (D/A 変換 1 回目の出力結果) で C_2 を充電する。このとき C_1 には D/A 変換 2 回目の出力結果が充電されている。

OB2 クロック : C_1 と C_2 は並列接続となり分圧することにより、D/A 変換 1 回目と 2 回目の結果を平均している。それにより容量不整合を補償している。

3.6 容量不感 SC 循環型 D/A 変換アルゴリズム

容量不感 SC 循環型 D/A 変換器において n ビットの変換を行う場合、基準電圧を V_r 、出力電圧を V_a 、入力ビットを b_i 、容量不整合を ϵ とすれば、式(7)の D/A 変換アルゴリズムの行列が得られる。

$$\begin{pmatrix} V_r(i) \\ V_a(i) \end{pmatrix} = \begin{pmatrix} b_i + \bar{b}_i \frac{1+\epsilon/2}{2} & \bar{b}_i \frac{1-\epsilon/2}{2} \\ b_i \frac{1+\epsilon/2}{2} & \bar{b}_i + b_i \frac{1-\epsilon/2}{2} \end{pmatrix} \begin{pmatrix} V_r(i-1) \\ V_a(i-1) \end{pmatrix} \quad (7)$$

上式は、前述した SC 循環型 D/A 変換器のアルゴリズム (6) とほぼ同様の行列になる。ただし、変換 1 回目と 2 回目で C_1 と C_2 で役割を入れ替えているので、式中の ϵ の符号が変化する。

4. 容量不整合における誤差解析

この章では、提案する 2 つの D/A 変換回路を容量不整合について誤差解析を行う。

4.1 SC 循環型 D/A 変換回路の積分非直線性誤差

SC 循環型 D/A 変換回路の容量不整合を含む出力電圧は式(6)を解くことにより求めることができる。それにより積分非直線性誤差を下図に示すことができる。ここで、 ϵ は 1% に設定している。

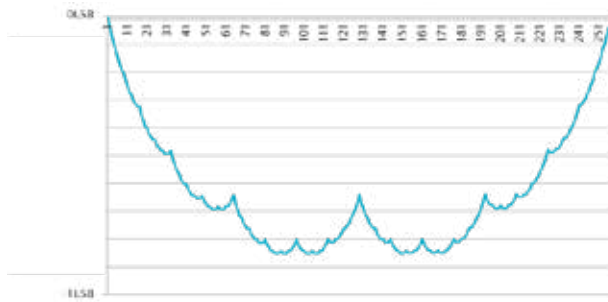


図5 SC 循環型 D/A 変換回路の積分非直線性誤差

図5の横軸は8ビット分の入力パターン(10進数表示)、縦軸は積分非直線性誤差(1LSB: 8ビット)を示す。誤差電圧が最大となったビットパターン計算上は $b_1(01010101)_2$ である。

4.2 SC 循環型 D/A 変換回路の微分非直線性誤差

同様に、式(7)を解くことで、SC 循環型 D/A 変換回路の微分非直線性誤差を下図に示すことができる。

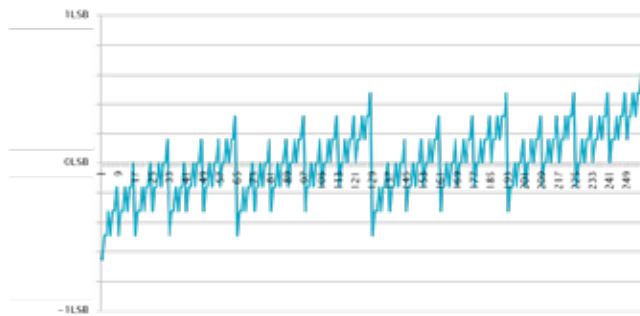


図6 SC 循環型 D/A 変換回路の微分非直線性誤差

図6の横軸は8ビット分の入力パターン(10進数表示)、縦軸は微分非直線性誤差(1LSB: 12ビット)を示す。

図5,図6より、積分非直線性誤差が1LSB:8ビットなのに対して微分非直線性誤差は1LSB:12ビットなので、8ビットの精度で単調増加していることが確認できる。

4.3 容量不感 SC 循環型回路の積分非直線性誤差

容量不整合循環型 D/A 変換回路の容量不整合を含む出力電圧は式(7)を用いることで求めることができる。それにより積分非直線性誤差を下図に示すことができる。

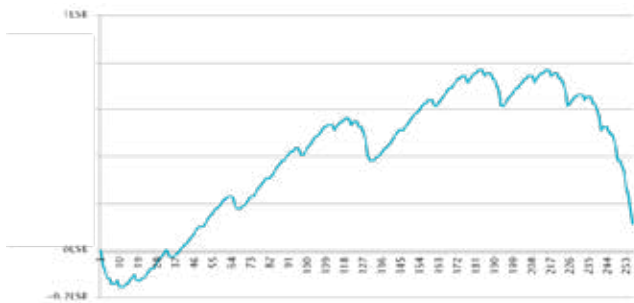


図7 容量不感 SC 循環型回路の積分非直線性誤差

図7の横軸は8ビット分の入力パターン(10進数表示)、縦軸は積分非直線性誤差(1LSB: 15ビット)を示す。誤差電圧が最大となったビットパターン計算上は $b_1(11010111)_2$ である。

4.4 容量不感 SC 循環型回路の微分非直線性誤差

同様に、式(7)を用いることで、SC 循環型 D/A 変換回路の微分非直線性誤差を下図に示すことができる。



図8 容量不感 SC 循環型回路の微分非直線性誤差

図8の横軸は8ビット分の入力パターン(10進数表示)、縦軸は微分非直線性誤差(1LSB: 18ビット)を示す。

図7,図8より、積分非直線性誤差が1LSB:15ビットなのに対して微分非直線性誤差は1LSB:18ビットなので、15ビットの精度で単調増加していることが確認できる。

5. シミュレーション結果

提案する2つの D/A 変換回路を、シミュレーションソフト SIMetrix を用いて、シミュレーションを行う。

5.1 素子パラメーター

SIMetrix における素子パラメーターを表3にまとめる。

表2 素子パラメーター

基準電圧 V_T	1V
C_1	10.05pF
C_2	9.95pF
C_3, C_4	10pF
オペアンプの利得	100dB
スイッチ	オン抵抗1kΩ・オフ抵抗100Ω

容量不整合の影響を検討するため、分圧器を構成する C_1 と C_2 の容量の値を1%ずらし、理想スイッチを用いる。

5.2 SC 循環型回路のシミュレーション波形

SC 循環型 D/A 変換回路で入力ビット(01010101010101)₂のシミュレーション波形を下図に示す。

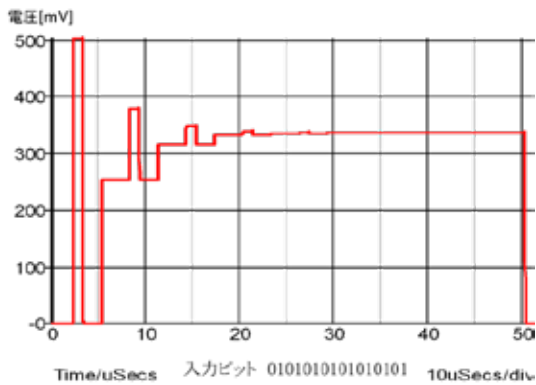


図9 SC 循環型 D/A 変換回路のシミュレーション波形

5.3 容量不感 SC 循環型回路シミュレーション波形

容量不感 SC 循環型 D/A 変換回路で入力ビット (01010101010101)₂ のシミュレーション波形を下図に示す。

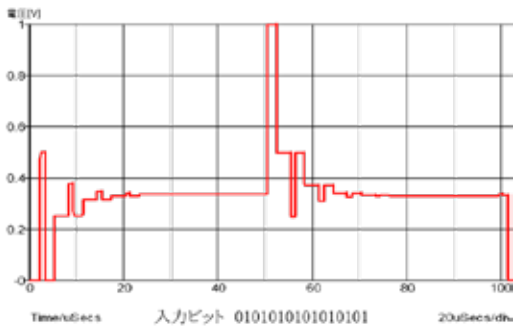


図9 容量不感 SC 循環型回路のシミュレーション波形

6. 分解能

それぞれのシミュレーション結果を分解能も検討し、表 4,5 にまとめる。

入力	理論値[V]	出力値[V]	誤差[mV]	ビット
1010101010101010	0.666656	0.669985	-3.329	8
1000000000000000	0.5	0.502501	-2.051	8
0111111111111111	0.499985	0.502465	-2.48	8
0101010101010101	0.333328	0.336665	-3.337	8

表 4 SC 循環型 D/A 変換回路の特性

入力	理論値[V]	出力値[V]	誤差[μV]	ビット
1010101000000000	0.666656	0.666663	-6.505	17
1000000000000000	0.5	0.499971	28.788	15
0111111111111111	0.499985	0.500000	-15.524	15
0101010101010101	0.333328	0.333979	-651.443	10

表 5 容量不感 SC 循環型 D/A 変換回路の特性

7. 序論

今回、2つの SC 循環型 D/A 変換回路を提案した。それぞれ回路を回路シミュレータ—SIMerix を用いシミュレーションを行い、容量不整合の影響について解析を行った。

容量不整合により制限される分解能は、図 5,7 より、計算上 SC 循環型 D/A 変換回路では 8 ビットであり容量比不感 SC 循環型 D/A 変換回路では 15 ビットとなる。それに対し、シミュレーションを行った結果、SC 循環型 D/A 変換回路では 8 ビット、容量比不感 SC 循環型 D/A 変換回路では 13 ビットの分解能が得られた。

SC 循環型 D/A 変換回路は、今回 1 クロックあたり 1μs のパルスを用いているため、16 ビット変換の変換時間は 50μs である。また、容量比不感 SC 循環型 D/A 変換回路の変換時間は、変換を 2 回行い補償しているため、約 2 倍の 101μs である。

8. 参考文献

- 1) Satomi Ogawa, Student Member, IEEE, and Kenzo Watanabe, “A Switched-Capacitor Successive-Approximation A/D Converter”, IEEE Transactions on Instrumentation and Measurement, pp. 847-853, Vol. 42, No. 4, Aug. 1993
- 2) 渡辺健蔵・松本寛樹・藤原一伸著, スイッチドキャパシタ循環型データ変換器, 静岡大学電子工学科研究報告, pp. 105~114, 7 月 1985
- 3) Poki Chen, Member, IEEE, and Ting-Chun Liu, “Switching Schemes for Reducing Capacitor Mismatch Sensitivity of QuaSi-Passive Cyclic DAC”, IEEE Transaction on Circuits and Systems—II :EXPRESS BRIEFS, pp. 26-30, Vol. 56, No. 1, Jan. 2009
- 4) 武部幹・岩田穆・国枝博昭・高橋宣明 著, “スイッチトキャパシタ回路”, 現代工学社 (1984)
- 5) Watanabe Kenzo, Temes Gabor, Tagami Tomohisa, “A New Algorithm for Cyclic and Pipeline Data Conversion”, IEEE Transaction on Circuits and Systems, pp. 249-252, vol. 37, No. 2, Feb. 1990