

下位ビットから変換する容量比に鈍感な SC 循環型 D/A 変換器

黒木 隆平^{a)}・松本 寛樹^{b)}

Capacitance Ratio-insensitive SC Cyclic D/A Converter from Least Significant Bit

Ryuhei KUROGI, Hiroki MATSUMOTO

Abstract

In this paper, we propose a switched-capacitor (SC) cyclic digital-to-analog converter (DAC), insensitively to capacitance mismatch. The DAC converts from least significant bit (LSB). Operation is evaluated on SIMetrix. On this simulation, 12 bits accuracy has been obtained.

Keywords: Swiched-capacitor, Insensible to a capacity ratio, DAC, LSB

1. 序論

アナログの応用として紀元前からの日時計などがある。近年になってからは 1876 年グラハム・ベルが電話を発明、続いて 1877 年エジソンが円筒式蓄音機を発明し世界へ普及していった。デジタルの応用はアテネのカラクリ（小石）を並べて計算するソロバンに似た「アバカス」、1642 年パスカルの考えた手動式計算機が有名である。本格的な応用としては、1946 年真空管 18,000 本による「エアニック」電子計算機がペンシルベニア大学で誕生した。その後、1948 年ショックレーによるトランジスタ、1958 年キルビーの IC によってデジタル技術はあらゆる分野に急速に普及していった。

アナログは単位時間当たり多量の情報を大雑把に高速処理できるが、欠点として回路が複雑で温度等により相似関係が不正確で精度を期待することは無理である。一方、デジタルは“0”と“1”の2値からなる不連続な電気信号の組み合わせにより処理していくことで、精度は極めて高く高品位伝送に向き、S/N 比が優れている¹⁾。このようなアナログ量のデジタル信号化には安定した信号の記録・再生・伝送ができる、信号処理が容易、LSI 化・IC 化が容易、省電力といった利点がある²⁾。そこでデジタル化の恩恵を享受するために信号処理後のデジタル量を私たちが認識できるアナログ量に変換する過程が必要となる。デジタル(Digital)とアナログ(Analog)

相互の信号変換の必要性と役割は大きく低価格かつ高い信頼性を持つ A/D、D/A 変換器が必要とされている。

モノリシック IC の形でデジタルからアナログへの変換(D/A 変換)アルゴリズムを実装する上でスイッチトキャパシタ(Switched Capacitor : SC)技術は MOS 技術との適合性もよく非常に実用的である。これまでのところそのような回路はすでに提案されており、演算増幅器のオフセット電圧と寄生容量の両方に不感、単位容量を用いることで静電容量の不均衡による誤差を最小化するという特徴を持つ。また、極めて少ない素子数で構成された回路も提案されており、安価で高精度のデータ変換器といった特徴を持つ。なお、SC 循環型 DA 変換器において容量比によって出力電圧に誤差が生じる。それは容量比による誤差が D/A 変換時に含まれているためであり、その容量比による出力電圧の誤差を低減するために従来回路が提案されている。この従来回路では、 C_1 と C_2 の容量比が 1% の時、分解能が 10 ビットの精度が得られている^{3),4),5)}。

本研究では、従来回路の改良を行い、キャパシタの影響による誤差を最小限に抑えた回路を考え、動作を検討する。

2. D/A 変換器の構造

この章では D/A 変換やキャパシタンス不整合時の誤差解析を行う。

a) 電気電子工学科学部生

b) 電気電子工学科准教授

2.1 D/A 変換アルゴリズム

D/A コンバータの出力電圧 V_a は式(2)で与えられる。

$$V_a = \sum_{i=1}^n 2^{-i} b_i V_r \quad (1)$$

V_r は基準電圧、 b_1 と b_n は二進数の最上位ビット (MSB) および最下位ビット (LSB) である。下位ビットから変換する場合、出力電圧 V_a は式(3)のシーケンスを繰り返すことによって得られる。

$V(0) = 0$ 、

$$V(i) = \frac{V(i-1) + b_{n+1-i} V_r}{2} \quad (2)$$

$V(n) = V_a$ となる。

2.2 キャパシタンス不整合時の変換アルゴリズム

キャパシタ C_1 と C_2 との間に

$$\varepsilon = \frac{C_1 - C_2}{C_1 + C_2} \quad (3)$$

の不整合がある場合、

$$Cu = (C_1 + C_2)/2$$

とすると、式(3)は

$$\varepsilon = (C_1 - C_2)/2Cu$$

となり、

$$\begin{cases} C_1 = Cu(1 + \varepsilon) \\ C_2 = Cu(1 - \varepsilon) \end{cases} \quad (4)$$

が得られる。得られた式(4)から式(2)は

$$V(i) = \frac{(1 + \varepsilon)V(i-1) + (1 - \varepsilon)b_{n+1-i}V_r}{2} \quad (5)$$

この演算を n 回繰り返して得られるアナログ電圧 V_a は

$$V_a' = \sum_{i=1}^n b_i \frac{(1 - \varepsilon)}{2} \left(\frac{1 + \varepsilon}{2}\right)^{i-1} V_r \quad (6)$$

となり、理想的な回路条件の下で得られる電圧 V_a との誤差 $\Delta V_{\varepsilon 1}$ は

$$\Delta V_{\varepsilon 1} = \sum_{i=1}^n \frac{b_i}{2^i} [1 - (1 - \varepsilon)(1 + \varepsilon)^{i-1}] V_r \quad (7)$$

となる。

3 提案回路の動作原理

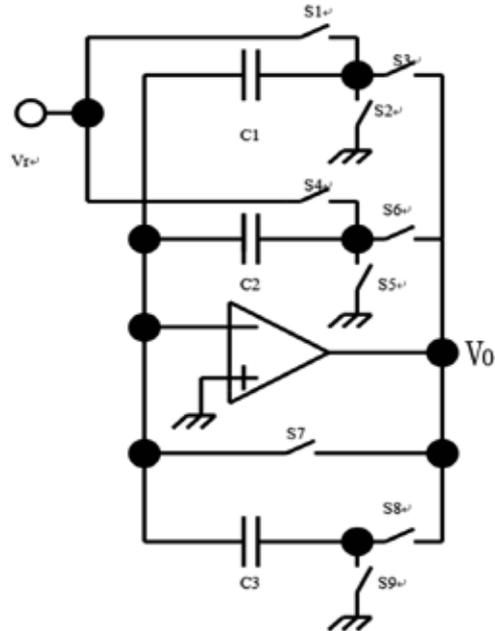


図1 下位ビットから変換する容量比に鈍感な SC 循環型 D/A 変換器

表1 スイッチ判定表

MODE	CLOCK	S1	S2	S3	S4	S5	S6	S7	S8	S9
RESET	R	0	1	0	0	1	0	1	0	1
CONV	$\phi 1$	b_{n+2-i}	$*b_{n+2-i}$	0	0	0	0	1	0	0
	$\phi 2$	0	0	1	0	0	1	0	0	0
	$\phi 3$	0	0	0	b_{n+1-i}	$*b_{n+1-i}$	0	1	0	0
	$\phi 4$	0	0	1	0	0	1	0	0	0
SET	SE	0	1	0	0	0	0	0	1	0
CONV	$\phi 1$	0	0	0	b_{n+2-i}	$*b_{n+2-i}$	0	1	0	0
	$\phi 2$	0	0	1	0	0	1	0	0	0
	$\phi 3$	b_{n+1-i}	$*b_{n+1-i}$	0	0	0	0	1	0	0
	$\phi 4$	0	0	1	0	0	1	0	0	0
COMPENS	O1	0	1	0	0	0	0	1	0	0
	O2	0	0	1	0	0	1	0	0	1

リセットクロック時： C_1 、 C_2 、 C_3 の電荷をそれぞれ放電する。

$\phi 1$ クロック時： $b_{n+2-i} = 1$ の時、 C_1 が充電され、 $b_{n+2-i} = 0$ の時、 C_1 はアースにつながる。

$\phi 2$ クロック時： C_1 と C_2 が並列につながり、 C_2 に充電されている電荷 $V(2i-2)$ が分圧されて、それぞれ電荷が $V(2i-1)$ となる。

$\phi 3$ クロック時： $b_{n+1-i} = 1$ の時、 C_2 が充電され、 $b_{n+1-i} = 0$ の時、 C_2 はアースにつながる。

$\phi 4$ クロック時： C_1 と C_2 が並列につながり、 C_1 に充電さ

れている電荷 $V(2i-1)$ が分圧されて、それぞれ電荷が $V(2i)$ となる。

以降の、セットクロック時から ϕ_4 クロック時は、上記のリセットクロック時から ϕ_4 クロック時の C_1 と C_2 の役割を入れ替えた回路動作を行う。

また、 $*b_{n+2-i}$ は b_{n+2-i} の、 $*b_{n+1-i}$ は b_{n+1-i} の否定を表す。

O_1 クロック時 : C_1 に充電されている電荷を C_2 に転送する。

O_2 クロック時 : C_3 の電荷を C_1 に転送する。

4 実験と考察

4.1 提案回路の理論値と実験値

動作原理を確認するために、SIMetrix を用いてシミュレーションを行った。

シミュレーターにおけるスイッチモデルは、 $R_{on} = 1k\Omega$ 、 $R_{off} = 100T$ 、 $V_{on} = 3V$ 、 $V_{off} = 2V$ である。容量比による誤差を検証するために、許容誤差を 0.5% とする。そのため $C_1 = 9.9p$ 、 $C_2 = 10p$ 、 $C_3 = 10p$ とし、オペアンプはアナログビヘイビアを用い利得10⁶倍の理想オペアンプを制作した。

入力信号が 11111111(255/256)の時、理論値は基準電圧 5V で 4.98050V を出力する。実験値は 4.98046V を出力し、理論値との誤差は $40\mu V$ である。入力信号が 00000000(0/256)の時、理論値は基準電圧 5V で 0V を出力する。実験値は $-13.0826\mu V$ を出力し、理論値との誤差は $-13.0826\mu V$ である。

図 2 に、入力信号 10101010(84/128)の時の出力波形を示す。

また、文献[3]より、今回の提案回路での最大誤差が生じる入力信号は 10101010(84/128)の時、理論値は基準電圧 5V で 3.32031V を出力する。実験値は 3.31920V を出力し、理論値との誤差は $1100\mu V$ である。

表 2 に提案回路の各入力信号時の理論値と実験値を比較し、誤差をまとめたものを示す。

表 2 提案回路の理論値、測定値、誤差、分解能

入力信号	理論値(mV)	測定値(V)	誤差(μV)	分解能(bit)
11111111	4.98050	4.98046	40	16
00000000	0	$-13(\mu V)$	-13	28
10101010	3.32031	3.31920	1100	12

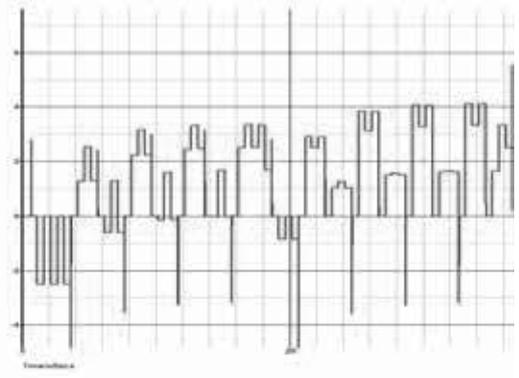


図 2 入力信号 10101010(84/128)の時の出力波形

4.2 提案回路と従来回路の精度比較

図 3 にキャパシタンス不整合時の従来回路を示す。キャパシタンス不整合時の従来回路は提案回路と違い、COVERTMODE を 1 回しか行わず変換動作を n 回繰り返す、n ビットの D/A 変換を完了する。文献 3)より、従来回路のキャパシタンス不整合時の最大誤差が生じる入力信号は 10000000(1/2)の時である。

$C_1 = 9.9p$ 、 $C_2 = 10p$ とし、式(3)より、 $\epsilon = 0.5$ が導出され、 $i = 1$ なので式(6)より、最大誤差 12.5mV が導出される。

表 2 より、提案回路の最大誤差が生じる入力信号は 10101010(84/128)の時であり、誤差は 1.1mV である。これらの値を比較すると、今回の提案回路は精度が良くなったことが得られる。

表 3 に提案回路と従来回路の最大誤差を比較したものを示す。

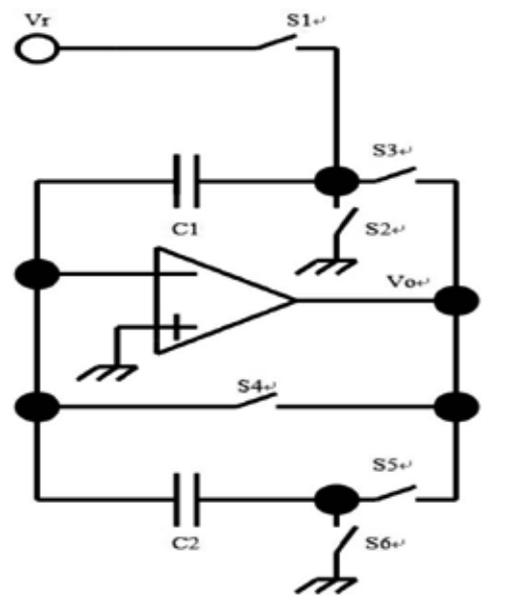


図 3 キャパシタンス不整合時の従来回路

表 3 提案回路と従来回路の最大誤差と分解能

	入力信号	誤差(mV)	分解能(bit)
提案回路	10101010	1.1	12
従来回路	10000000	12.5	8

5 結論

本論文では、下位ビットから変換する SC 循環型 D/A 変換器において容量が異なる2つのキャパシタを用いることでキャパシタの影響による誤差を最小限に抑えた回路を提案した。その結果、容量比誤差 0.5%において従来回路の最大誤差は 12.5mV であったのに対して、今回の提案回路の最大誤差は 1.1mV という結果になった。

したがって、従来回路の分解能は 8 ビット、提案回路の分解能は 12 ビットとなり、精度の向上が確かめられた。

また、提案回路は従来回路に比べて変換速度が約 2 倍となるが精度の向上は確かめられた。

参考文献

- 1) 相良 岩男: “AD/DA 変換回路入門”, 日刊工業新聞社, 1991.
- 2) 長谷川 弘: “アナ/デジ混在回路設計の勘どころ”, 日刊工業新聞社, 1998.
- 3) H. Matsumoto, and K. Watanabe: “Switched-Capacitor Algorithmic Digital-to-Analog Converters”, IEEE Transactions on Circuits and Systems, Vol. CAS-33, No. 7, pp. 721-724, 1986.
- 4) 渡辺 健蔵・松本 寛樹・藤原一伸: “スイッチドキャパシタ循環型データ変換器”, 静岡大学電子工学研究所研究報告, p.105-p.114, 7月 1985
- 5) Poki Chen, Ting-Chun Liu: “Switching Schemes for Reducing Capacitor Mismatch Sensitivity of Quasi-Passive Cyclic DAC”, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II EXPRESS BRIEFS, P26-P30, VOL.56.NO.1 January 2009