

下位ビットから変換する スイッチドボルテージ循環型D/A変換器

大野 憲司¹⁾・松本 寛樹²⁾・村尾 健次²⁾

A Low-Voltage Switched-Capacitor Digital-to-Analog Converter
Converted from Least Significant Bit

Kenji OHNO, Hiroki MATSUMOTO, Kenji MURAO

Abstract

In this paper, it is presented that a Low-Voltage Switched-Capacitor Digital-to-Analog Converter converted from low bit. The proposed circuit can operate using simple nonoverlapping three phase clocks. It consists of a switch, capacitor, MOSFET and op-amp. Circuit operation is evaluated by PSpice.

Keywords:

Switched-Capacitor, Unity-Gain-Reset, low voltage, Non-inverse Amplifier

1 まえがき

現在、電気・電子分野の技術は常に進化し続けており、部品の小型化、及び電子回路の集積化、処理能力の高速化が進んでいる。このような技術の発展は、様々な分野において、また私達の生活においても欠かせないものとなっている。中でも通信技術の発展には目覚ましいものがある。それはコンピュータによるインターネットの普及や、携帯電話などの小型端末機器の発達である。このような通信環境を通じて、人々の間では映像や画像、音声といった情報の交換が頻繁に行われるようになった。そのようなデータの輸送はデジタル信号によって行われており、大きなデータであっても効率よく正確に伝達することができる。しかし、自然界にある様々な情報や我々人間が認識できるのはアナログデータである。よって、アナログとデジタル間での変換技術が不可欠であり、今日の通信技術の発達において、アナログ-デジタル変換技術は重要な役割を果たしていると言える。

一般に音声や画像などのアナログデータを処理する時、入力されたアナログ信号をA/D変換器でデジタル信号に変換し、様々な処理を行い次にD/A変換器によって元のアナログ信号に再変換してアナログデータとして出力する。このような信号の流れが理想的なアナログ信号の処理の流れとなる。

このようにD/A変換器は離散的なデジタル信号を連続したアナログ信号に変換するものである。一度デジタル化されたアナログ信号を元の波形に復元するには精度の高いD/A変換器が求められる。

下位ビットから変換するCMOS-D/A変換器を改良したものを提案する。サンプルホールド回路には従来の回路の問題点であったクロックフィードスルーとチャネル長変調効果を考慮したスイッチドボルテージ遅延セルを使用し、分圧器にはCMOS電圧平均回路を用いる[1][2][3]。そして、今回提案した回路と昨年度の回路を比較検討し、問題点を提示する。

2 分圧器

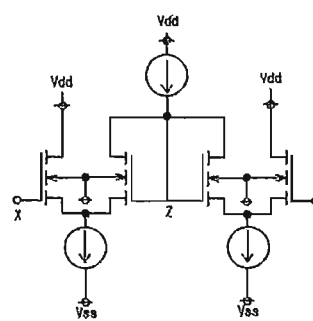


図1: CMOS電圧平均回路

本実験では、D/A変換器内の分圧器にCMOS電圧平均回路を使用する。分圧器は入力された2つの電圧

1) 宮崎大学大学院工学研究科システム工学専攻

2) 宮崎大学工学部

を平均した値を出力させるものである。

次に原理を説明する。まず、回路図から、4つのMOSFETに流れるドレイン電流をそれぞれ I_{D1} 、 I_{D2} 、 I_{D3} 、 I_{D4} とおき、点A,Bの電圧をそれぞれ V_A 、 V_B とおく。2つの入力電圧をX、Y、出力電圧をZとし、トランスコンダクタンス係数をKとすると、飽和領域では、

$$I_{D1} = K(X - V_A - V_T)^2 \tag{1}$$

$$I_{D2} = K(Z - V_A - V_T)^2 \tag{2}$$

$$I_{D3} = K(Z - V_B - V_T)^2 \tag{3}$$

$$I_{D4} = K(Y - V_B - V_T)^2 \tag{4}$$

と表される。次に、一番上の電流源は

$$J = I_{D2} + I_{D3} \tag{6}$$

2段目左側の電流源Jは

$$J = I_{D1} + I_{D2} \tag{7}$$

2段目右側の電流源Jは、

$$J = I_{D3} + I_{D4} \tag{8}$$

よって、これらより

$$I_{D1} = I_{D3}, I_{D2} = I_{D4} \tag{9}$$

それぞれ代入して、 V_A と V_B を消去すると、

$$Z = \frac{X + Y}{2} \tag{10}$$

という、式が求められる。この式の通り、出力電圧は2つの入力電圧の平均値である。注意点としては、

- 4つのトランジスタの特性、しきい電圧が同一であること。
- 電流源など素子の整合性
- 内側の2つのMOSFETはドレインとゲートがお互いに接続されているので、飽和領域からはずれることはないが、外側2つは飽和領域を考慮しなければならない。

ということがもとめられる。

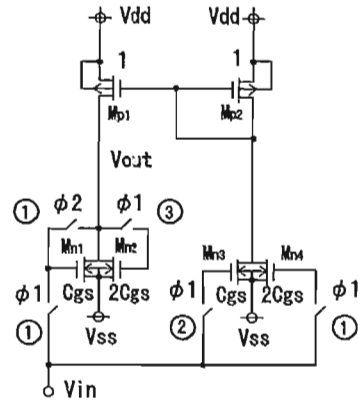


図 2: クロックフィードスルーとチャネル長変調効果補償 SV 遅延セル

3 サンプルホールド回路

3.1 回路構成

今回、サンプルホールド回路にはクロックフィードスルーとチャネル長変調効果補償スイッチドボルテージ遅延セルを用いる。回路は ϕ_1 のスイッチ4個、 ϕ_2 スイッチ1個、nチャネルMOSFET4個、pチャネルMOSFET2個から構成され、 ϕ_1 、 ϕ_2 は互いに重なり合わない2相クロックで動作している。また、MOSFETのしきい電圧、トランスコンダクタンス係数はそれぞれ全て等しく、 M_{p1} と M_{p2} のW/L比は1:1。 M_{n1} と M_{n3} のW/L比と M_{n2} と M_{n4} のW/L比はそれぞれ1:2である。～はスイッチのW/L比の大きさである。

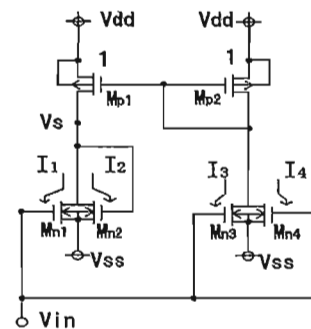


図 3: $\Phi 1$ 相での遅延セル回路

3.2 回路動作

まず、 ϕ_1 相では

$$I_1 = K(V_H - V_{SS} - V_T)^2 \tag{11}$$

$$I_2 = 2K(V_S - V_{SS} - V_T)^2 \quad (12)$$

$$I_3 = K(V_{in} - V_{SS} - V_T)^2 \quad (13)$$

$$I_4 = 2K(V_{in} - V_{SS} - V_T)^2 \quad (14)$$

M_{P1} と M_{P2} でカレントミラー回路より、それぞれのpMOSに流れるドレイン電流は $I_A = I_B$ となる。よって、そのミラー効果を考慮すると

$$I_A = I_1 + I_2 = I_3 + I_4 = I_B \quad (15)$$

よって

$$K(V_H - V_{SS} - V_T)^2 + 2K(V_S - V_{SS} - V_T)^2 \quad (16)$$

$$= K(V_{in} - V_{SS} - V_T)^2 + 2K(V_{in} - V_{SS} - V_T)^2 \quad (17)$$

$$V_{in} = V_S \quad (18)$$

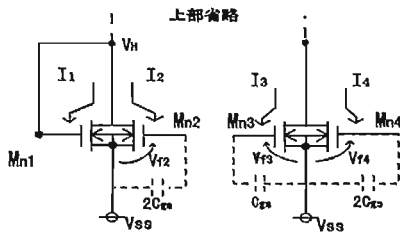


図 4: $\Phi 2$ 相での遅延セル回路

次に ϕ_2 相では、トランジスタ M_{n2} に V_S とゲート・ソース間容量 C_{gs} のフィードスルー電圧 $V_{f2} = \frac{3}{2} \frac{Q_f}{C_{gs}}$ が発生し、 M_{n3} 、 M_{n4} に入力電圧 V_{in} とゲート・ソース間容量 C_{gs} のフィードスルー電圧 $V_{f3} = 2 \frac{Q_f}{C_{gs}}$ 、 $V_{f4} = \frac{1}{2} \frac{Q_f}{C_{gs}}$ が発生する。各々のトランジスタのフィードスルー電圧を考慮して、二乗則を計算すると、

$$I_1 = K(V_H - V_{SS} - V_T)^2 \quad (19)$$

$$I_2 = 2K(V_S - V_{SS} - V_T - \frac{3}{2}V_f)^2 \quad (20)$$

$$= 2K(V_{in} - V_{SS} - V_T - \frac{3}{2}V_f)^2$$

$$I_3 = K(V_H - V_{SS} - V_T - 2V_f)^2 \quad (21)$$

$$I_4 = 2K(V_{in} - V_{SS} - V_T - \frac{1}{2}V_f)^2 \quad (22)$$

ϕ_2 の時と同様に、ミラー効果から

$$I_1 + I_2 = I_3 + I_4 \quad (23)$$

それぞれ代入して、

$$(V_H - V_{SS} - V_T)^2 = (V_{in} - V_{SS} - V_T)^2 \quad (24)$$

$$V_H = V_{IN} \quad (25)$$

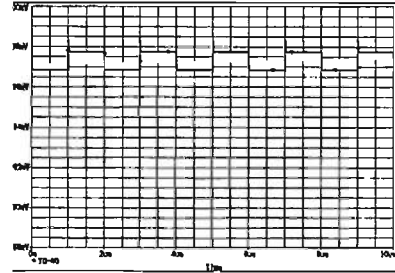


図 5: サンプルホールド回路の出力波形

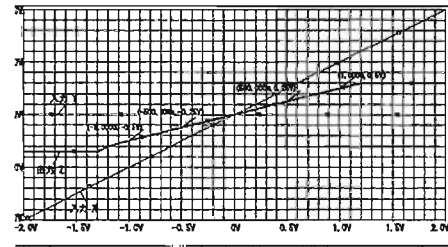


図 6: 電圧平均回路の入力、出力波形

4 D/A 変換

4.1 アルゴリズム

例として b_1 b_2 b_3 というデジタル信号があると、これを最下位ビットから D/A 変換するとき、D/A 変換した時に生じるの出力電圧を考える

b_3 はデジタル信号の中でも一番小さい値である。それは D/A 変換したあとのアナログ電圧でも一番小さい値が当てはめられるそこで D/A 変換の方式は D/A 変換したアナログ出力電圧を循環させることでデジタル信号の 1 つ上のビットを D/A 変換する時、分圧器に FSR(基準電圧) と循環してきたアナログ電圧を入力させる。このことで一番最初に D/A 変換されたビットに相当するアナログ電圧は一番小さい値をとることになる このことを数式的に考えると、 b_3 から D/A 変換が行われる。このとき出力されるアナログ電圧 ($V_a(i)$) は、

$$V_a(1) = \frac{b_3 V_T}{2} \quad (26)$$

となる。最初のビットの変換の際、FSR しか分圧器には電圧の入力がない。 b_2 を D/A 変換するときには分圧器には FSR の電圧と循環してきた b_1 を D/A 変換されてきたアナログ電圧が入力されるので、

$$V_a(2) = \frac{b_2 V_r + V_a(1)}{2} = \frac{\frac{1}{2} b_3 V_r + b_2 V_r}{2} = \frac{1}{2} b_2 V_r + \frac{1}{4} b_3 V_r \quad (27)$$

という電圧が分圧器から出力される。そして同様に b_1 を D/A 変換するとアナログ出力電圧は、

$$V_a(3) = \frac{b_i V_r + V_a(2)}{2} = \frac{1}{2} b_1 V_r + \frac{1}{4} b_2 V_r + \frac{1}{8} b_3 V_r \quad (28)$$

となる。これらの3つの式を考えると

$$V_a(n) = \frac{V_a(i-1) + b_{n+i-1} V_r}{2} \quad (29)$$

という D/A 変換のアナログ出力電圧アルゴリズムが求まる

5 下位ビットから変換する SV 循環型 D/A 変換器

5.1 回路構成

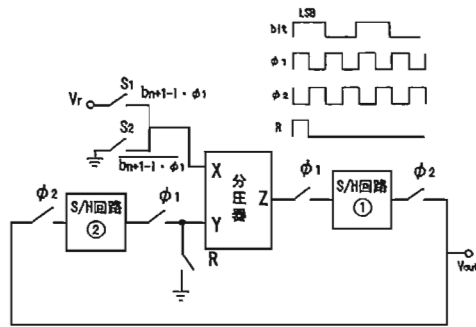


図 7: 下位ビットから変換する CMOS-D/A 変換器

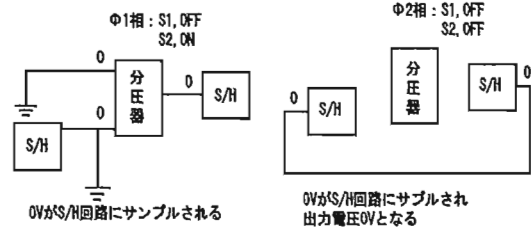
今回、提案 D/A 変換器の回路構成を示す。まず、クロック相 ϕ_1 、 ϕ_2 は互いに重複しないクロック相で、スイッチ R は最下位ビットを入力する時に分圧器の2つの入力のうち、片方に 0V を入力するために設置する。(1回目以降は S/H から入力される)。 S_1, S_2 は同じ状態にならないようにせっちしており、入力されたビットが"1"ならば S_1 は ON で、 S_2 は OFF である。入力されたビットが"0"ならば S_1 は OFF で S_2 は ON である。分圧器は前に述べた CMOS 電圧平均回路を使用し、サンプルホールド回路はクロックフィードスルーとチャネル長変調効果 SV 遅延セルを用いる。

5.2 動作原理

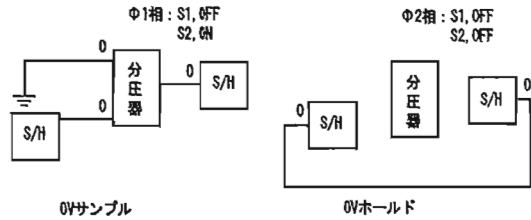
次に動作原理を示す。 ϕ_1 相でスイッチ S_1 又は S_2 によって入力されたビットは分圧器の入力 X に印加される。分圧器の片方の入力 Y には、前のビットで出力された電圧が S/H 回路 (2) から印加される (一番始めの最下位ビット入力時のみスイッチ R で接地される)。分圧器はこの2つの入力 X、Y を平均した値 Z を出力し、Z は S/H 回路 (1) にサンプルされる。次に ϕ_2 相で S/H 回路 (1) でサンプルされた Z が出力されることになる。

3ビット(100)の場合

1. 一番目のビット



2. 二番目のビット



3. 三番目のビット

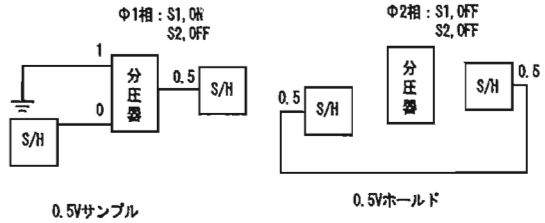


図 8: 下位ビットからの D/A 変換

6 シミュレーション

ここでは従来の回路 [3] と今回の SV サンプルホールド回路の MOS トランジスタ特有のクロックフィードスルーやチャネル長変調効果を補償した提案回路の比較をする。両方の回路とも供給電圧 $\pm 2V$ 、クロック周波数 1MHz、基準電圧 $V_{ref}=1V$ としている。

先に従来の回路の入力ビットに対する出力電圧の結果を示す。入力ビットは5ビット入力で $b = (00000)_2$ 、 $(01001)_2$ 、 $(11111)_2$ の場合である。

一方、提案回路では入力ビットは7ビット入力で $b = (0000000)_2$ 、 $(1011000)_2$ 、 $(1111111)_2$ の場合である。また、出力電圧 V_{out} は ϕ_2 相の時である。

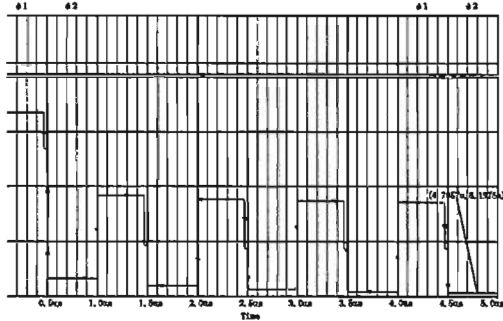


図 9: 入力ビット $(00000)_2$ の出力電圧，理想出力電圧 0V

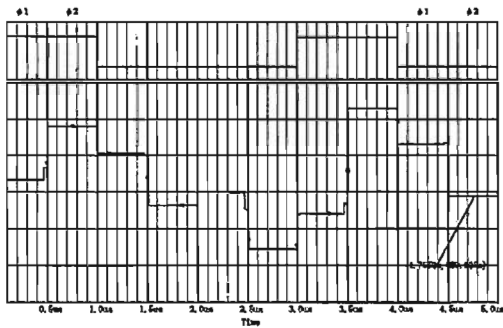


図 10: 入力ビット $(01001)_2$ の出力電圧，理想出力電圧 281.25mV

基準電圧 $V_{ref}=1V$ における 5 ビット、7 ビットの 1LSB は 5 ビットで $\frac{V_{ref}}{2^5} = 31.25mV$ 、7 ビットで $\frac{V_{ref}}{2^7} = 7.8125mV$ となりシミュレーション値 (出力電圧) と理想出力電圧を比較すると従来の回路、提案回路とも $\pm 1LSB$ 内の誤差になっていることが分かる。次に、微分直線性誤差、積分直線性誤差を示す。

従来の回路、提案回路の両方とも 5、7 ビットにおける微分、積分直線性誤差は $\pm 1LSB$ 内に特性が収まって従来の回路では分解能は 5 ビット、提案回路では 7 ビットであることが確認できる。

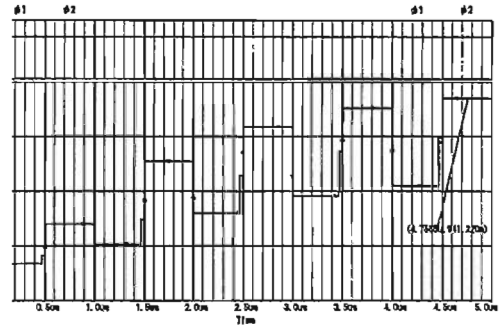


図 11: 入力ビット $(11111)_2$ の出力電圧，理想出力電圧 968.75mV

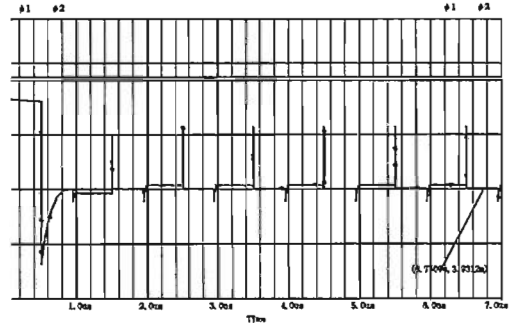


図 12: 入力ビット $(0000000)_2$ の出力電圧，理想出力電圧 0V

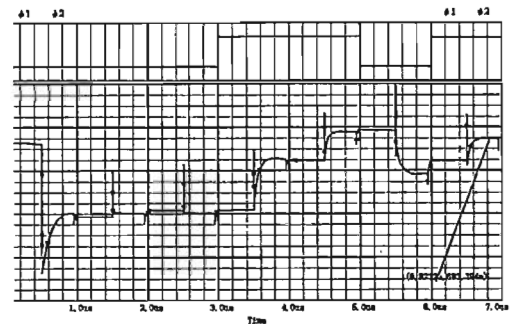


図 13: 入力ビット $(1011000)_2$ の出力電圧，理想出力電圧 687.5mV

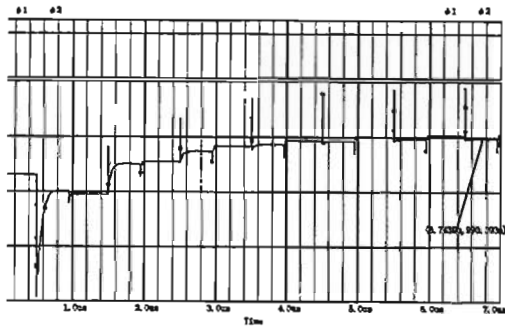


図 14: 入力ビット (1111111)₂ の出力電圧 , 理想出力電圧 992.1875mV

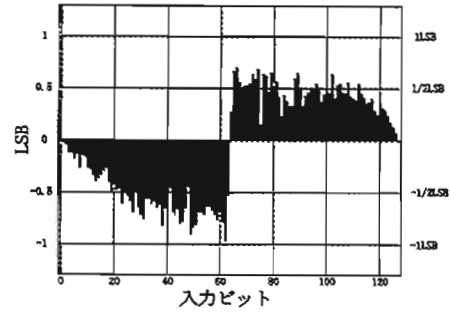


図 18: 提案回路の7ビットの積分直線性誤差

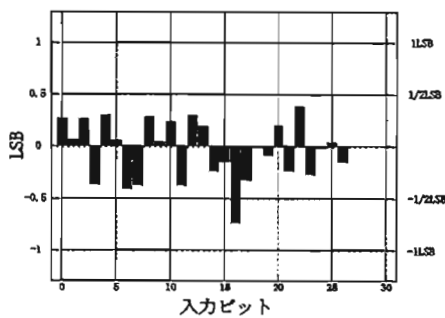


図 15: 従来の回路の5ビットの微分直線性誤差

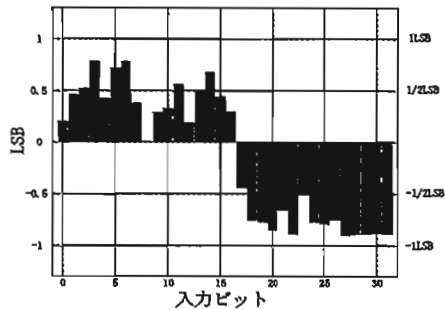


図 16: 従来の回路の5ビットの積分直線性誤差

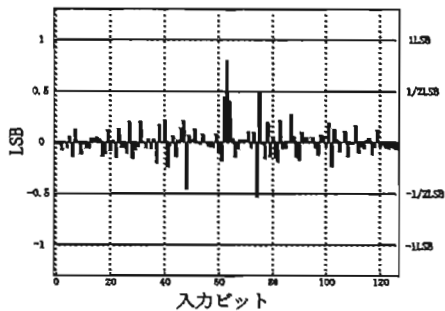


図 17: 提案回路の7ビットの微分直線性誤差

6.1 D/A 変換アルゴリズムによる伝達誤差

この下位ビットから変換する循環型 D/A 変換器の CMOS 電圧平均回路の電圧伝達誤差を ϵ_g 、オフセット電圧を V_{os} 、S/H 回路である S/H-1、2 の電圧伝達誤差を ϵ_s としたときの $V_a (=V_{out})$ は

$$V_a(n) = \sum_{i=1}^n \frac{(1-\epsilon_g)^i (1-\epsilon_s)^{2i-1}}{2^i} \left(b_i V_r + \frac{2}{1-\epsilon_g} V_{os} \right)$$

となり伝達誤差を含んだ n ビット D/A 変換の出力電圧である。

電圧平均回路と S/H 回路の電圧伝達誤差が出力電圧に与える影響をを D/A 変換アルゴリズムにより分解能を解析する。

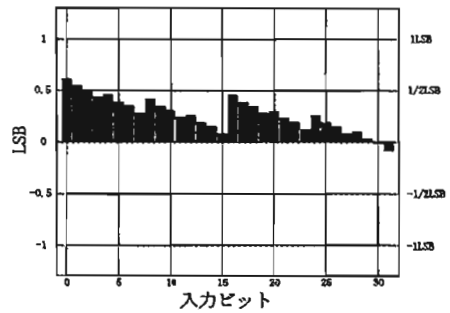


図 19: 従来の回路の電圧伝達誤差

図 19 の従来の回路の誤差はそれぞれ $\epsilon_g = 0.005$ 、 $\epsilon_s = 0.005$ 、 $V_{os} = 10mV$ で、図 20 の提案回路の誤差は $\epsilon_g = 0.002$ 、 $\epsilon_s = 0.002$ 、 $V_{os} = 10mV$ とした時の理想出力電圧との誤差を表している。全ての伝達誤差が $\pm 1LSB$ 内であるので、D/A 変換アルゴリズムによる計算シミュレーションの結果より従来の回路では分解能は 5 ビット、提案回路では 7 ビットであることが確認できる。

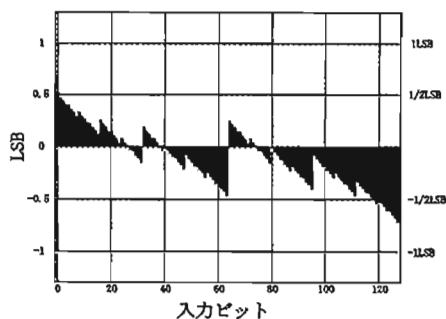


図 20: 提案回路の電圧伝達誤差

7 まとめ

本研究では、スイッチドボルテージを使った下位ビット (LSB) から変換する循環型 D/A 変換器と題して従来の D/A 変換器 [3] との分解能の比較を行った。提案回路に 7 ビットのデジタル信号 $(0000000)_2$ 、 $(1011000)_2$ 、 $(1111111)_2$ を入力し、出力電圧と理想出力電圧の誤差を比較するとそれぞれ $\pm 1\text{LSB}$ 内に入っていることが確認できた。また、微分直線性誤差、積分直線性誤差、D/A 変換アルゴリズムによる伝達誤差も $\pm 1\text{LSB}$ 内に入ることが示された。

よって、従来の回路の問題点であった SV 技術である S/H 回路の MOS トランジスタ特有のクロックフィードスルーとチャネル長変調効果による伝達誤差を低減した高精度 SV サンプルホールド回路を用いることでクロック周波数 1MHz において分解能を従来の回路の 5 ビットから 7 ビットまで上げることができた。

しかし、MOS トランジスタのクロックフィードスルー

とチャネル長変調効果による伝達誤差は低減したもののシュミレーション結果を考察すると、まだ影響はあると思われる。また、今回の提案回路は PSpice で作成し全て理想素子によって構成されているので、実際の素子を使って回路を作成し動作を確認する必要がある。今後の課題としては

- 更に分解能を上げるための高精度な電圧平均回路や S/H 回路の提案。
- 実際に回路の試作やその動作確認。

などがある。

参考文献

- [1] K.Watanabe, G.C.Temes, and T.Tagami, "A New Algorithm for Cyclic and Pipeline Data Conversion", *IEEE TRANSACTION ON CIRCUITS AND SYSTEMS*, vol.37, no.2, pp.249-252, February.1990.
- [2] K.Leelavattananon and C.Toumazou, "Switched-voltage : An adaptation of switched-currents for voltage-mode design", *ELECTRONICS. LETTERS.*, vol.34, no.6, pp.503-504, March.1998.
- [3] R.Hirano, H.Matsumoto, "CMOS Digital-to-Analog Converter", *Department of Electrical and Electronic Engineering, Miyazaki University*, February.2003.