

単一利得増幅器を用いた 容量比に鈍感な SC 逐次近似型 A/D 変換器

田島 翔太^{a)}・大林 達明^{b)}・松本 寛樹^{c)}

SC Successive Approximation A/D Converter Using Unity Gain Amplifiers Insensitive to Capacitance Mismatch

Shota TAJIMA, Tatsuaki OBAYASI, Hiroki MATUMOTO

Abstract

This paper shows an improved A/D converter insensitive to capacitance mismatch. By using single gain amplifier, error is reduced and resolution is estimated to 14bits. Converter operation is confirmed on SIMetrix.

Keywords: Swiched-capacitor, A/D Converter, capacitance ratio, single gain amplifier

1. 序論

近年、インターネットを使った情報検索やメールのやり取りなど、我々の日常生活で情報通信の果たす役割は、ますます普及している。これらの情報のやり取りには電気や光の信号、電波などが利用され、情報がアナログ量で表現される。一方、携帯電話や PC の心臓部に利用されるメモリなどの半導体部品では、情報が 0/1 のデジタル量で表現される。そこで、このような端末間で情報通信を行うにはアナログ信号とデジタル信号の間でデータを変換する回路のアナログ・デジタル(AD)変換器、デジタル・アナログ(DA)変換器が必要不可欠であり、その性能が通信システムやサービス品質と深く関わっている。

本研究ではバッファを用い AD 変換を行う従来回路を改良し、容量不整合による誤差を低減した回路を作成し、動作原理を理解する。回路を回路シミュレータ(SIMetrix)上で作成し動作確認や比較を行い検討する。

2. 基本構成

2.1 一般的な AD 変換器

AD 変換とはアナログ信号をデジタル信号に変換することである。図 1 に一般的な手順を示す。入力信号は時間と振幅に対して連続的に変化するアナログ信号である。

AD 変換は、サンプリング、量子化、符号化といった順序で変換を行う。

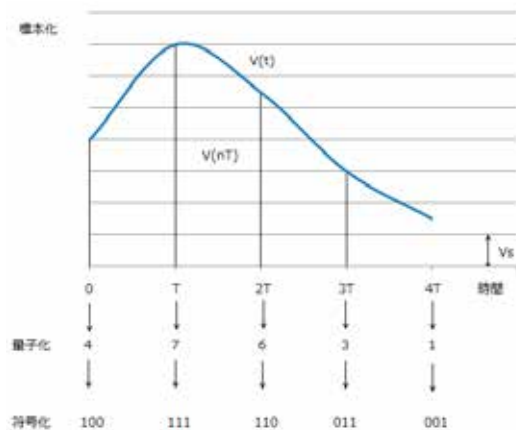


図 1. アナログからデジタルへの変換方法

2.1.1 サンプリング

サンプリング周期 T の時間間隔で、各時刻におけるアナログ電圧を取り出すことである。

$V(t)$ を時間 nT でサンプリングした値を $V(nT)$ とすると、ここでは $V(nT)$ は次のサンプリング時までそのまま保持する。ここでは、 $V(nT)$ は時間的に離散的になっているが、大きさはまだアナログ量である。

2.1.2 量子化

ホールドされているアナログ電圧 $V(nT)$ がある基準とする電圧 V_s の何倍かという値を整数値にすることである。それによって生じた誤差は量子化誤差と呼ばれ、AD 変換では避けられない誤差である。また、基準電圧の与え方によって異なった整数値になる。

a)大学院電気電子工学専攻

b)工学部電気電子工学科

c)工学部准教授

2.1.3 符号化

量子化によって整数値となった値を2進数に変換することである。

2.2 バッファ

ボルテージフォロアは単純な回路である。動作は入力電圧をそのまま出力する。オペアンプを用いて作成する場合、図のように出力を負入力に接続し、利得を1と設定することで実現できる。システムを組む上でボルテージフォロアの存在理由は主に2つある。それは、インピーダンス変換と回路の分離である。

2.2.1 インピーダンス変換

例えば、光センサや圧力センサなど微弱な信号を測定するために、信号源から測定器に電流を流してしまうと、測定したい電圧が変わる可能性がある。

このような信号源を正しく計測する場合には、信号源の出力インピーダンスより、測定器の入力インピーダンスが十分高いことが必要になる。ボルテージフォロアならば入力インピーダンスはオペアンプの入力インピーダンスに等しい。そして、ボルテージフォロアの出力インピーダンスはオペアンプの出力インピーダンスなので、弱い信号を強くして出力することが可能となる。

2.2.2 回路の分離

直流の信号はダイオードを使えば一方通行にすることはできるが、交流の信号をダイオードで一方通行にしようとしても、交流は電流の向きが変わるので、ダイオードでは一方通行にすることはできない。前の回路に影響を与えずに、電気信号の伝達を一方通行にする時回路の分離が必要になる。このような場合に増幅度1倍のボルテージフォロアを使用する。¹⁾

2.3 コンパレータ

コンパレータには正入力負入力の2入力が存在し、正入力と負入力を比較し、負入力が高い時0が出力され、正入力が高い時1が出力される。素子によっては設定された電圧値を出力するものも存在する。

素子による動作速度は100[ns]程度であり、コンパレータの素子の性能によってAD変換器の速度が制限されることがある。

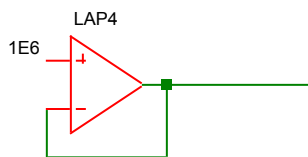


図2. オペアンプを用いたバッファの一例

表1. AD変換器の種類

名称	周波数 (Hz)	分解能 (bit)	特徴	用途
フラッシュ型	10G ~10M	12~6	高速 大規模	高速測定器
パイプライン型	200M ~10M	14~8		映像信号処理
逐次比較型	1M ~10K	16~8	低電力	マイコン
デルタシグマ型	10M ~100	24~18	高分解能	音声処理
二重積分型	1K ~10	22~12	高精度	測定器

2.4 AD変換器の種類

AD変換には変換原理によって様々あり、変換時間も速いものから遅いものまで種々の用途にある。これらの代表的なAD変換器を表1に示す。

今回の提案回路では逐次比較型を用いる。変換速度が中程度であり、比較的高精度で低消費電力の方式として計測・制御用などで幅広く利用されている。

2.5 MOSFET

MOSFETは外部から電圧を与え、電流の流れを制御するトランジスタである。図にMOSFETの構造を示す。

ゲートに電圧を加えていないとき、ドレインソース間にはp型半導体があるため電氣的に絶縁されます。この時をスイッチOFFの状態として使用する。

しかしながら、ゲートに一定値以上電圧を加えるとゲート真下のチャネル領域に電子が引き寄せられ電流が流れやすくなる。この状態において、スイッチがONのものとして使用する。

以上の仕組みを用いることで、ゲート電圧を上下しMOSFETをスイッチとして電流の制御を行うことができる。

今回のシミュレーションにおいては、理想的なスイッチング特性を有するスイッチを使用している。実際のMOSFETには動作速度に影響されるため、AD変換の速度が制限されることがある。

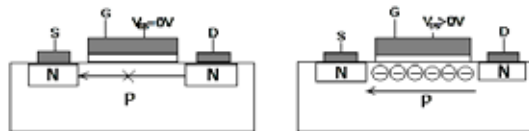


図3. MOSFETの構造

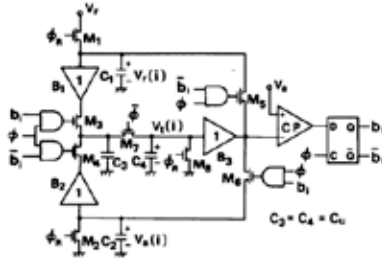


図 4. 従来回路

3. 従来の回路構成

図 4 に従来回路である単一利得増幅器を用いた容量比に鈍感な SC 逐次近似型 A/D 変換器の回路図を示す。この回路図は Vr に入力された電圧を変換し、出力する回路図である。

キャパシタの容量値は $C_1=10\text{pF}$ 、 $C_2=10\text{pF}$ 、 $C_3=9.95\text{pF}$ 、 $C_4=10.05\text{pF}$ 、 $C_5=10\text{pF}$ と設定する。C₃ と C₄ は容量不整合 1% となっている。なお、単一利得増幅器としてバッファを用いる。

4. 提案回路

4.1 回路構成

図 5 に今回提案する単一利得増幅器を用いた容量比に鈍感な SC 逐次近似型 A/D 変換器の回路図を示す。この回路図は Vr に入力された電圧を変換し、出力する回路図である。

キャパシタの容量値は提案回路と同等の値を設定する。

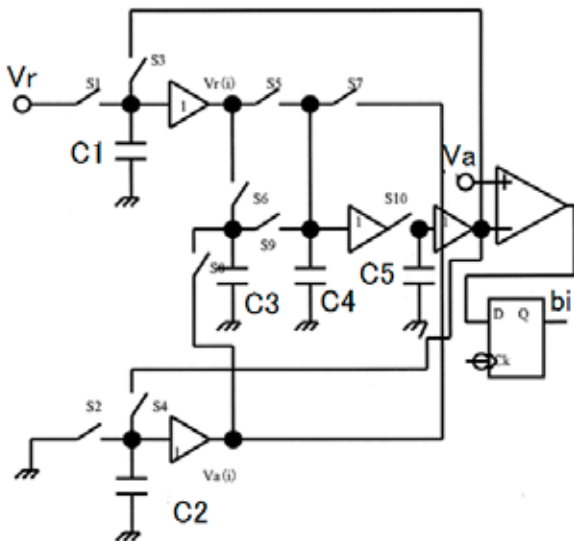


図 5. 容量比に鈍感な SC 逐次近似型 AD 変換器

表 2. スイッチ表

S	1	2	3	4	5	6	7	8	9	10
R1	1	1	0	0	0	1	1	0	0	1
R2	0	0	0	0	0	0	0	0	1	1
ϕ_1	0	0	\bar{b}_i	b_i	o	e	e	o	0	0
ϕ_2	0	0	0	0	0	0	0	0	1	1
SE1	1	1	0	0	1	0	0	1	0	1
SE2	0	0	0	0	0	0	0	0	1	1
ϕ_1	0	0	\bar{b}_i	b_i	e	o	o	e	0	0
ϕ_2	0	0	0	0	0	0	0	0	1	1

o は偶数時に ON、e は奇数時に ON となる動作

4.2 回路動作

この回路のスイッチ判定表を表 2 に示し、各素子の動作を説明する。

R₁ で、C₁ と C₃ に Vr、C₂ と C₄ に 0 が充電される。

R₂ で、C₃ と C₄ が分圧され C₅ に保存しコンパレータに送られ、Va として比較した後 b_i として出力される

ϕ_1 で、奇数ビット時は C₄ に、偶数ビット時は C₃ に Vr が送られ、奇数ビット時の C₃ と偶数ビット時の C₄ には C₂ の半分の電圧が充電される。

ϕ_2 で、C₃ と C₄ が分圧され C₅ に保存しコンパレータに送られ、Va として比較した後 b_i として出力される。

16 ビット変換を行うため ϕ_1 と ϕ_2 を 16 回繰り返す、b₀ から b₁₆ を 1 回目の変換結果とする。

次に、SE モードにおいては、R モードとは逆に C₁ と C₄ に Vr、C₂ と C₃ に 0 が充電される動作を行う。

ϕ_1 で、先行変換と異なり、C₃ と C₄ の役割を入れ替えた上で同様の変換を ϕ_1 と ϕ_2 の 16 回繰り返すを行い、同様にコンパレータから得られる b₀ から b₁₆ を 2 回目の変換結果とする。

以上の 2 つの出力結果を平均し、その結果を出力ビットとする。

5. 回路動作

動作原理を確認するために、SIMetrix を用いてシミュレーションを行った。キャパシタの容量値は C₃=9.95pF、C₄=10.05pF、C₁=C₂=C₅=10pF、クロック周波数は 120[us]、基準電圧は Vr=1[V] と設定し単一利得増幅器としてバッファを用いる。

5.1 Va=333.32824mV のとき

Va=333.32824V を挿入した時の波形を図 6 に示す。

この時の出力値は、それぞれ 0101010100100100、0101010110001011 であり、足して 2 で割ると 0101010101010111 である。

よってこの時の誤差電圧 45 [μV] である。

5.2 Va=500mV のとき

図7は、Va=500mVを挿入した時の波形である。
 この時の出力値は、それぞれ011111110010011、
 100000001101110であり、足して2で割ると
 1000000000000000である。
 よって500mV時の誤差電圧0[mV]である。

5.3 Va=666.65649mV のとき

図8は、Va=666.65649mVを挿入した時の波形である。
 この時の出力値は、それぞれ1010101001111110、
 1010101011010111であり、足し合わせると
 1010101010101010である。
 よってこの時の誤差電圧0[mV]である。

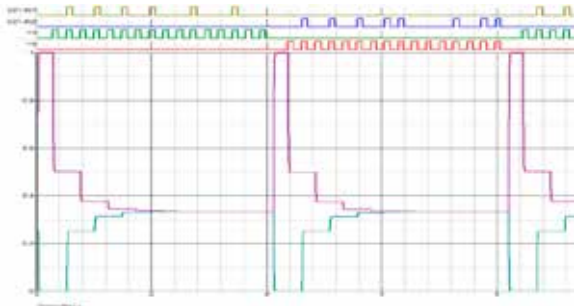


図6. 333.32824mVの時の波形

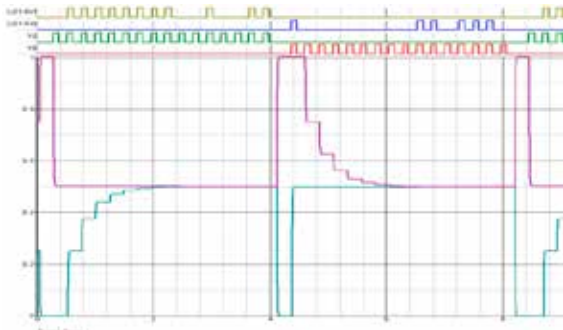


図7. 500mVの時の波形

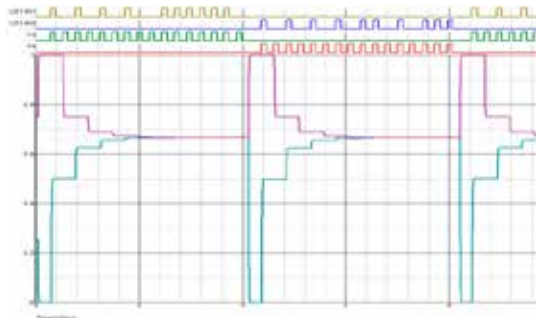


図8. 666.65649mVの時の波形

表3. 各電圧時の平均時の出力ビット

入力電圧[V]	出力ビット
0.0625	000100000000000001
0.125	001000000000000001
0.1875	001100000000000001
0.25	010000000000000001
0.3125	010100000000000011
0.333328247	01010101010101111
0.375	011000000000000010
0.4375	011100000000000010
0.5	100000000000000001
0.5625	10010000000000101
0.625	10100000000000011
0.666656494	10101010101010101
0.6875	10110000000000010
0.75	11000000000000001
0.8125	11010000000000010
0.875	11011111111111111
0.9375	11101111111111010
0.9998474	11111111111111110

以上の結果と0[V]から0.0625[mV]間隔に区切った時の出力結果を表3に示す。

6. 結論

本研究において、実験結果表3より、分解能は14ビットまで補償できることが確認できた。従来回路は9ビットであるので、当実験において精度は良くなったとわかる。
 しかし当実験において、精度が向上した一方で変換ステップ数が多くなったことにより処理時間が大幅にかかるようになっていることから、今後の研究課題として、処理ステップ数を減らすことが挙げられる。

参考文献

- 1) 杉本泰博著,よくわかるアナログ電子回路,オーム社, p.71-p.72,1995
- 2) 千原国宏著,パソコン世代の電子回路入門,コロナ社,1991
- 3) 田所嘉昭著,デジタル回路,オーム社,2008