

表面筋電位信号処理LSIのための デルタ・シグマ変調器の設計

今木 啓大¹⁾・淡野 公一²⁾・田村 宏樹³⁾・外山 貴子⁴⁾

Design of Delta-Sigma Modulator for Surface-Electromyogram Signal-Processing LSI

Keita IMAKI, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

In this dissertation, I designed the 2nd-order delta-sigma modulator for the A/D converter used in the s-EMG signal-processing LSI, and evaluate the characteristics of it. Through this evaluation, I found that amplifiers used in the integrators deteriorate the floor noise. As the result, the resolution of the delta-sigma modulator deteriorates. In order to improve the amplifier, three kinds of amplifiers with a different circuit compositions are designed. All of the circuits were evaluated through HSPICE simulation with ROHM 0.18 μm CMOS device parameters. From the simulation results, I found that *SQNR* was improved about 20dB. Finally, *SQNR* of the $\Delta\Sigma$ modulator using class AB amplifiers was about 90dB and the value resulted in *ENOB* of 14bit.

Key Words :

Analog-digital conversion, $\Delta\Sigma$ Modulation, 1/f noise, operational amplifiers

1. はじめに

通常の人間の動作は、脳から運動指令が発せられ、それを受けた筋肉がその信号に従って収縮することで行われている [1]。このときの筋が発する電気信号を筋電位と呼び、特に体表面において計測されるものを表面筋電位信号 (Surface EMG:以降 S-EMG と呼ぶ) という。我々の研究室では、この S-EMG から筋動作を識別する表面筋電位信号処理 LSI の研究に取り組んでいる。このシステムにおいて A/D 変調器で変換されたデータは最終的に筋動作の識別に用いられるため、識別率に影響を与えないよう高い精度が要求される。またその応用上、比較的高速で動作させる必要がある。しかし、従来型の A/D 変換器では高い精度と変換速度を両立するのが困難であった。そこで、近年デルタ・シグマ ($\Delta\Sigma$) 型 A/D 変換器が注目されている。この方式ではオーバーサンプリングとノイズシェイピングを用いることにより高い分解能を実現でき、従来型と比較すれば高速変換が可能である。

そこで本論文では、表面筋電位信号処理 LSI のための A/D 変調器を $\Delta\Sigma$ 型を用いて設計を行い、その特性評価を行う。本論文では、安定性の観点から 2 次の回路構成を用い、確実に実効ビット数 (*ENOB*)12bit 精度

を確保するため、オーバーサンプリング比 (*OSR*) を 256 倍として設計を行う。これらの回路は、0.18 μm CMOS デバイスパラメータを用い設計し、HSPICE シミュレーションにより特性評価を行う。

2. 表面筋電位とその信号処理システム

表面筋電位は極めて微弱な信号であり、その帯域は低周波を含んでいる。このような信号を扱う場合、様々な回路ブロックが必要となるため A/D 変換器もそれらの回路ブロックに合わせた協調設計を行う必要がある。本章では、表面筋電位の電気的特性および表面筋電位信号処理 LSI のシステムについて説明する。

2.1 表面筋電位

生体における電気現象は、基本的に「動き」に関連しており、例外を除けば動物に固有のものといえる。その中でも、代表的なものは筋肉であり、その収縮機構は電気現象と密接に関連している。筋や神経のような電氣的活動を有する組織の細胞膜は興奮膜と呼ばれる。筋と神経の機能には大きな違いがみられるが、電氣的特性には共通の事項が多く、その特徴は、以下の通りである。

筋細胞や神経細胞の内部電位は、静止時には外部に対して -70mV から -90mV の負の値を有する。これを静止電位と呼ぶ。興奮時にはこのレベルから約 100mV

¹⁾システム工学専攻大学院生

²⁾電気電子工学科准教授

³⁾電気電子工学科助教

⁴⁾技術職員

正の方向に短時間に電位が上昇する。これを活動電位と呼ぶ。生体電気現象の発生源は、興奮膜と呼ばれる電気的活動性を有する組織の細胞膜が、興奮時に伴う活動電位が主である。しかし、約 100mVp-p で発生した筋電位は、神経の伝導経路を経て大きく減衰し、体位表面で観測される電圧は数 μV から数 mV と極めて微弱であり、帯域は数 Hz から数 100Hz 程度と低周波を含む信号であるという特徴を有する [2]-[4]。

2.2 表面筋電位信号処理システム

本研究室で取り組む表面筋電位信号処理 LSI のブロック図を図 1 に示す。表面筋電位信号処理 LSI は様々な回路ブロックから構成される。ここでセンサにより体位表面から得られる表面筋電位信号は先に述べたように極めて微弱である。そのため、その信号を処理するにあたり、初期の段階で増幅することが必要となる。また、表面筋電位信号の帯域は低周波を含んでいることから、MOSFET による回路設計ではフリッカ雑音 ($1/f$ ノイズ) を考慮しなければならない。これらの事から、本研究室では初段の増幅器にチョップ方式を用いた低ノイズ増幅器の設計を用いた設計を行っている [5]。また、初段において増幅された信号は増幅器の特性により不必要な周波数成分も増幅され出力される。そのため次段において不必要な周波数成分をフィルタにより信号帯域のみ抽出する必要がある。これにより筋動作の判別に必要な信号のみ抽出を行い、デジタル信号処理のため $\Delta\Sigma$ 変調器によりデジタル信号へ変換を行う。この変換された信号は 1bit Data Stream のデジタル信号 (PWM : Pulse Width Modulation) として出力され、トランスミッター (送信機) により伝搬され、レシーバ (受信機) 側にてデシメーションを行い、判別機に入力される。ここで、本研究室で考える表面筋電位信号処理 LSI システムにおいて初段の増幅器、次段のフィルタではノイズ等の観点から表面筋電位信号を差動信号として取り扱う。そのため、A/D 変調器の入力信号は差動信号となる。また、A/D 変換後は判別器により筋動作の識別に用いられるため、このシステムで用いる A/D 変換器には高い変換精度が要求される。

3. 2次 $\Delta\Sigma$ 変調のシステム構成と仕様

図 2 に 2次 $\Delta\Sigma$ 変調器の基本構成を示す。この信号線図の回路の伝達関数を求めると、入力信号と 1 サンプル前の出力の差を積分した信号から、1 サンプル前の信号を差し引き、さらに積分した後量子化を

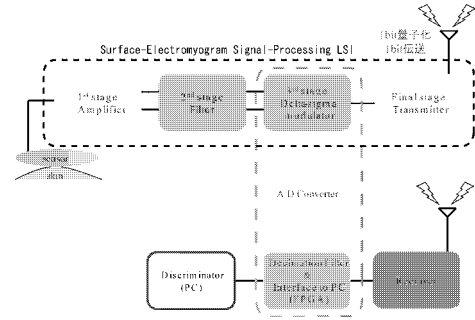


図 1 表面筋電位信号処理 LSI ブロック図

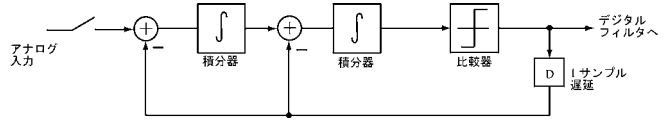


図 2 2次 $\Delta\Sigma$ 変調器の基本構成

行ったものが出力信号となるので次式となる。

$$Y(z) = X(z) + (1 + z^{-1})^2 Q(z) \tag{1}$$

ここで、直流から信号帯域上限 f_{max} までの周波数に含まれる量子化雑音電圧は、式 1 で量子化雑音電圧 $Q(\omega T)$ を $\Delta^2/3$ 、フィルタ特性 $H(\omega T)$ を $(1 - z^{-1})$ 、サンプリング周波数で規格化した信号帯域 $2\pi f_{max}/f_s$ を θ とおいて、

$$\overline{N^2} = \frac{\Delta^2}{3} \frac{1}{2\pi} \int_{-\theta}^{\theta} 16 \sin^4(\omega T/2) d(\omega T) \tag{2}$$

$$= \frac{\Delta^2}{3} \frac{1}{\pi} (6\theta - 8 \sin \theta + 2 \sin 2\theta) \tag{3}$$

$$\approx \frac{\Delta^2}{3} \frac{\theta^5}{5\pi} (\theta \ll 1) \tag{4}$$

となる。オーバーサンプリングによる S/N の改善は、5 乗の関係となる。ここで、S/N 比は

$$(S/N)_{max} = \frac{15\pi}{2} \theta^{-5} \tag{5}$$

である。

一般に n 次の $\Delta\Sigma$ 変調器の雑音は図 3 のように分布する。また、帯域内雑音量は

$$\overline{N^2} = \frac{\Delta^2}{3} \frac{1}{2\pi} \int_{-\theta}^{\theta} 2 \sin(\omega T/2)^{2n} d(\omega T) \tag{6}$$

となる。図 4 は式 6 から求めたオーバーサンプリング比と正弦波入力信号に対する、最大 S/N をプロットしたものである。もし、オーバーサンプリング比が $\theta \ll 1$ と大きいときには以下のように近似できる [6]-[12]。

$$\overline{N^2} = \frac{\Delta^2}{3\pi} \frac{\theta^{2n+1}}{2n+1}, \quad \theta = \frac{2\pi f_s}{f_s} \tag{7}$$

式7から、ループ・フィルタの時数を1次増やすごとにほぼオーバーサンプリング比の2乗に逆比例して減少することが期待できる。よって、積分器の時数を上げれば、同じS/N比を得るのに必要なサンプリング周波数を大幅に減少させることができる。ただし、信号帯域内の雑音が減少する代わりに、信号帯域外では急激に雑音が増加するため、より急峻で阻止帯域減衰量の大きなデジタル・フィルタを変調器の出力に接続する必要がある。

ループ・フィルタの次数を増加させれば、高いS/Nを得ることが期待できる。しかし、量子化器が1ビットの場合、ループ内フィルタが3次以上では一般に不安定である。安定化させるためには、量子化器を複数ビット化する方法と、伝達関数を変形させる方法がある。安定化のために伝達関数を変形させると、完全な微分型の雑音分布からずれるため、理想的な多次のノイズシェイピング特性より効率が低下する。量子化器に複数ビットを用いる場合には、フィードバック用のD/A変換器のビット数も複数ビットの分解能を必要とするから、集積化したとき生じるD/A変換器の精度バラつきによる歪が避けられなくなってしまう。

本論文で設計を行うΔΣ変調器について表1に仕様を示す。この仕様は前章で述べた表面筋電位信号処理LSIシステムの他の回路ブロックとの協調設計および上記で述べた安定性の観点から決定を行った。また、実際に設計を行うシステム構成を図5に示す。このときこのシステムの伝達関数は

$$Y(z) = Z^{-3/2}X(z) + Z^{-1/2}(1 - z^{-1})^2Q(z) \quad (8)$$

となり、2次のΔΣ変調器の伝達関数を実現していることがわかる。

4. ΔΣ変調器の設計とシミュレーション結果

本章では、ΔΣ変調器を設計する上で必要な伝達関数を実現する要素回路について具体的に示す。また、それを用いて2次のΔΣ変調器を設計し、そのシミュレーション結果を示す。ここでは、CMOS 0.18μm デバイスパラメータを用いたSter-HSPICEシミュレーションによって評価を行っている。

4.1 全体回路構成

実際に設計を行う2次ΔΣ変調器の全体回路構成を示す。ここでSC積分器で用いている容量値は表2である。この回路は図5と等価であり、その伝達関数である式8を満たしている。

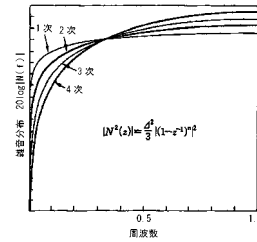


図3 積分時数による雑音分布の変化

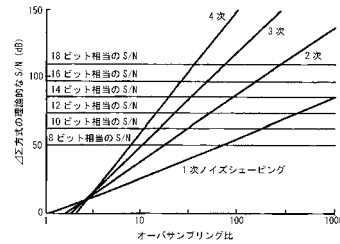


図4 OSRとS/Nの関係

表1 A/Dの仕様

電源電圧	3.3V
入力周波数	DC~2kHz
入力電圧	1.65±0.75(差動入力)
積分器次数	2次
オーバーサンプリング比(OSR)	256倍
SNR	74dB(12bit精度)
出力信号	1bit data stream(PWM)

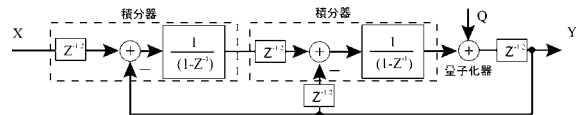


図5 2次ΔΣシステム構成

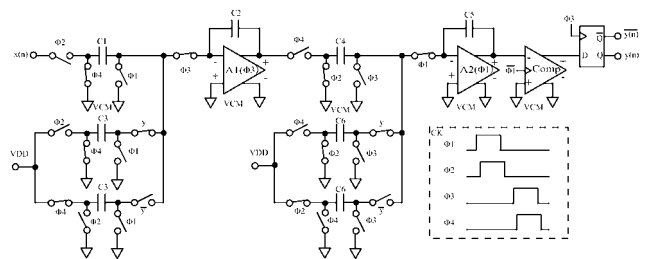


図6 2次ΔΣ変調器(シングル表現)

表2 1次および2次の積分容量

C1のキャパシタンス [pF]	2
C2のキャパシタンス [pF]	6
C3のキャパシタンス [pF]	1
C4のキャパシタンス [pF]	2
C5のキャパシタンス [pF]	8
C6のキャパシタンス [pF]	0.5

4.2 遅延器

図7に変調器で遅延器として用いるD型フリップフロップ(D-FF)の構成を示す。D-FFは図に示すように、インバータ、CMOSスイッチを組み合わせたD-Latch回路を従属接続して構成される。これによりD-FFは制御クロックの立ち上がり時エッジで動作し、その時の入力を保持する。

4.3 1bit 量子化器

図8にラッチドコンパレータの回路構成を示す。図8の構成とすることで、コンパレータは制御クロックの立下りで動作しV+とV-を比較する。それによりR,Sの電位はhigh、もしくはlowとなる。このコンパレータの出力はインバータにより反転され、2つのNANDで構成されたSRラッチ回路に入力される。SR-ラッチ回路は表3のような真理値表を持つため、ラッチ付コンパレータとして動作する。

4.4 積分器

ここでは、 $\frac{1}{1-z^{-1}}$ の伝達関数を実現するための積分器について述べる。最も簡単に積分器を構成するには手法としてRC積分器が知られている。しかし、このRC積分器では抵抗を用いるため、その精度の問題や抵抗値が非常に大きくなるという問題がある。そこで、ノイズシェイピング型AD変換器では、一般的に積分精度の高いスイッチトキャパシタ(SC)回路を用いたSC積分器がよく用いられる。図9のSC積分器を用いた場合、SC回路では信号遅延が起こる。そのため、クロックの約1/2周期をセトリングに用いる事ができ、増幅器の動作速度が緩和されるという利点もある。図9にSC回路を用いたSC積分器を示す。また、このSC積分器で用いる増幅器は、安定性の観点から1段構成で絶対安定かつ高利得が得られるフォールデッドカスコード型増幅器を用いて設計を行った。図10にその回路構成を示す。また表4増幅器の特性を示す。ここで、同相帰還(CMFB)回路として、消費電流および出力電圧範囲の観点から図11の回路を用いた。

表3 NANDとSRラッチ回路の真理値表

NAND			SR-FF		
In1	In2	Out	S	R	Vout
0	0	1	0	0	保持
0	1	1	0	1	0
1	0	1	1	0	1
1	1	0	1	1	-

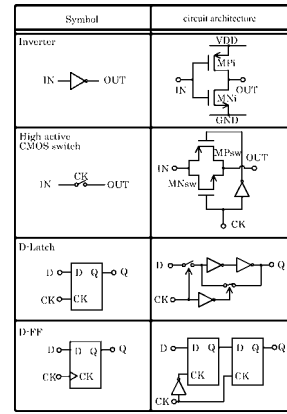


図7 D-FFの構成

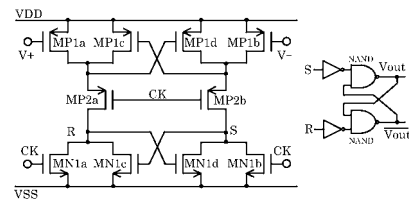


図8 ラッチドコンパレータ

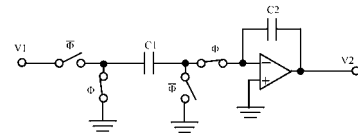


図9 スイッチトキャパシタ積分器(正相型)

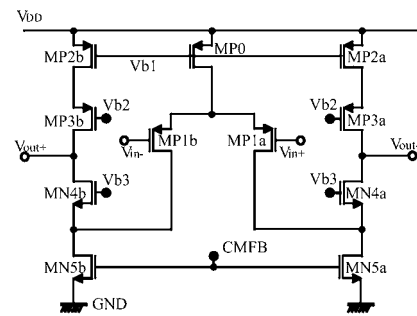


図10 フォールデッドカスコード(FC)型増幅器

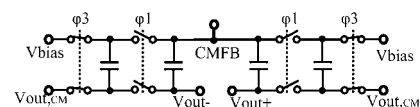


図11 SC-CMFB回路

表4 増幅器の特性

利得 [dB]	86.0
消費電流 [μ A]	72.2
ユニティゲイン周波数 [MHz]	756

4.5 シミュレーション結果

設計した2次 $\Delta\Sigma$ 変調器のシミュレーション結果を示す。シミュレーションの解析条件は表5の通りである。また、このときの入出力波形と出力のFFT解析結果それぞれ図12、図13に示す。このグラフからも分かるが、出力波形は0~3.3VのPWMとなっており、この出力のFFT結果より量子化雑音が理論通り40dB/decの傾きで2次のノイシェイピングされていることがわかる。ここでFFT結果より求めたSQNRはおよそ68dBであった。理論式より計算したSQNRが106dB程度であることから、およそ40dB劣化していることがわかる。

表5 解析条件

VDD	3.3 [V]
クロック周波数	1024 [KHz]
OSR	256 [倍]
差動入力信号	1.65 ± 0.75[V], 2[kHz]

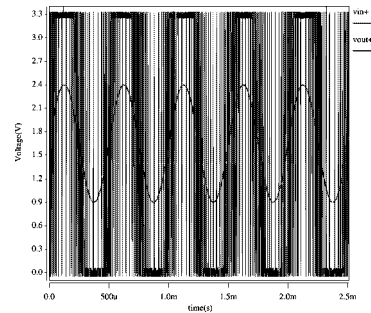


図12 $\Delta\Sigma$ 変調器の入力と出力

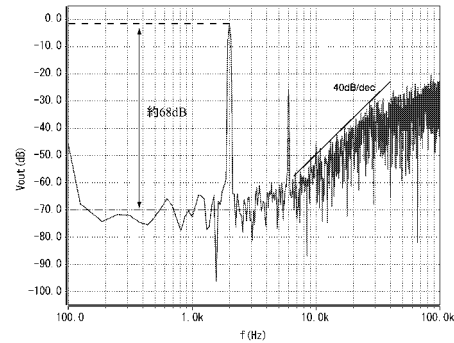


図13 $\Delta\Sigma$ 変調器のFFT結果

5. デルタシグマ変調器の高精度化

先に設計を行った2次 $\Delta\Sigma$ 変調器では、全体的に高いフロアノイズと3次高調波成分により理論値に比べ約40dBもSQNRが劣化している。そこで、 $\Delta\Sigma$ 変調器においてSQNRが劣化する主な要因を調べたところ、積分器に用いる増幅器の雑音であることが分かった。そこで、本章では増幅器における雑音について述べ、増幅器の低ノイズ化を行うことでSQNRの改善を行う。

5.1 MOSFETにおける雑音

MOSFETにおいては、ソースとドレインを結ぶ抵抗性のチャンネルがゲート-ソース間電圧で変調され、それによりドレイン電流がゲート-ソース間電圧で制御できる。このチャンネルの材質が抵抗性であることから熱雑音が発生し、これがMOSFETの主な雑音源となる。この雑音源は図14(a)の小信号等価回路でドレインとソースの間に入れた $\overline{i_d^2}$ で表現できる。

MOSFETのもう一つの雑音源はフリッカ雑音であるMOSFETの電流はシリコン表面を流れるために、そこでは表面準位がキャリアを補足、放出するトラップとなり、フリッカ雑音成分が大きくなる。フリッカノイズは熱雑音とは異なり、酸化膜-シリコン界面のクリーン度合やCMOS製造プロセスに依存するため簡単に予測することは難しい。MOSFETのフリッカ雑音はドレイン-ソース間の電流源として表現できることが実験から知られており、フリッカ雑音と熱雑音は図14(a)に示すよう1つの雑音電流源 $\overline{i_d^2}$ で表わされる。また、図14(a)は等価的に図14(b)と表すことができ、そのときの雑音電圧源は $\overline{v_d^2}$ で表わされる。

表6 SQNRの理論値とシミュレーション結果の比較

	理論値	シミュレーション値
SQNR[dB]	106.5	68
ENOB[bit]	17	11

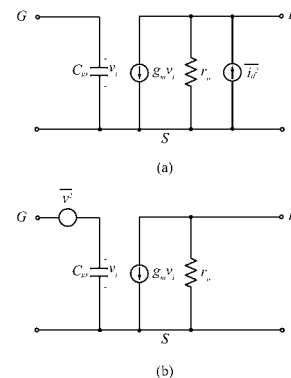


図14 雑音源を含めたMOSFETの小信号等価回路

$$\overline{i_d^2} = 4kT \frac{2}{3} g_m \Delta f + K \frac{I_D^a}{f} \Delta f \tag{9}$$

$$= 4kT \frac{2}{3} g_m \Delta f + \frac{K_f g_m^2}{WLC_{ox} f} \Delta f \tag{10}$$

$$\overline{v_i^2} = 4kT \frac{2}{3} \frac{1}{g_m} \Delta f + K \frac{I_D^a}{f} \Delta f \tag{11}$$

$$= \underbrace{4kT \frac{2}{3} \frac{1}{g_m} \Delta f}_{\text{熱雑音}} + \underbrace{\frac{K_f}{WLC_{ox} f} \Delta f}_{\text{フリッカ雑音}} \tag{12}$$

ここで、 I_D はドレインバイアス電流、 K は素子特有の定数、 a は定数で $0.5 \sim 2$ 、 g_m は動作点における素子の伝達コンダクタンス、 W はチャンネル幅、 L はチャンネル長、 K_f は製造プロセスに依存した定数で $10^{-24} V^2 \cdot F$ のオーダーである。

式 12 よりフリッカ雑音は MOSFET のゲート面積と周波数に反比例することがわかる。また、MOSFET の g_m は L に反比例することから、フリッカ雑音は L の 3 乗に反比例する。ただし、この式は長チャンネルのデバイスに対して有効であり、チャンネル長が $1\mu\text{m}$ 以下の場合には、熱雑音は式 10、式 12 の第一項で与えられるものより 2~5 倍大きくなることが知られている。この熱雑音の増大は短チャンネルデバイスにおけるホットエレクトロンに起因する現象であると考えられている。図 15 に一般的な MOSFET の入力換算雑音電圧のスペクトル密度を示す。先にも低周波においてフリッカ雑音が問題になると述べたが、一般的な MOSFET においては数十 kHz~数百 kHz 以下の周波数でフリッカ雑音が熱雑音より大きくなり支配的となる。

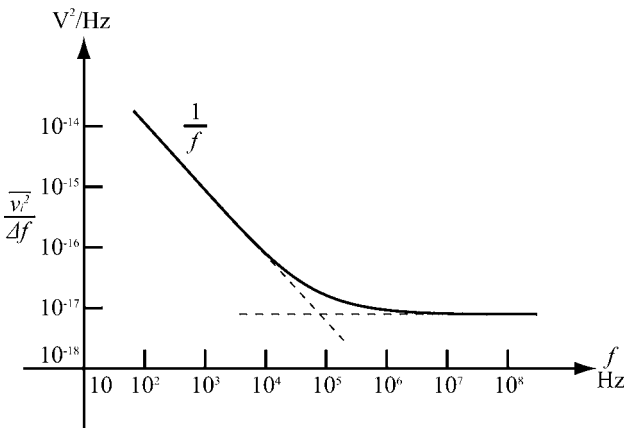


図 15 MOSFET の入力換算雑音電圧のスペクトル密度

5.2 増幅器の低ノイズ化による SQNR の改善

前節は MOSFET における雑音の影響について述べた。それより、MOSFET における雑音は低周波領域においてはフリッカ雑音が支配的となり、その大きさはゲート面積に反比例する。本研究で用いる $\Delta\Sigma$ 変調器ではその入力信号周波数が 2kHz と低いことから、フリッカ雑音が問題となることが考えられる。また、フリッカ雑音は N 型 MOSFET に比べ、P 型 MOSFET が小さいことが知られている。これは酸化膜-シリコン界面から少し離れたところでホールが移動するためと考えられている。このことから、フリッカ雑音の影響を小さくするためには、P 型 MOSFET を使い、ゲート面積を大きくすれば良いことがわかる。ただし、チャンネル長は MOSFET の g_m にも反比例することから、チャンネル長を大きくすると増幅器の利得が十分確保できなくなる。先に設計を行ったフォールドドカスコード型増幅器ではその構成が 1 段であることから絶対安定でかつ高利得を実現可能であった。しかし、高利得を実現するためには入力段の差動対の利得を大きくし、かつカスコード出力段の負荷抵抗を大きくしなければならず、低ノイズ化を行うには限界がある。そこで以下で考察を行う増幅器では、一般的に用いられる P 型 MOSFET を入力段に用いた 2 段構成の A 級増幅器、AB 級増幅器を用いることにより利得の確保に余裕を持たせ、低ノイズ化を考慮した設計を試みる。

5.3 A 級および AB 級増幅器の設計と評価

新たに設計した A 級および AB 級増幅器の回路図をそれぞれ、図 16、17 に示す。これらの回路はフリッカ雑音が支配的となる周波数帯域で用いられることを考慮し、1 段目の入力差動対のチャンネル長を短くし、かつ面積を大きくするためチャンネル幅を長く設定している。表 7 に増幅器のシミュレーション特性結果を示す。ここでは、ノイズの評価方法として、表面筋電位の信号帯域を考慮し 1Hz~100kHz の帯域における入力換算ノイズの総和を用いている。この結果より AB 級増幅器の回路構成が最も低ノイズ化に適していることがわかった。このことから、この AB 級増幅器を用いることにより、 $\Delta\Sigma$ 変調器の SQNR の改善が可能であると考えられる。

表 7 シミュレーション結果

	FC	A 級	AB 級
利得 [dB]	86.0	75.7	81.5
入力換算雑音 [μV]	37.68	20.01	18.63
消費電流 [μA]	72.2	91.2	135
ユニティゲイン周波数 [MHz]	756	21.4	7.4

5.4 AB 級増幅器を用いた $\Delta\Sigma$ 変調器のシミュレーション

先に示した増幅器のシミュレーション結果より、AB 級増幅器を用いることにより $\Delta\Sigma$ 変調器の $SQNR$ の改善が可能であると考えられる。実際に低ノイズ化した AB 級増幅器を 2 次 $\Delta\Sigma$ 変調器に適用し、 $SQNR$ がどの程度改善できるかシミュレーションを行った。ここで、増幅器を変更したことにより、積分器の出力電圧範囲が変化してしまうため出力電圧範囲がフルスケール振幅となるように SC 積分器の容量を表 8 のように変更した。AB 級増幅器の回路構成を用いた $\Delta\Sigma$ 変調器のシミュレーション結果を表 9 図 18 に示す。

この図を見て分かるよう、フロアノイズのレベルがフォールデッドカスコード型増幅器を用いた場合より、およそ 30dB 低下していることが確認できる。また、3 次高調波成分もフォールデッドカスコード型増幅器を用いた場合より低下していることから、AB 級増幅器が低歪みであることもわかる。その結果、 $SQNR$ がおよそ 20dB 改善され、 $SQNR$ はおよそ 90dB となった。理論値からの低下はおよそ 15dB となり増幅器の低ノイズ化により $\Delta\Sigma$ 変調器の $SQNR$ が改善できることが確認できた。また、このときの $ENOB$ は 14.6bit であり、結果として目標仕様である 12bit 精度を達成できる見通しを得られた。

6. まとめ

本論文では、本研究室で研究を行っている表面筋電位処理 LSI のための A/D 変調器について述べた。A/D 変換の誤差は筋動作の識別率に影響することから A/D 変換器には高い精度が必要となる。 $\Delta\Sigma$ 変調器ではノイズシェイピングとオーバーサンプリングにより高い精度が実現可能であり、従来型に比べ高速動作が可能である。そこで、表面筋電位処理 LSI のための A/D 変調器として 2 次 $\Delta\Sigma$ 型の回路設計を行い、その評価を行った。

はじめに設計したフォールデッドカスコード増幅器を用いた $\Delta\Sigma$ 変調器では理論通り 2 次のノイズシェイピングである 40dB/dec の傾きを確認することができた。しかし、ノイズフロアが約 -70dB と大きく、さらに信号の 3 次高調波成分が -20dB と大きいことにより、得られた $SQNR$ は理論的な $SQNR$ より 30dB 以上劣化していた。この $SQNR$ 劣化は積分器に用いる増幅器のノイズが大きな要因である。そこで、次に増幅器の低ノイズ化による $\Delta\Sigma$ 変調器の $SQNR$ 改善について検討をおこなった。

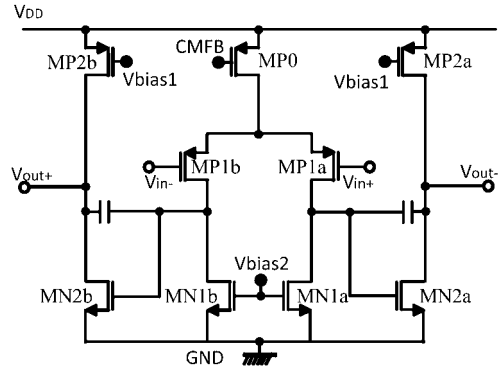


図 16 完全作動型 2 段増幅 CMOS 増幅器 (A 級)

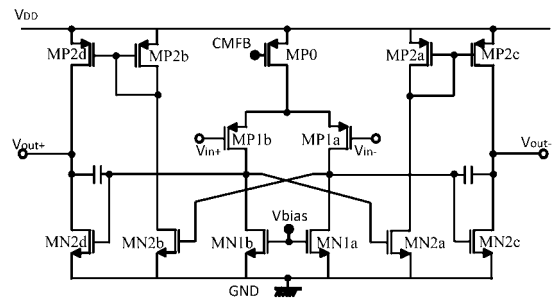


図 17 完全作動カレントミラー型 CMOS 増幅器 (AB 級)

表 8 1 次および 2 次の変更後の積分容量

C1 のキャパシタンス [pF]	4
C2 のキャパシタンス [pF]	24
C3 のキャパシタンス [pF]	4
C4 のキャパシタンス [pF]	4
C5 のキャパシタンス [pF]	12
C6 のキャパシタンス [pF]	2

表 9 $SQNR$ の理論値とシミュレーション結果

	理論値	改善前	改善後
$SQNR$ [dB]	106.5	68	90
$ENOB$ [bit]	17	11	14.6

増幅器の主なノイズは熱雑音とフリッカ雑音の 2 種類であるが、ここでは信号周波数が低いことからフリッカ雑音が支配的なノイズとなる。先に用いたフォールデッドカスコード増幅器では、その回路構成上の制約からフリッカノイズを低減するには限界がある。そこで、一般的に用いられる 2 段構成の A 級および AB 級を用いて増幅器の低ノイズ化を行った。フリッカノイズの低減には入力差動対のチャンネル長を短くしつつ、面積をできる限り大きくすることが有効である。このことを考慮し設計を行った結果、帯域 1~100kHz における入力換算雑音の総和はフォールデッドカスコード型、

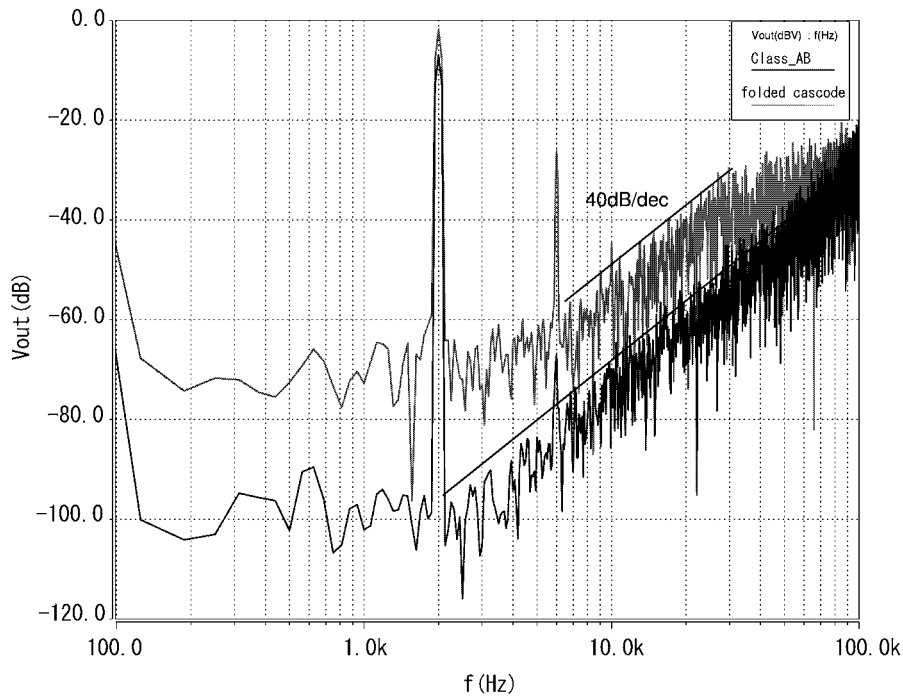


図 18 AB 級を用いた $\Delta\Sigma$ 変調器の FFT 結果との比較

A 級, AB 級でそれぞれ $37.68\mu\text{V}$, $20.01\mu\text{V}$, $18.92\mu\text{V}$ となり, AB 級増幅器はフォールドカスケード型と比較し, 入力換算雑音が約 1/2 倍であり低ノイズ化に最も適しているという結果が得られた。この AB 級増幅器を用いて 2 次 $\Delta\Sigma$ 変調器のシミュレーションを行った結果, フロアノイズが約 -90dB, 3 次高調波成分が -60dB となり信号帯域内雑音を大幅に抑制することが可能であり, 3 次高調波成分を後段のデシメーションフィルタの sinc フィルタで分離できるとすれば, 増幅器の低ノイズ化により $SQNR$ が 20dB 以上の改善できることがわかった。また, このとき $ENOB$ として 14bit 以上確保することができた。

参考文献

- [1] R.Schreier, G.C.Temes, "Understanding Delta-Sigma Data Converters," IEEE Press, Oct. 2004.
- [2] 星宮望, "生体情報計測", 森北出版, 1997 年.
- [3] 岡田 正彦, "生体計測の機器とシステム," コロナ社, 2000 年 12 月.
- [4] 赤澤 堅造, "生体情報工学," 東京電機大学出版局, 2001 年.
- [5] 松浦 貴行, "チョップ方式を用いた低ノイズ増幅器の設計と解析," 宮崎大学電気電子工学科修士論文, 2006 年 3 月.
- [6] R.Gregorian, G.C.Temes, "Analog MOS Integrated Circuit for signal processing," John Wiley & Sons, 1986.
- [7] 大賀 寿郎, 山崎 芳男, 金田 豊, "音響システムとデジタル処理," 電子情報通信学会編, 1995 年 4 月.
- [8] 岩田 穆, "CMOS アナログ回路設計技術," トリケップス企画部編, 1998 年 1 月.
- [9] R.J.Baker, H.W.Li, D.E.Boyce, "CMOS MIXED-SIGNAL CIRCUIT DESIGN," IEEE Press, 2002.
- [10] R.J.Baker, H.W.Li, D.E.Boyce, "CMOS CIRCUIT DESIGN,LAYOUT,AND SIMULATION" IEEE Press, 2002.
- [11] S.R.Norsworthy, R.Schreier, G.C.Temes, "Delta-sigma data converters - Theory, Design and Simulation -," IEEE Press, 1997.
- [12] S.Rabii, B.A.Wooley, "The Design of Low-voltage, Low-power Sigma-delta Modulators," Kluwer Academic Publishers, 1999.