

オフセット利得誤差補償 UGR-SC 非反転増幅器

大野 憲司¹⁾・松本 寛樹²⁾・村尾 健次²⁾

Offset and Gain error-compensated Low-Voltage Unity-Gain-Reset Switched-Capacitor Non-inverse Amplifier

Kenji OHNO, Hiroki MATSUMOTO, Kenji MURAO

Abstract

In this paper, it is presented that a Offset and Gain error-compensated Low-Voltage Unity-Gain-Reset Switched-Capacitor Non-inverse Amplifier. The proposed circuit can operate using simple nonoverlapping three phase clocks. It consists of a switch, capacitor, MOSFET and op-amp. Circuit operation is evaluated by PSpice.

Keywords:

Switched-Capacitor, Unity-Gain-Reset, low voltage, Non-inverse Amplifier

1 まえがき

近年、通信や情報処理の分野のデジタル化の流れの中で、アナログ信号処理回路にも小型化、高機能化、低消費電力化が以前にも増して強く要求されている。この状況で電子回路を集積化することは様々な困難を含んでいる。演算増幅器を用いた回路を構成するならば、オフセット電圧誤差や、利得誤差などの誤差が生じてしまう。オフセット誤差とは、演算増幅器の両入力端子を短絡したときに出力に±数Vの出力が現れるのだが、これを入力で換算すると±数mVとなる。実際に得られた利得を関数で表した場合の直線の傾きが、理想的に利得が得られた場合の関数の直線の傾きとは一致しない場合がある。この傾きの差が、利得誤差と呼ばれている。

スイッチドキャパシタ(SC)回路[1]はアナログサンプル値回路でありスイッチを含むことから、アナログ情報源とデジタル信号処理回路とのインターフェースに用いられる。SC回路はMOS技術を用いて集積回路化することにより初めてその実用性が発揮されるが、低電圧でSC回路を動作させる場合、非接地型のMOSスイッチが動作しなくなる場合がでてくる。これを解決する技術として単一利得リセット(Unity-Gain-Reset)技術がある[1]。

このUGR技術を用いることにより、MOSスイッチの動作が安定する。MOSスイッチを回路に利用すると回路規模のさらなる集積化が可能となる。またSC回路は消費電力を抑えることができる[2]-[3]。

本研究ではUGRを用いて低電圧で動作しオペアンプのオフセット電圧誤差、利得誤差を補償したSC非反転増幅器を提案し、演算増幅器をMOSFETにより構成し、3相クロックを用いてSCのスイッチングを行う回路を設計した。提案回路の補償効果、回路シミュレータPSpice[OrCAD capture]により動作確認を行い回路の分析検討した。

2 UGR-SC 非反転増幅器

図1に示す $\phi_1 \sim \phi_3$ は重なり合わない3相クロックである。3相のクロックのうち1相をUGR動作にあてる。今回提案するオフセット利得誤差補償低電圧UGR-SC

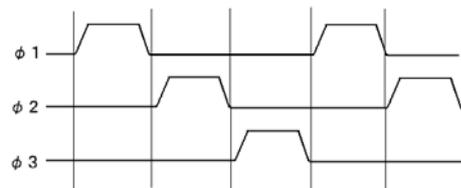


図 1: 3相クロック

非反転増幅器を図2に示す。提案回路では図7下部に示

1) 宮崎大学大学院工学研究科システム工学専攻

2) 宮崎大学工学部

す MOSFET で構成された演算増幅器を用いる.

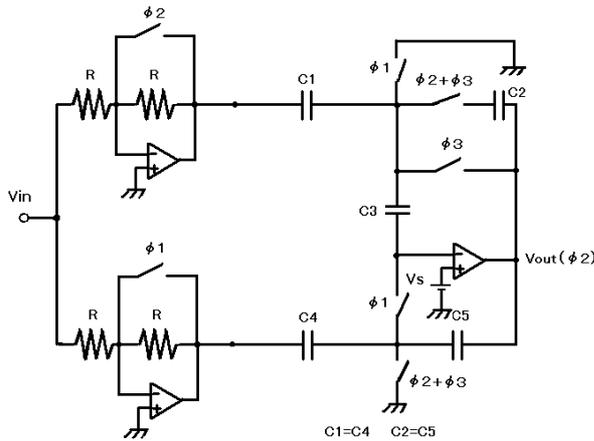


図 2: オffset利得誤差補償低電圧 UGR-SC 非反転増幅器

提案回路の C_1 、 C_2 による回路上部と C_4 、 C_5 による回路下部とが交互に働き増幅を行い C_3 に offset 利得誤差を充電しクロック動作により補償する.

2.1 動作原理

各クロック時の回路を図 3~ 図 5 に示す.

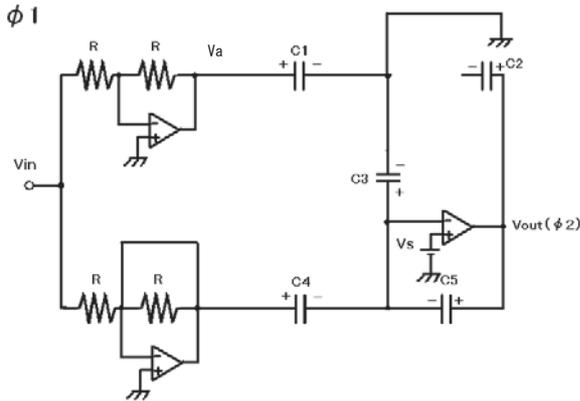


図 3: クロック : ϕ_1 時

提案回路で C_3 は offset 電圧を充電するキャパシタである. C_1 で入力を充電して次のクロックで転送し、 C_2 によって増幅の動作を行う. C_4 と C_5 は違うクロック時に、それぞれ C_1 、 C_2 と同じ動作を行う. 出力は ϕ_2 時に行われる. ϕ_3 時は UGR 動作が行われるため出力はゼロである. ϕ_2 時に行われる出力 V_{out} は次のようになる.

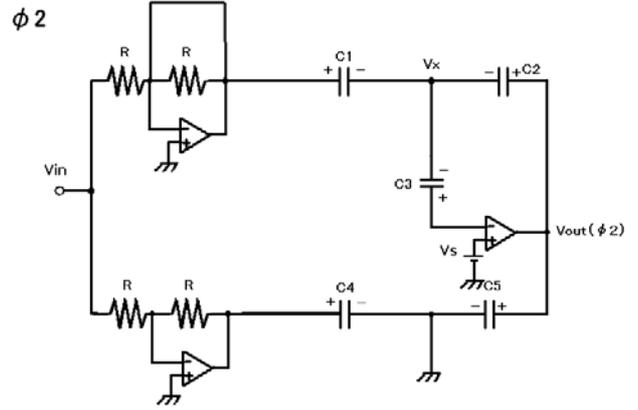


図 4: クロック : ϕ_2 時

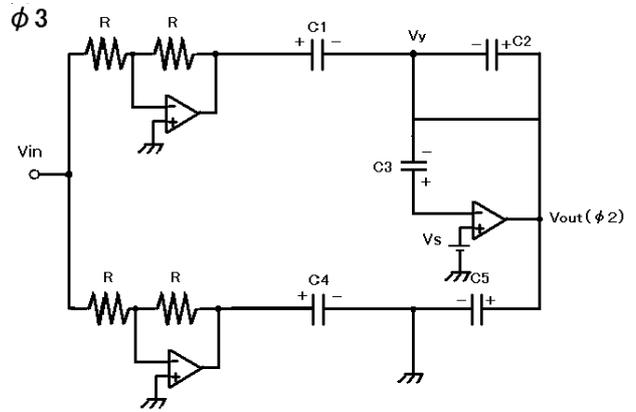


図 5: クロック : ϕ_3 時

ϕ_1 時、 C_1 に $V_{in}(n - \frac{1}{3})$ が充電され C_1 の電荷は、

$$Q_1 = C_1 V_{in}(n - \frac{1}{3}). \tag{1}$$

C_2 においては負電荷側が浮いているので、

$$Q_2 = 0. \tag{2}$$

C_3 においては offset 電圧 V_s が充電されるので

$$Q_3 = C_3 [V_s - \mu V_{out}(n - \frac{1}{3})]. \tag{3}$$

C_4 、 C_5 においては

$$Q_4 = C_4 [\mu V_{out}(n - \frac{1}{3}) - V_s] \tag{4}$$

$$Q_5 = C_5 [(1 + \mu) V_{out}(n - \frac{1}{3}) - V_s] \tag{5}$$

となる. ここで図 3 中の

$$V_a = -\frac{R}{R} V_{in} \tag{6}$$

である.

同様に ϕ_2 時は、図 4 のように接点電圧を V_x とし各電荷を見る. C_1 は V_{in} が放出されているので、

$$Q_1 = C_1(-V_x) \quad (7)$$

C_2 では V_{out} と V_x の電位差が充電され、

$$Q_2 = C_2[V_{out}(n) - V_x] \quad (8)$$

C_3 ではオフセット電圧と V_x の電位差が充電され、

$$Q_3 = C_3[V_s - \mu V_{out}(n) - V_x] \quad (9)$$

C_4 、 C_5 においては

$$\begin{aligned} Q_4 &= C_4 V_{in}(n) \\ Q_5 &= C_5 V_{out}(n) \end{aligned} \quad (10)$$

となる。

ϕ_3 時、 C_1 、 C_2 、 C_3 においては、

$$\begin{aligned} Q_1 &= C_1 V_{in}(n - \frac{2}{3}) \\ Q_2 &= 0 \\ Q_3 &= C_3 V_s \end{aligned} \quad (11)$$

C_4 、 C_5 においてはそれぞれ入力 V_{in} 、 V_{out} が充電されるので、

$$\begin{aligned} Q_4 &= C_4 V_{in}(n - \frac{2}{3}) \\ Q_5 &= 0 \end{aligned} \quad (12)$$

となる。以上をまとめ、クロックを考慮した電荷表を図6に示す。

		C_1	C_2	C_3	C_4	C_5
ϕ_2	$n-1$	$-V_x(n-1)$	$V_{out}(n-1) - V_x(n-1)$	$V_s - \mu V_{out}(n-1) - V_x$	$V_{in}(n-1)$	$V_{out}(n-1)$
ϕ_3	$n - \frac{2}{3}$	$V_{in}(n - \frac{2}{3})$	0	V_s	$V_{in}(n - \frac{2}{3})$	0
ϕ_1	$n - \frac{1}{3}$	$V_{in}(n - \frac{1}{3})$	0	$V_s - \mu V_{out}(n - \frac{1}{3})$	$\mu V_{out}(n - \frac{1}{3}) - V_x$	$(\mu + 1)V_{out}(n - \frac{1}{3}) - V_x$
ϕ_2	n	$-V_x(n)$	$V_{out}(n) - V_x(n)$	$V_s - \mu V_{out}(n) - V_x$	$V_{in}(n)$	$V_{out}(n)$

図 6: 電荷表

図6を用いて電荷保存則より各クロック間の電荷転送を見ていく。

$$V_{out}(n+1) = \frac{C_1}{C_2} V_{in}(n - \frac{1}{3}) + \epsilon$$

$$\epsilon = \frac{1}{A} (1 + \frac{C_1}{C_2}) [V_{out}(n) - (1 + \frac{C_4}{C_5}) V_s] \quad (13)$$

但し、

$$\mu = \frac{1}{A}$$

ここで、 A とは演算増幅器の電圧利得である。式(13)より $A = 1000$ と仮定してオフセット誤差 $\epsilon_s = 3.3E-3$ となる。

2.1.1 オフセット電圧補償

オフセット電圧補償について考えるため $\mu = 0$ と仮定する。

$\phi_2 \rightarrow \phi_3$ 時、 Q_3 の電荷の総和が保存されるので、

$$Q(\phi_2) = Q(\phi_3) \quad (14)$$

となる。ここで C_3 は電荷移動がないので、 $\mu = 0$ より

$$C_3(V_s - V_x) = C_3(V_s - V_{out}(n + \frac{1}{3})) \quad (15)$$

$V_{out}(n + \frac{1}{3})$ はリセットされ、

$$V_x = 0 \quad (16)$$

となる。式(14)は次のようになる。

$$V_{out}(n + \frac{1}{3}) = -\frac{C_2}{C_1} V_{out}(n) + V_{in}(n + \frac{1}{3}) \quad (17)$$

$\phi_3 \rightarrow \phi_1$ 時、 $C_3 \sim C_5$ の電荷の総和が保存されるので、 $\mu = 0$ を考慮し、

$$Q_3(\phi_3) + Q_4(\phi_3) + Q_5(\phi_3) = Q_3(\phi_1) + Q_4(\phi_1) + Q_5(\phi_1)$$

$C_4 = C_1$ 、 $C_5 = C_2$ であるから、

$$C_1 V_{in}(n + \frac{1}{3}) + C_2 V_{out}(n + \frac{1}{3}) = C_2 V_{out}(n + \frac{2}{3}) - (C_4 + C_5) V_s \quad (18)$$

$\phi_1 \rightarrow \phi_2$ 時、 $C_1 \sim C_3$ の電荷の総和が保存されるので、

$$Q_1(\phi_1) + Q_2(\phi_1) + Q_3(\phi_1) = Q_1(\phi_2) + Q_2(\phi_2) + Q_3(\phi_2) \quad (19)$$

式(16)であるから、

$$C_1 V_{in}(n + \frac{2}{3}) = C_2 V_{out}(n + 1) \quad (20)$$

となる。式(17),(18),(20)より、 $V_{out}(n+1)$ を得る。

$$V_{out}(n+1) = \frac{C_1}{C_2} V_{in}(n - \frac{1}{3}) \quad (21)$$

2.1.2 利得誤差補償

オフセット電圧 $V_s = 0$ と仮定し利得誤差補償について考える。

$\phi_2 \rightarrow \phi_3$ 時は、 C_3 は電荷移動がないので、 $V_x = 0$ より

$$C_3(-\mu V_{out}(n)) = 0. \tag{22}$$

$\phi_3 \rightarrow \phi_1$ 時、 $C_3 \sim C_5$ の電荷の総和が保存されるので、 $V_x = 0$ より

$$Q_3(\phi_3) + Q_4(\phi_3) + Q_5(\phi_3) = Q_3(\phi_1) + Q_4(\phi_1) + Q_5(\phi_1)$$

ここで $C_4 = C_1$ 、 $C_5 = C_2$ であるから、

$$C_1 V_{in}(n + \frac{1}{3}) = \{\mu C_1 + C_2(1 + \mu)\} V_{out}(n + \frac{2}{3}) \tag{23}$$

となる。

$\phi_1 \rightarrow \phi_2$ 時、 $C_1 \sim C_3$ の電荷の総和が保存され、

$$C_1 V_{in}(n + \frac{2}{3}) + 0 = -C_1 V_x + C_2 V_{out}(n+1) - C_2 V_x \tag{24}$$

$V_x = 0$ であるから、

$$C_1 V_{in}(n + \frac{2}{3}) = C_2 V_{out}(n + 1) \tag{25}$$

となる。式 (22),(23),(25) より、 $V_{out}(n + 1)$ を得る。

$$V_{out}(n + 1) = \frac{C_1}{C_2} V_{in}(n - \frac{1}{3}) + \frac{1}{A}(1 + \frac{C_1}{C_2}) V_{out}(n) \tag{26}$$

3 シミュレーション

図7の PSpice シミュレータ [Orcad capture] を用いてシミュレーションを行った。電源電圧 2V、入力には 0.5V をバイアスとし、振幅を 1 V、周波数 100kHz をとした正弦波を用いた。クロック周波数は 1.67MHz、増幅率は $C1/C2 = 20p/10p = 2$ とした。演算増幅器部のオフセット電圧 V_{os} は 200 mV に設定し、各 WL 比は $M1 = W/L = 10[\mu m]/1 [\mu m] = 10$ 、 $M2 \cdot M3 \cdot M4 = 90[\mu m]/1 [\mu m] = 90$ 、 $M5 \cdot M6 \cdot M7 = 95[\mu m]/1 [\mu m] = 95$ とした。電流源 $I2=100[\mu A]$ である。

4 まとめ

シミュレーション結果は電源電圧 2V で、振幅 1.92[V]、バイアス 0.9[V] 程度の非反転された波形を得ることができ、オフセット電圧が補償されているのが確認できた。今後の展望としては、より低電圧化を計るため、抵抗を使用せず回路を構成できるよう考慮する。理想スイッチによってシミュレーションを行ったので、MOS スイッチにより構成することがあげられる。

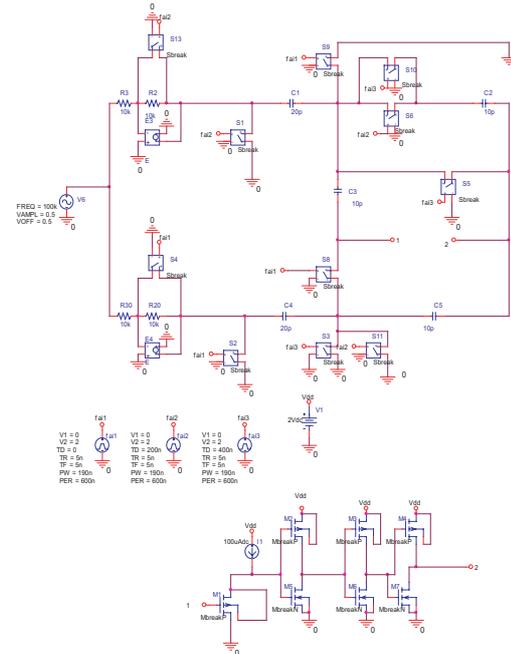


図 7: Orcad capture で描いた提案回路

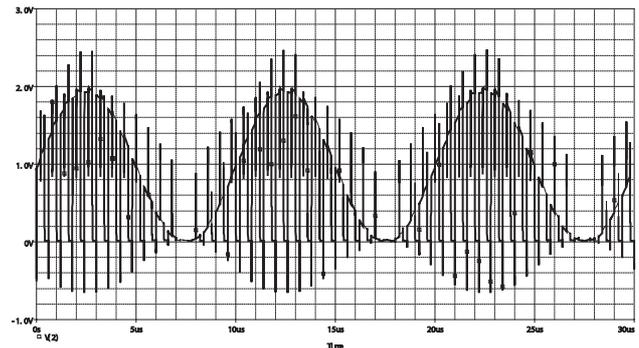


図 8: 出力波形 $V_{out} = 1.92V$

参考文献

- [1] Mustafa Keskin, Un-Ku Moon, Gabor C.Temes
“ A 1-V 10-MHz Clock-Rate 13-Bit CMOS $\Delta\Sigma$ Modulator Using Unity-Gain-Reset Opamps ”
IEEE J. Solid-State Circuit, VOL. 37, NO.7, pp817-824, July 2002
- [2] K.NAGARAJ,R.VISWANATHAN,K.SINGHAL and J.VLACH, ”Switched-Capacitor Circuits with Reduced Sensitiviy to Amplifier Gain ”
IEEE,MAY 1987
- [3] 井上順平, ”単位利得リセットによる低電圧 SC 積分器” 平成 17 年度卒業論文