

スイッチトボルテージ周波数-電圧変換回路

岡野 孝徳¹⁾ ・ 松本 寛樹²⁾ ・ 大野 憲司¹⁾

Switched-Voltage Frequency-to-Voltage Converter

Takanori OKANO¹⁾ , Hiroki MATSUMOTO²⁾ , Kenji OHNO¹⁾

Abstract

In this paper, Switched-Voltage (SV) Frequency-to-Voltage (FV) converter is presented. The circuit is composed of only MOSFET's as well as Digital CMOS technique. The proposed circuit can operate using nonoverlapping two phase clocks. Performance is estimated by simulations on PSpice.

Key words:

Switched-Voltage(SV),Frequency-to-Voltage(FV),MOSFET,High-Accuracy Sample/Hold Circuit

1. はじめに

スイッチトボルテージ (SV) 回路は、デジタル CMOS プロセスの集積化と同じように MOSFET のみで構成されており、また、電圧信号のみで処理できる。

本研究では、この SV 回路による周波数-電圧変換回路について述べる。シミュレーションは PSpice で行った。なお、周波数-電圧変換は、回転数の検出・計測やセンササイザーに用いられている。

2. 周波数-電圧変換

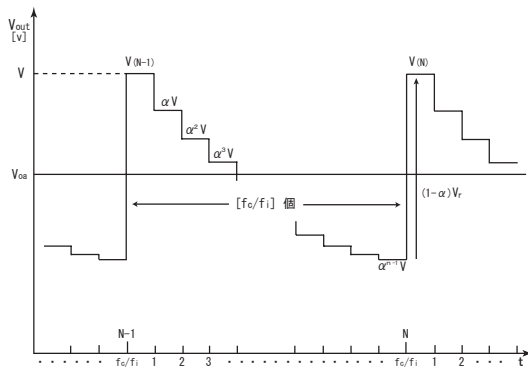


図1 周波数-電圧変換

図1は周波数-電圧変換されたときの出力波形である。図中の f_i は入力周波数で、 f_c はクロック周波数である。図1より出力電圧の平均電圧 V_{oa} は

$$V_{oa} = \frac{V + \alpha V + \alpha^2 V + \alpha^3 V + \dots + \alpha^{n-1} V}{n} \quad (1)$$

$$V_{oa} = V \sum_{i=0}^{n-1} \alpha^i / n \quad (2)$$

ここで

$$V \sum_{i=0}^{n-1} \alpha^i = \frac{V(1 - \alpha^n)}{1 - \alpha} \quad (3)$$

であるから

$$V_{oa} = \left\{ \frac{(1 - \alpha^n)V}{1 - \alpha} \right\} \frac{1}{n} \quad (4)$$

となり、また

$$V_{(N)} = (1 - \alpha)V_r + \alpha^n V_{(N-1)} \quad (5)$$

が得られる。

定常状態の条件で $V = V_{(N)} = V_{(N-1)}$ となることから、式(4),(5)より

$$\begin{aligned} V_r &= \frac{V_{(N)} - \alpha^n V_{(N-1)}}{1 - \alpha} \\ &= \frac{(1 - \alpha^n)V}{1 - \alpha} \\ V_{oa} &= \frac{V_r}{n} \end{aligned} \quad (6)$$

ここで、 $n = \frac{f_c}{f_i}$ であるから

$$V_{oa} = V \sum_{i=0}^{n-1} \alpha^i / n = \frac{f_i V_r}{f_c} \quad (7)$$

と求められる。ここで、 V_r は参照電圧である。

図1の出力波形は、電圧を保持し、その前の電圧を α 倍しているの、周波数-電圧変換回路には、電圧を保持するサンプルホールド (S/H) 回路と、 α 倍する分圧器が必要となる。

¹⁾ 宮崎大学大学院工学研究科

²⁾ 宮崎大学工学部

3. SV 周波数-電圧変換回路

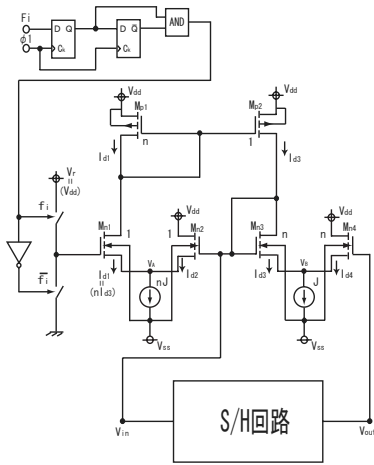


図2 SV 周波数-電圧変換回路

図2にSV周波数-電圧変換回路を示す。上段はデジタル部で、2個のD-FFとAND素子、NOT素子で構成されている。中段は分圧器で、pMOS2個とnMOS4個で構成されており、下段はS/H回路である。また、 ϕ_1 , ϕ_2 は重なり合わない2相クロックで、 $V_{dd}=3.00V, V_{ss1}=0V$ (デジタル部), $V_{ss2}=-3.00V$ とした。

4. タイミングチャート

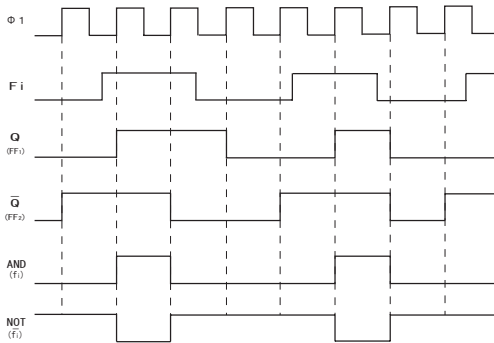


図3 タイミングチャート

図2の提案回路のデジタル部のタイミングチャートを図3に示す。図3から、入力周波数 F_i が low から high へ立ち上がった直後に、クロック (ϕ_1) が立ち上がるとANDが high となるのがわかる。ANDが high の時に、参照電圧 V_r が供給される。

なお、入力周波数 F_i の周期はクロック (ϕ_1) の周期より2倍以上長くなければならない。

5. 分圧器

図2の中段の分圧器の各nMOS $M_{n1}, M_{n2}, M_{n3}, M_{n4}$ に流れる電流を、 $I_{d1}, I_{d2}, I_{d3}, I_{d4}$ とすると、飽和領域でのドレイン電流は

$$\begin{cases} I_{d1} = K_n(V_{GS1} - V_{Tn})^2 \\ I_{d2} = K_n(V_{GS2} - V_{Tn})^2 \\ I_{d3} = nK_n(V_{GS3} - V_{Tn})^2 \\ I_{d4} = nK_n(V_{GS4} - V_{Tn})^2 \end{cases} \quad (8)$$

ここで、式(8)の $V_{GS1}, V_{GS2}, V_{GS3}, V_{GS4}$ は、図2より

$$\begin{cases} V_{GS1} = f_i V_r - V_A \\ V_{GS2} = V_{in} - V_A \\ V_{GS3} = V_{in} - V_B \\ V_{GS4} = V_{out} - V_B \end{cases} \quad (9)$$

となり、式(8)に代入すると

$$\begin{cases} I_{d1} = K_n(f_i V_r - V_A - V_{Tn})^2 \\ I_{d2} = K_n(V_{in} - V_A - V_{Tn})^2 \\ I_{d3} = nK_n(V_{in} - V_B - V_{Tn})^2 \\ I_{d4} = nK_n(V_{out} - V_B - V_{Tn})^2 \end{cases} \quad (10)$$

と表される。pMOSのカレントミラー部、電流源部において、右側と左側の比が $n:1$ となっていることから

$$\begin{cases} I_{d1} = nI_{d3} \\ I_{d1} + I_{d2} = nJ \\ I_{d3} + I_{d4} = J \end{cases} \quad (11)$$

式(11)より

$$\begin{cases} I_{d1} = nI_{d3} \\ I_{d2} = nI_{d4} \end{cases} \quad (12)$$

式(10)を式(12)に代入すると

$$\begin{aligned} K_n(f_i V_r - V_A - V_{Tn})^2 &= n^2 K_n(V_{in} - V_B - V_{Tn})^2 \\ f_i V_r - V_A - V_{Tn} &= n(V_{in} - V_B - V_{Tn}) \end{aligned} \quad (13)$$

$$\begin{aligned} K_n(V_{in} - V_A - V_{Tn})^2 &= n^2 K_n(V_{out} - V_B - V_{Tn})^2 \\ V_{in} - V_A - V_{Tn} &= n(V_{out} - V_B - V_{Tn}) \end{aligned} \quad (14)$$

式(13),(14)より分圧器の出力、つまりS/H回路への入力電圧 V_{in} は

$$V_{in} = \frac{f_i V_r + nV_{out}}{1+n} \quad (15)$$

となる。

6. サンプルホールド回路

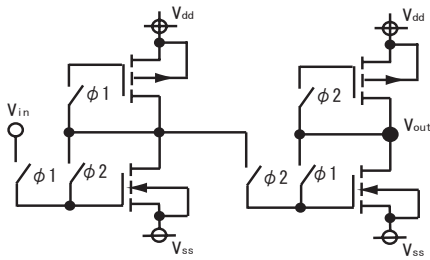


図4 トマゾウサンプルホールド回路

図4は2段のトマゾウS/H回路である。[2]

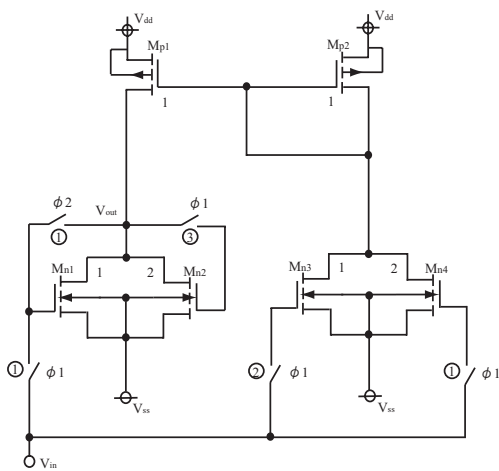


図5 高精度サンプルホールド回路

図5は高精度S/H回路である。[3]

図中の数字はMOSFETのW/L比を、丸囲み数字はスイッチの個数を表している。トマゾウS/H回路と同じく2段で使い、2段目は1, 2を入れ換えて、1出力とした。

図2のS/H回路に、トマゾウS/H回路または高精度S/H回路を2段にして使い、それぞれシミュレーションを行った。

なお、高精度S/H回路を用いた場合は、 $V_{dd}=3.00V$, $V_{ss1}=0V$ (デジタル部), $V_{ss2}=-3.00V$ としたが、トマゾウS/H回路を用いた場合は、 $V_{dd}=2.0V$, $V_{ss1}=0V$ (デジタル部), $V_{ss2}=-2.0V$ とした。

7. シミュレーション結果

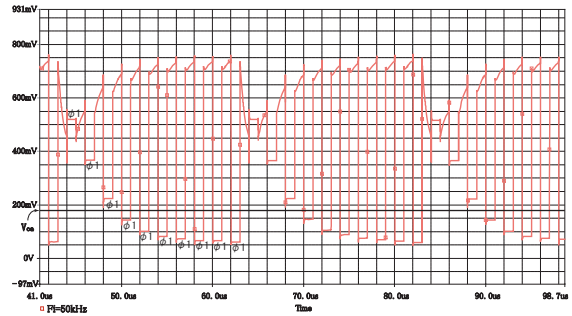


図6 入力周波数 $f_i=50kHz$

図6は、S/H回路にトマゾウS/H回路を用い、入力周波数 $f_i=50kHz$ の時の出力波形である。 $\frac{f_c}{f_i}$ 回、ここでクロック周波数 $f_c=500kHz$ なので10回ごとに電圧が上がるようになる周波数-電圧変換の様子を確認できた。

また、 ϕ_1 時における出力電圧の平均電圧は図中の V_{oa} であり、約 $0.180V$ となった。ここで、参照電圧 V_T は V_{dd} , クロック周波数 $f_c=500kHz$ であるから、理論値は式(7)より

$$V_{oa} = \frac{f_i V_{dd}}{f_c} = \frac{50kHz}{500kHz} \cdot 2.00V = 0.200V$$

であるから、理論値の $V_{oa}=0.200V$ に対してシミュレーション結果は $V_{oa}=0.180V$ であるので、その誤差は $0.020V$ となる。

入力周波数 f_i が $50kHz$ のときは理論値とシミュレーション結果の誤差は約10%だったが、入力周波数を変えていくと誤差が大きくなってしまった。この理由としては、トマゾウS/H回路の動作範囲の狭さによることが考えられる。よって、S/H回路に高精度S/H回路を用いてシミュレーションを行った。

図7~図9に高精度S/H回路を用いたシミュレーション結果を示す。

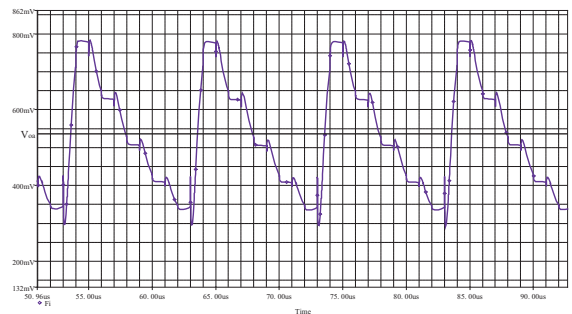


図7 入力周波数 $f_i=100kHz$

図7は入力周波数 $f_i=100kHz$ の時の出力波形である。 $\frac{f_c}{f_i}$ 回、つまりクロック周波数 $f_c=500kHz$ なので5回ごとに電圧が上がるようになることが確認できた。

また、このときの出力電圧の平均電圧は図中の V_{oa} であり、約 0.540V である。

ここで、参照電圧 V_r は V_{dd} 、クロック周波数 $f_c=500kHz$ であるから、理論値は式 (7) より

$$V_{oa} = \frac{f_i V_{dd}}{f_c} = \frac{100kHz}{500kHz} \cdot 3.00V = 0.600V$$

であるから、理論値の $V_{oa}=0.600V$ に対してシミュレーション結果は $V_{oa}=0.540V$ であるので、誤差は 0.060V となる。

入力周波数を 62.5kHz, 50kHz と変えて同様にシミュレーションを行った。

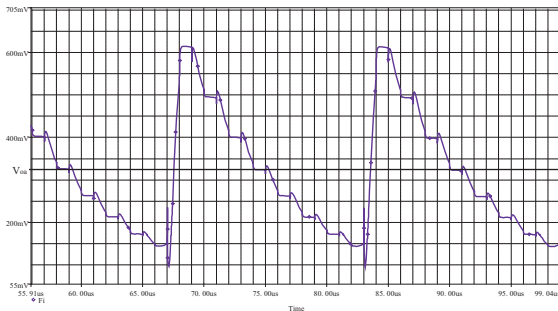


図8 入力周波数 $f_i=62.5kHz$

図8は入力周波数 $f_i=62.5kHz$ の時の出力波形である。 $\frac{f_c}{f_i}$ 回、つまりクロック周波数 $f_c=500kHz$ なので8回ごとに電圧が上がることを確認できた。

また、このときの出力電圧の平均電圧は図中の V_{oa} であり、約 0.325V である。

理論値は

$$V_{oa} = \frac{f_i V_{dd}}{f_c} = \frac{62.5kHz}{500kHz} \cdot 3.00V = 0.375V$$

であるから、理論値の $V_{oa}=0.375V$ に対してシミュレーション結果は $V_{oa}=0.325V$ であるので、誤差は 0.050V となる。

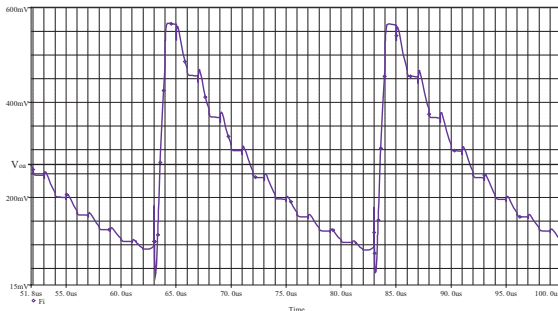


図9 入力周波数 $f_i=50kHz$

図9は入力周波数 $f_i=50kHz$ の時の出力波形である。 $\frac{f_c}{f_i}$ 回、つまりクロック周波数 $f_c=500kHz$ なので10回ごとに電圧が上がることを確認できた。

また、このときの出力電圧の平均電圧は図中の V_{oa} であり、約 0.270V である。

理論値は

$$V_{oa} = \frac{f_i V_{dd}}{f_c} = \frac{50kHz}{500kHz} \cdot 3.00V = 0.300V$$

であるから、理論値の $V_{oa}=0.300V$ に対してシミュレーション結果は $V_{oa}=0.270V$ であるので、誤差は 0.030V となる。

表1に各入力周波数のシミュレーション結果を示す。

表1 シミュレーション結果

入力周波数	理論値	シミュレーション結果	誤差
100kHz	0.600V	0.540V	10%
62.5kHz	0.375V	0.325V	13%
50kHz	0.300V	0.270V	10%

8. まとめ

$\frac{f_c}{f_i}$ 回ごとに電圧が上がるという周波数-電圧変換の特徴的な波形図を得ることはできた。しかし、高精度 S/H 回路を用いた時の理論値とシミュレーション結果の誤差は 10% ~ 13% となった。

この理由としては、図7~図9から電圧が保持しきれていないことから、S/H 回路のところで電圧がホールドされていないということが考えられる。

よって、改良点は高精度 S/H 回路の精度を上げることである。

参考文献

- [1] Hiroki MATSUMOTO; "A Quasi-Passive Switched-Capacitor Frequency-to-Voltage Converter", THE TRANSACTIONS OF THE IEICE, VOL.E 72, NO.1 JANUARY 1989
- [2] K.Leeiavattananon, and C.Toumazou; "Switched-voltage : An adaptation of switched-currents for voltage-mode design", ELECTRONICS LETTERS, Vol.34, no.6, pp.503-504, 19th March 1998
- [3] Kenji Ohno, Hiroki Matsumoto, Kenji Murao (Miyazaki Univ.); "A Switched-Voltage High-Accuracy Sample/Hold Circuit", The 47th IEEE MWSCAS pp. I-105 - I-108 July 27, 2004