

低電圧スイッチドキャパシタ D/A 変換器

船越 一徳¹⁾・松本 寛樹²⁾

Low-Voltage Switched-Capacitor Digital-to-Analog Converters

Kazunori FUNAKOSHI , Hiroki MATSUMOTO

Abstract

As the chip integration advances toward the CMOS VLSI integrated systems, on-chip Digital-to-Analog Converter(DAC) becomes more important building blocks. Key technologies in DAC is fabrication at low-cost and operation on high-performance. High-resolution and Low-Voltage DAC is required in many fields. Advantages of Algorithmic DAC using Switched-Capacitor(SC) are small chip area, low consumption of electric power, and compatibility to MOS IC. However , major performance of conventional algorithmic DAC is limited by offset voltage and spike. In this paper, it shows a Low-Voltage SC cyclic DAC. It is proposed which consists of a switch, capacitor, MOSFET and op-amp. Circuit operation is evaluated by SIMetrix.

Keywords:

Switched-Capacitor, Low-Voltage, Unity-Gain-Reset

1. まえがき

近年では、マイクロコンピュータやメモリに代表される LSI 技術の発展に支えられ、生活のさまざまな部分にまでデジタル化が進んでおり、もはや日常生活の中になくはないものにまでなっていると言える。そして、このデジタルデータを扱ううえで A/D、D/A 変換 [1] もまた重要なものであるため、より良い物が求められている。

身近にある物理量はアナログ量であるが、アナログ量のままでデータを扱うとデータ量は膨大になるため、デジタルへと変換したほうが効率が良くなるが大いにある。そこで、アナログ量をデジタルへと変換させるために A/D 変換器、デジタルのままでは人間が直接認識できないので、再びアナログ量へと戻すために D/A 変換器が必要となる。また、一般にアナログ信号は経済性や高速性の点に優れ、デジタル信号は耐雑音性やプログラマビリティなどの柔軟性といった点が優れている。

A/D、D/A 変換でも雑音や誤差が乗る為その影響をできるだけ最小限にし、エネルギーの消費も抑えるよ

うな低価格、高精度、高速の物が理想である。ところが、既存の D/A 変換器では、オフセット電圧やスパイクといった雑音成分が入り込み、性能の低下が生じていたため、信号伝送での耐雑音性を生かしきれていない。

スイッチドキャパシタ (SC) 回路 [2] はアナログサンプル値回路でありスイッチを含むことから、アナログ情報源とデジタル信号処理回路とのインターフェースに用いられる。SC 回路は MOS 技術を用いて集積回路化することにより初めてその実用性が発揮され、単位利得リセット (UGR)[3] 技術を用いることにより、MOS スイッチの動作が安定する。MOS スイッチを回路に利用すると回路規模のさらなる集積化が可能となる。

本研究では、低電圧 SC 循環型 D/A 変換器を提案する。また、この提案回路をキャパシタ、MOS スイッチで構成し、回路シミュレータ SIMetrix を用いて動作確認を行った。

2. D/A 変換

D/A 変換器とは、デジタル入力信号を受けてその入力に与えられた数値に見合う電流または電圧を出力する回路である。2 進数で表されるシステム内で、その最小の値を表す桁を最下位ビット Least Significant Bit(LSB)、最大の値を表す桁を最上位ビット Most Sig-

¹⁾大学院工学研究科電気電子工学専攻

²⁾工学部電気電子工学科准教授

nificant Bit(MSB) といひ、LSB から変換するか MSB から変換するかでそのアルゴリズムは異なっている。

D/A 変換の特性に関してはオフセット誤差とスパイク雑音に関わってくる。オフセット誤差とは、演算増幅器の両入力端子を短絡したときに出力に ± 数 V の出力が現れるのだが、これを入力に換算すると ± 数 mV となる。これがオフセット電圧であり、これによる誤差がオフセット誤差である。スパイク雑音とは、SC 回路中で演算増幅器を負帰還を掛けて用いるときにスイッチングによって負帰還がはずれることがある。このときに出力に針状の波形が生じ、これをスパイクと呼ぶ。

オフセット誤差は、図 1 のように理想特性よりもオフセット電圧分シフトしてしまう。シフトの幅が 1LSB よりも大きくなると分解能が制限される。

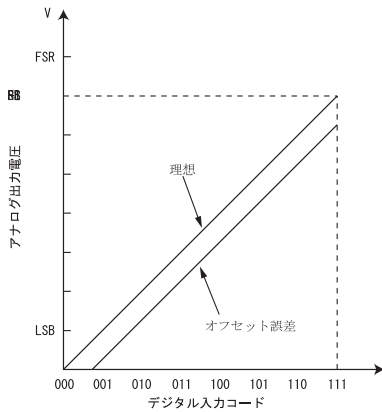


図 1 3 ビット D/A 変換の出力

また、スパイクはアナログ信号に雑音がかかることになる為問題がある。

3. 下位ビットから変換する D/A 変換器

下位ビットから変換する D/A 変換器のアルゴリズムは次式ようになる。

$$\begin{cases} V_o(0) = 0 \\ V_o(i) = \frac{1}{2} \{ b_{n+1-i} V_r + V_o(i-1) \} [i = 1, 2, 3 \dots n] (1) \\ V_o(n) = \sum_{i=1}^n 2^{-i} b_i V_r \end{cases}$$

ここで、 $V_o(0)$ は初期条件、 $V_o(i)$ は途中式、 $V_o(n)$ は最終的な出力を示している。また、入力コードは

$$(b_1 b_2 b_3 \dots b_{n-2} b_{n-1} b_n)$$

というもので、 b_1 が MSB、 b_n が LSB を示している。

アルゴリズムから、平均化とサンプルホールドの機能により動作が実現可能なことがわかる。

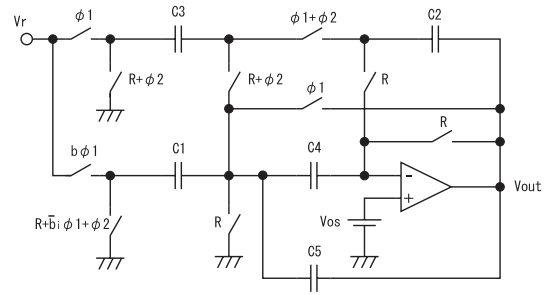


図 2 オフセット補償 SC 循環型 D/A 変換器

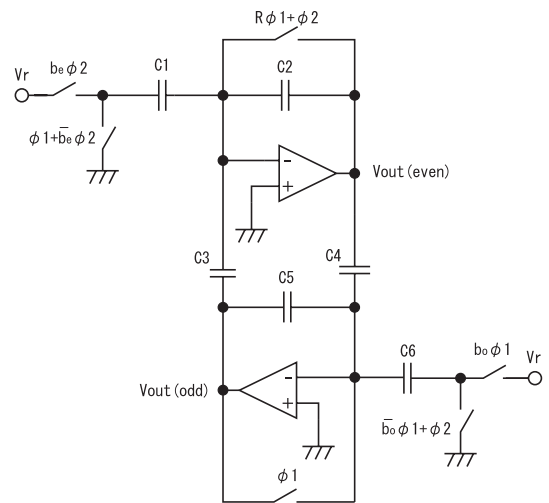


図 3 スパイク補償 SC 循環型 D/A 変換器

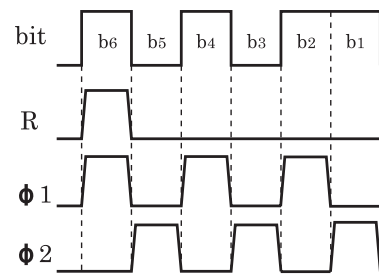


図 4 タイミングチャート

両回路共に、図 4 のように重なり合わない 2 相クロック、リセットパルス、入力ビットといった信号を用いて動作し、図 2 に示すオフセット補償 D/A 変換器は、すべてのキャパシタの容量は等しく、演算増幅器の反転入力端子に接続されたキャパシタ C_4 にオフセット電圧を保存することによって、オフセット補償を行っている。図 3 に示すスパイク補償 D/A 変換器は、負帰還のはずれを失くすために、演算増幅器の出力と反転

入力端子を接続しているキャパシタ $C_2 = C_5 = 2C$ とし、その他のキャパシタの容量を C とする。また、図中で odd(奇数)、even(偶数) の表記があるが、これは入力ビット数が偶数の場合であり、奇数の場合には表記が入れ替わる。

4. 上位ビットから変換する D/A 変換器

今回提案する D/A 変換器では、上位ビットから変換するものを基準電圧分圧と行列アルゴリズムという二通りのアルゴリズムを用いている。

4.1 基準電圧分圧による D/A 変換器

変換アルゴリズムを次式に示す。

$$\begin{cases} V_r(0) = V_r \\ V_r(i) = \frac{1}{2}V_r(i-1) & [i = 1, 2, 3...n] \\ V_r(n) = \sum_{i=1}^n 2^{-i}V_r \end{cases} \quad (2)$$

$$\begin{cases} V_o(0) = 0 \\ V_o(i) = V_o(i-1) + b_i V_r(i) & [i = 1, 2, 3...n] \\ V_o(n) = \sum_{i=1}^n 2^{-i}b_i V_r \end{cases} \quad (3)$$

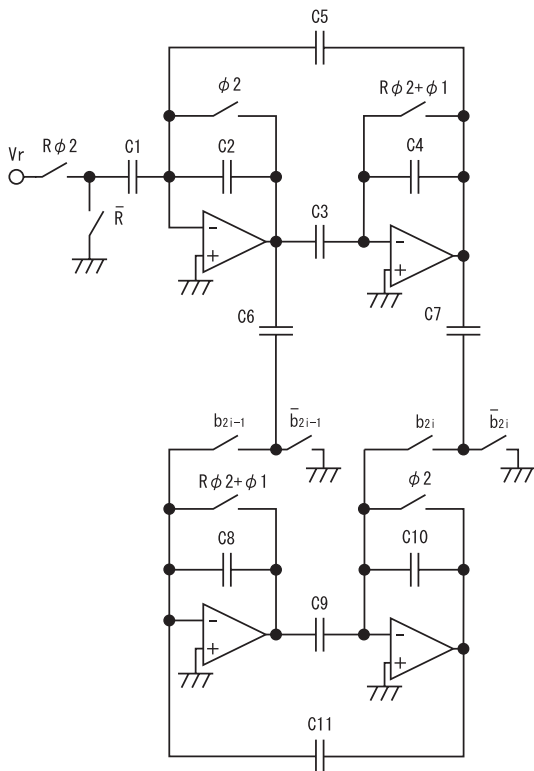


図 5 スパイク補償 SC 循環型 D/A 変換器

式 (2)、(3) のアルゴリズムから、分圧と積分の機能により動作が実現可能なことがわかる。図 5 中で上部

と下部で似た構成をとっているが、上部では分圧動作、下部では積分動作を行う。また、スパイク補償のために演算増幅器の入力と出力はキャパシタによって短絡されている。ここで、分圧動作を行う上部の演算増幅器のスパイク補償に用いているキャパシタ $C_2 = C_4 = 2C$ とし、その他のキャパシタの容量は C である。

4.2 行列アルゴリズムによる D/A 変換

変換アルゴリズムを次式に示す。

$$\begin{pmatrix} V_r(0) \\ V_a(0) \end{pmatrix} = \begin{pmatrix} V_r \\ 0 \end{pmatrix} \quad (4)$$

$$\begin{pmatrix} V_r(i) \\ V_a(i) \end{pmatrix} = \begin{pmatrix} b_i + \frac{\bar{b}_i}{2} & \frac{\bar{b}_i}{2} \\ \frac{b_i}{2} & \bar{b}_i + \frac{b_i}{2} \end{pmatrix} \begin{pmatrix} V_r(i-1) \\ V_a(i-1) \end{pmatrix} \quad (5)$$

$$\begin{pmatrix} V_r(n) \\ V_a(n) \end{pmatrix} = \begin{pmatrix} 2^{-n} + \sum_{i=1}^n 2^{-i}b_i \\ \sum_{i=1}^n 2^{-i}b_i \end{pmatrix} V_r \quad (6)$$

また、式 (5) より、

$$\begin{cases} V_r(i) = b_i V_r(i-1) + \frac{1}{2}\bar{b}_i\{V_r(i-1) + V_a(i-1)\} \\ V_a(i) = \frac{1}{2}b_i\{V_r(i-1) + V_a(i-1)\} + \bar{b}_i V_a(i-1) \end{cases}$$

と表され、入力ビットにより $V_r(i)$ と $V_a(i)$ が平均化とサンプルホールドの機能を使い分けていることが分かる。

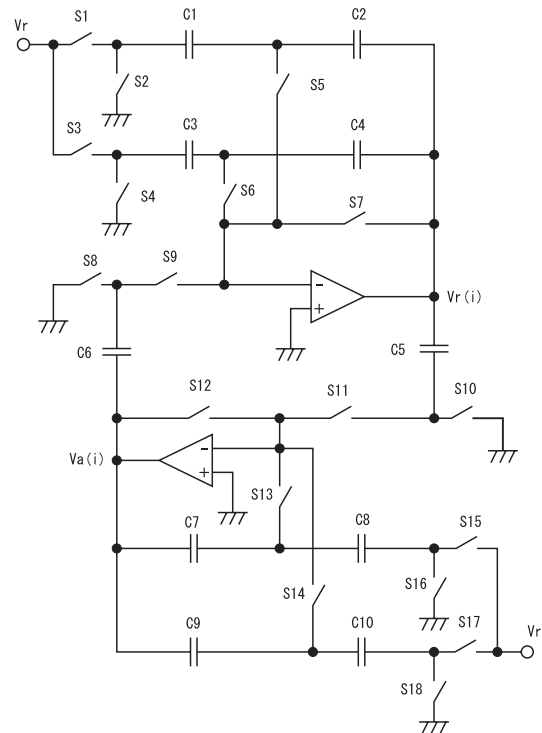


図 6 SC 循環型 D/A 変換器

この回路は全て容量の等しいキャパシタを用い、 S_5 、 S_6 、 S_{13} 、 S_{14} の MOS スイッチの順方向基板漏れ電流を解消するために、キャパシタ C_1 、 C_3 、 C_8 、 C_{10} を電荷保存時に V_r に繋ぐ構成になっている。また、スイッチングの条件は下記、表 1 のようになり、複雑なスイッチングが必要となっている。

表 1 各スイッチの ON,OFF 条件

	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9
R_1	1	0	1	0	1	1	1	1	0
R_2	0	1	0	1	1	1	0	1	0
ϕ_1	n	b_i	0	1	1	b_i	n	b_i	n
ϕ_2	b_i	n	b_i	n	n	n	b_i	b_i	n

	S_{10}	S_{11}	S_{12}	S_{13}	S_{14}	S_{15}	S_{16}	S_{17}	S_{18}
R_1	1	0	1	1	1	0	1	0	1
R_2	1	0	0	1	1	0	1	0	1
ϕ_1	n	b_i	b_i	1	n	0	1	b_i	n
ϕ_2	n	b_i	n	b_i	b_i	n	b_i	n	b_i

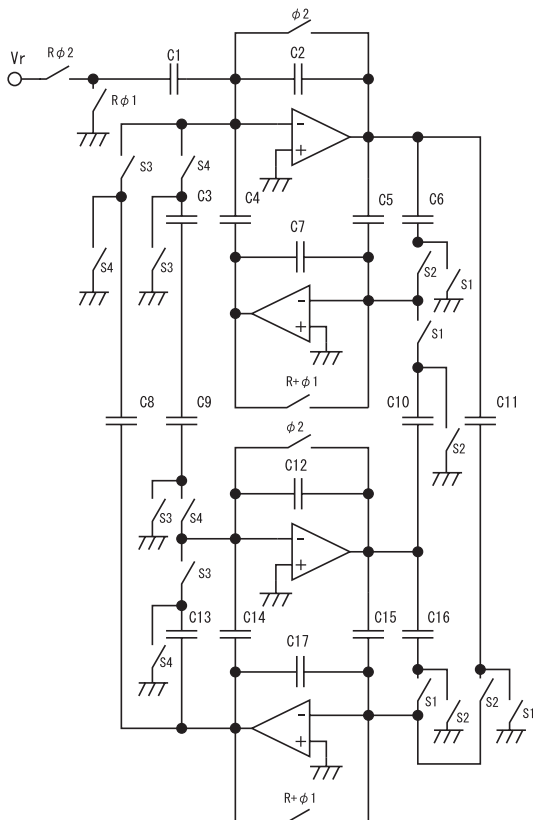


図 7 スパイク補償 SC 循環型 D/A 変換器

図 7 中の $S_1 \sim S_4$ のスイッチング条件は次のようになる。

$$S1 = \overline{b_{2i-1}}(\phi_1 + \phi_2)$$

$$S2 = b_{2i-1}(\phi_1 + \phi_2)$$

$$S3 = \overline{b_{2i-1}}(\phi_2 + \phi_1)$$

$$S4 = b_{2i-1}(\phi_2 + \phi_1)$$

図 6 に示す回路はオフセット電圧、スパイク雑音に対して補償を行ってはいない。それに対し、図 7 の回路では、回路規模こそ大きくなっているが、出力が以前のものとは比べクロック半周期分で生じることや、スパイクの補償を行っていること、スイッチングの複雑化を解消している。

5. シミュレーション

スパイク補償を行っていない回路の例として、オフセット補償を行った回路の回路シミュレータ PSpice による、シミュレーション結果を図 8 に示し、上位ビット、下位ビットから変換するスパイク補償を行った回路それぞれを回路シミュレータ SIMetrix によってシミュレーションした結果を図 9 ~ 11 に示す。

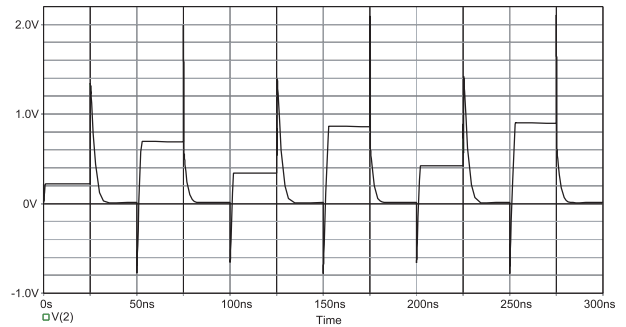


図 8 下位ビットから変換 (オフセット補償)

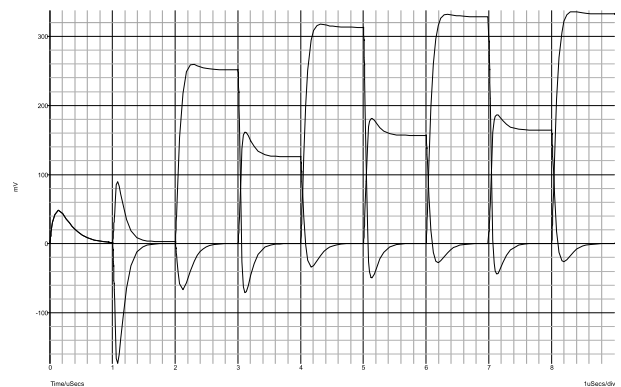


図 9 下位ビットから変換 (入力ビット:10101010)

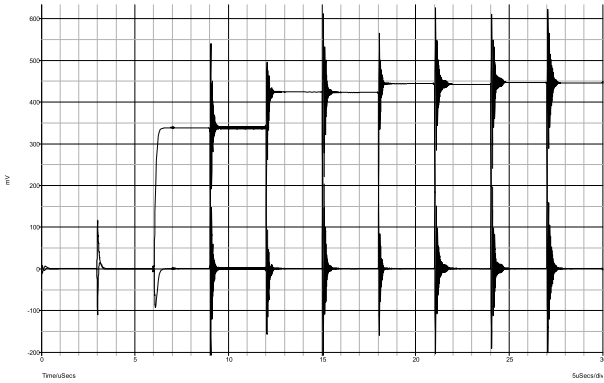


図 10 基準電圧分圧による (入力ビット:10101010)

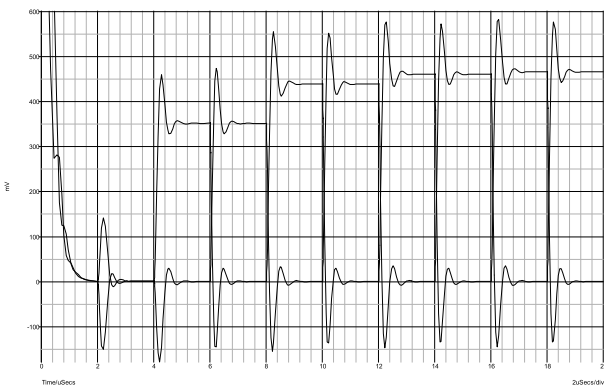


図 11 行列アルゴリズムによる (入力ビット:10101010)

クロック周波数、基準電圧が上位ビットのものが500[kHz]、500[mV]、基準電圧分圧のものが167[kHz]、700[mV]、下位ビットのものが250[kHz]、700[mV]となっている。下位ビットから変換するものは、入力 ($b_1b_2b_3b_4b_5b_6b_7b_8$) に対して $b_8 \rightarrow b_7 \rightarrow b_6 \rightarrow b_5 \rightarrow b_4 \rightarrow b_3 \rightarrow b_2 \rightarrow b_1$ という順番に変換されている。上位ビットから変換するものは、入力に対して $b_1 \rightarrow b_2 \rightarrow b_3 \rightarrow b_4 \rightarrow b_5 \rightarrow b_6 \rightarrow b_7 \rightarrow b_8$ という順番に変換されている。オフセット補償を行った回路では、リセット時ではオフセット電圧が生じていないことが確認でき、スイッチが切り替わる時に負帰還の途切れからスパイクが大きく現れていることが確認できる。

今回、シミュレーションに用いた演算増幅器は図12に示す、PMOS入力差動増幅器に利得段にCMOSインバーター2段という単純なMOS差動増幅器を用いたのだが、位相補償を行っていなかった為、基準電圧分圧によるもので異常な発振が確認できる。

6. まとめ

下位ビットから変換するスパイク補償を行ったD/A変換器の分解能は電源電圧が $\pm 700[mV]$ のときに6ビット

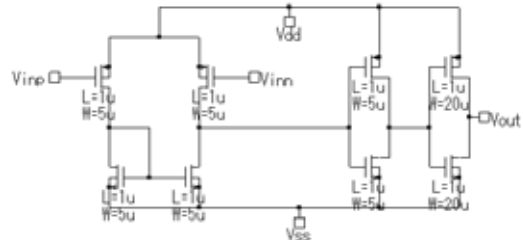


図 12 演算増幅器

ト、 $\pm 1[V]$ のときに8ビットとなり、スパイクの抑制がみられる。基準電圧分圧によるスパイク補償低電圧UGR-SC循環型D/A変換器は分解能5ビットとなり、スパイク電圧の抑制はみられるのだが、同時に異常な発振も確認できる。上位ビットから変換するスパイク補償低電圧UGR-SC循環型D/A変換器の分解能は8ビットとなりスパイクの抑制がみられる。3つの回路全てにおいて、アルゴリズムどおりの動作を確認できたが、動作させる為のクロック周波数や分解能、発振が生じるといった三者三様の結果を得ることになった。特に発振が生じた基準電圧分圧を用いたD/A変換器は分解能が他のものに比べ低くなっていることがわかる。両D/A変換器の出力にスパイクが抑制された波形が観測された。そして、構造が簡単な下位ビットから変換するものは上位ビットから変換するものに比べ、クロック周波数を2倍以上高速にしても動作が可能であることがわかる。今後の課題としては、基準電圧分圧を用いたD/A変換器の発振の原因を見つけること、電源電圧のネックになっている演算増幅器をより低電源電圧で駆動可能なものであるものにする、MOSのパラメータをより現実のものに近づけて、シミュレーションの精度を向上させること、それらを踏まえて実装にまで持っていくことが挙げられる。

参考文献

- [1] 相良 岩男 著, “AD/DA 変換回路入門” 日刊工業 (1991)
- [2] 武部幹, 岩田穆, 高橋宣明, 国枝博昭 “スイッチトキャパシタ回路”現代工学社 (1985)
- [3] Mustafa Keskin, Un-Ku Moon, Gabor C.Temes “A 1-V 10-MHz Clock-Rate 13-Bit CMOS $\Delta\Sigma$ Modulator Using Unity-Gain-Reset Opamps” IEEE J. Solid-State Circuit, VOL. 37, NO.7, pp817-824, July 2002