

低電圧スイッチドキャパシタ積分器とその応用

井上 順平¹⁾・松本 寛樹²⁾

Low-Voltage Switched-Capacitor Integrators and their Application

Junpei INOUE¹⁾, Hiroki MATSUMOTO²⁾

Abstract

Switched capacitor(SC) technique is actively studied. It enables the decrease of the chip area and power consumption. The SC circuit is composed of the switch, capacitor, and opamp. Forwarding and the accumulation of the charge are done by periodic opening and shutting of the switch.

Making on small chip area and the low voltage of the integrated circuit are needed as the accumulation technology advances. There are various problems depending on the low voltage. For example, the operation of floating switch, offset and gain error, and spike. The problems of floating switch is solved by using unity gain reset(UGR) technique. Other problems are solved by circuit structure.

In this paper, low voltage UGR-SC integrator and offset and gain error-compensated low voltage UGR-SC integrator are proposed. A sigma-delta-modulator is proposed as an application of SC integrator. The proposed circuits operate using simple non-overlapping two or three phase clocks. Performance are verified by simulations on PSpice.

Keywords:

Switched-Capacitor(SC), Unity Gain Reset(UGR), Low-Voltage, Integrator, Sigma-Delta-Modulator

1 まえがき

近年、集積技術の進歩と普及により、各種電子機器の小型化、携帯化が進んでいる。それに伴って、ICの低面積化、低電源電圧化の技術研究も盛んに行われている。このような背景で、モノリシックIC化に適し、かつ従来のRC回路より高精度なスイッチドキャパシタ(SC)回路が盛んに用いられている。[1]

SC回路を低電圧で動作させる際、非接地型のMOSスイッチがonしないという問題や、反転入力端子に接続されるスイッチの順方向基板漏れ電流などの問題がある。[2]

本論文では、この問題を解決する単位利得リセット技術を用いて、低電圧SC積分器を提案し、そしてその応用として低電圧SC変調器について述べる。また、各提案回路の動作をPSpiceシミュレーションで確認する。

2 単位利得リセット

SC回路において、電源電圧(V_{dd})とpMOS、nMOSのしきい電圧($|V_{thp}|, V_{thn}$)との間に

$$V_{dd} < |V_{thp}| + V_{thn} \quad (1)$$

といった関係がある場合、図1に示すような非接地型のMOSスイッチがonしないという問題が生じる。

1) 宮崎大学大学院工学研究科電気電子工学専攻

2) 宮崎大学工学部

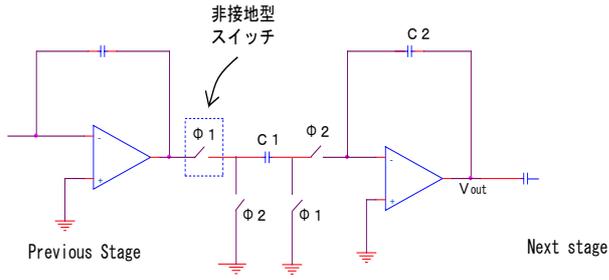


図 1: SC 積分器

この問題を解決するために使われる技術が単位利得リセット (UGR:Unity Gain Reset) である。[2]
回路を図 2 に示す。これにより非接地型のスイッチを用いずに回路を構成できる。

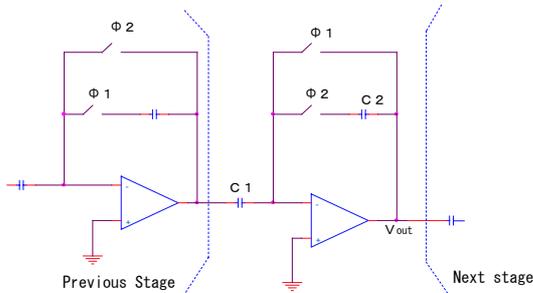


図 2: UGR-SC 積分器

3 順方向基板漏れ電流問題

図 3 において、 ϕ_2 から ϕ_1 に切り替わったとき、 V_{out} はグラウンドに接地され 0V となる。非接地となる㉠点の電位はマイナスとなる。

㉠点は nMOS スイッチ S_A のソースに接続されているので、 S_A のソース基板接続は順方向バイアスとなり、基板漏れ電流が発生する。

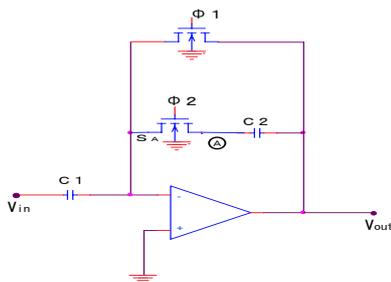


図 3: 低電圧 SC 積分器

これを解決するために、図 4 に示すように㉠点にキャパシタ C_3 を挿入し V_{out} のリセット電圧を上昇させる。これにより、㉠点の電圧は 0V より低く落ちることは無くなり、スイッチ S_A のソース基板接続はすべての状態で逆バイアスのままとなり、基板漏れ電流問題は解決される。

4 単位利得リセットによる低電圧 SC 積分器

図 4 に、提案する単位利得リセットによる SC 積分器の回路を示す。入力端子を V_{in} 、出力端子を V_{out} とする。 ϕ_1 、 ϕ_2 は互いに重なり合わない 2 相クロックで動作している。

C_1 はサンプリング容量、 C_2 が積分の働きをする容量である。スイッチ S_A を nMOS スイッチとして動作させるため、キャパシタ C_3 を挿入し、㉠点の電圧が正になるようにした。

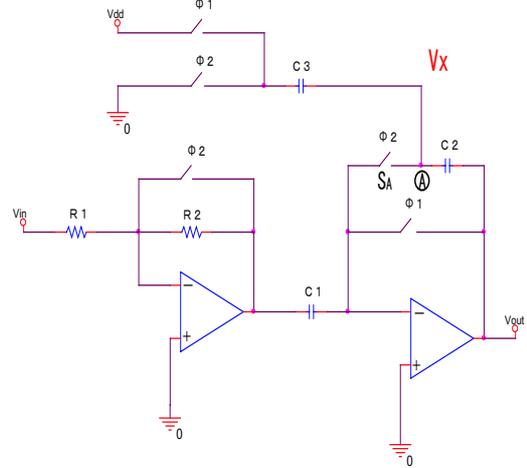


図 4: 単位利得リセットによる低電圧 SC 積分器

前段の回路は反転増幅器として働く。 C_1 に V_{in} を直接入力したいが、スイッチが非接地となってしまう、前述のような問題が生じるため、この回路が挿入されている。後段の回路によって積分動作を得る。

各キャパシタの電荷を表 1 に示す。ここで、㉠点の電位を V_x とする。

表 1: 電荷表

	$\phi 2 (n-1)$	$\phi 1 (n-\frac{1}{2})$	$\phi 2(n)$
C_1	0	V_{in}	0
C_2	$-V_{out}(n-1)$	V_x	$-V_{out}(n)$
C_3	0	$-V_{dd} + V_x$	0

負電荷の動きを考えると、 $\phi 1 \rightarrow \phi 2$ のとき、 C_1 、 C_2 、 C_3 が保存され、 $\phi 2 \rightarrow \phi 1$ のときは、 C_2 、 C_3 が保存される。

また、積分式は

$$V_{out}(n) = V_{out}(n-1) - \frac{C_1}{C_2} V_{in}(n - \frac{1}{2}) \quad (2)$$

となる。

電荷保存則より

$$Q_{C_2}(\phi 1) + Q_{C_3}(\phi 1) = Q_{C_2}(\phi 2) + Q_{C_3}(\phi 2) \quad (3)$$

が成り立つ。各値を代入すると

$$C_2 V_x - C_3 V_{dd} + C_3 V_x = -C_2 V_{out}(n) \quad (4)$$

$$V_x = \frac{C_3}{C_2 + C_3} V_{dd} - \frac{C_2}{C_2 + C_3} V_{out}(n) \quad (5)$$

という関係が成り立つ。

スイッチ S_A を nMOSFET で実現し、動作させるには $V_x > 0$ でないといけない。式 (4) において

$$C_2 = C_3 \quad (6)$$

とすると

$$V_x = \frac{1}{2} V_{dd} - \frac{1}{2} V_{out} \quad (7)$$

となる。

電源電圧と出力には

$$V_{dd} > V_{out} \quad (8)$$

が成立するので、

$$V_x = \frac{1}{2} V_{dd} - \frac{1}{2} V_{out} > 0 \quad (9)$$

となり、 S_A が動作する。

5 オフセット利得誤差補償低電圧 UGR-SC 積分器

図 5 に提案回路を示す。オフセット利得誤差を補償するため、キャパシタ C_4 を挿入している。

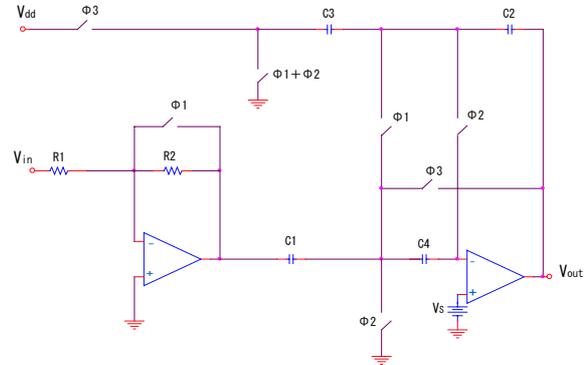


図 5: オフセット利得誤差補償低電圧 UGR-SC 積分器

各クロックの出力を求める。

$$V_{out}(n) = V_{out}(n-1) + \frac{C_1}{C_2 + \mu(C_2 + C_3)} \{V_{in}(n - \frac{2}{3}) - \mu V_S\}$$

$$V_{out}(n + \frac{2}{3}) = V_{out}(n - \frac{1}{3}) + \frac{C_1}{C_2} \{V_{in}(n - \frac{1}{3}) - \mu V_S\}$$

$$V_{out}(n + \frac{1}{3}) = \mu V_S$$

オペアンプの利得が十分大きいとすると、いずれのクロックでもオフセット電圧 V_S と利得誤差 $\mu = \frac{1}{A}$ は出力に影響を与えない。

6 スパイク補償低電圧 SC- 変調器

低電圧 SC 積分器の応用として、低電圧 SC- 変調器を提案する。インバータが比較器を表し、D フリップフロップで遅延し、AND ゲートによって基準電圧 V_r を制御する f_o を出力する。また、スイッチが切り替わる際に演算増幅器の負帰還が外れて生じるスパイク（出力飽和現象）を補償する回路構成としている。

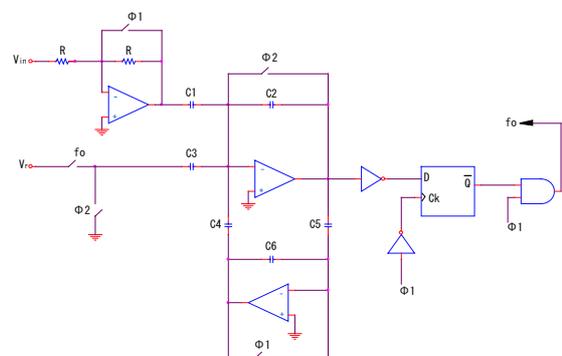


図 6: スパイク補償低電圧 SC- 変調器

電荷表を表 2 に示す

表 2: 電荷表

	$\phi 2(n-1)$	$\phi 1(n-\frac{1}{2})$	$\phi 2(n)$
C_1	0	$-V_{in}(n-\frac{1}{2})$	0
C_2	$V_{out}(n-1)$	0	$V_{out}(n)$
C_3	$V_r(n-1)/0$	0	$V_r(n)/0$
C_4	0	$V_a(n-\frac{1}{2})$	0
C_5	$V_{out}(n-1)$	0	$V_{out}(n)$
C_6	0	$V_a(n-\frac{1}{2})$	0

積分式は

$$V_{out}(n) = V_{out}(n-1) - \frac{C_1}{C_2} V_{in}(n-\frac{1}{2}) - \frac{C_3}{C_2} V_r(n) \quad (10)$$

となる。ただし V_r の項は f_o に依存する。

7 演算増幅器

今回使用する演算増幅器の内部回路を図 7 に示す。この演算増幅器は 1.2V の低電源電圧で動作する。M4, M5, M9 は nMOS、それ以外は pMOS で構成する。M2, M3 の入力端子の電圧を 0V にするために pMOS を用いている。の電位は M5 のドレイン・ソース間電圧と等しくなっている。ゆえに nMOS のしきい値を V_{thn} とすると $V_b - V_{thn}$ 以上であれば M5 が飽和領域で動作する。キャパシタ C_c は位相補償容量である。

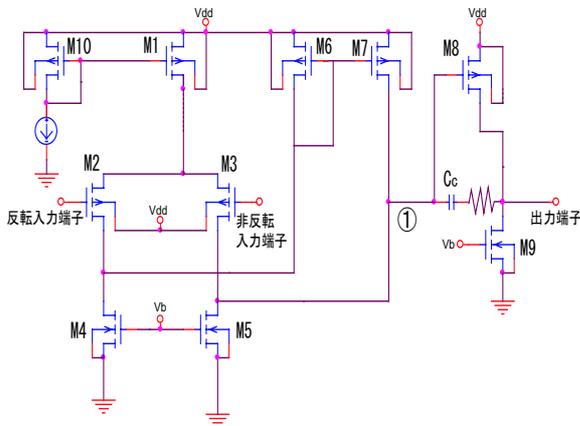


図 7: MOSFET を用いた演算増幅器

8 シミュレーション結果

まず図 4 に示す単位利得リセットによる低電圧 SC 積分器のシミュレーションを行う。演算増幅器は図 7 の MOSFET を用いたものを用い、スイッチ S_A は nMOS で実現し、PSpice で動作を確認する。

シミュレーションにおける各パラメータを表 3 に示す。

表 3: 回路中のパラメータ

V_{dd}	1.2V	C_1	1pF
R_1, R_2	10k Ω	C_2, C_3	15pF

図 8 に反転増幅部の出力波形を示す。

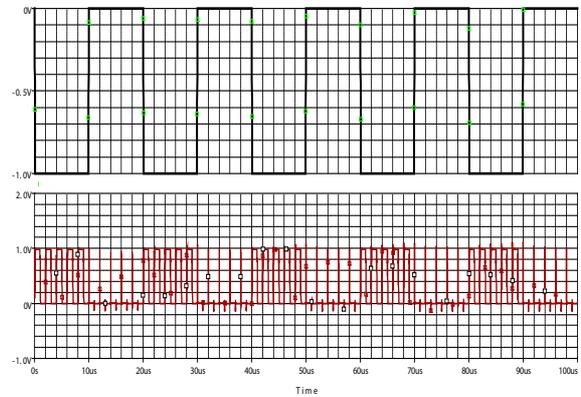


図 8: 反転増幅器の入出力波形

上段が入力波形 V_{in} 、下段が出力波形 V_a である。入力電圧は電圧 0V ~ -1V、周波数 50kHz のパルス波である。スイッチ S_3 がクロック $\phi 2$ によって制御され、on のときは出力波形が 0 にリセットされているのが確認できる。

図 9 に積分器の出力波形を示す。

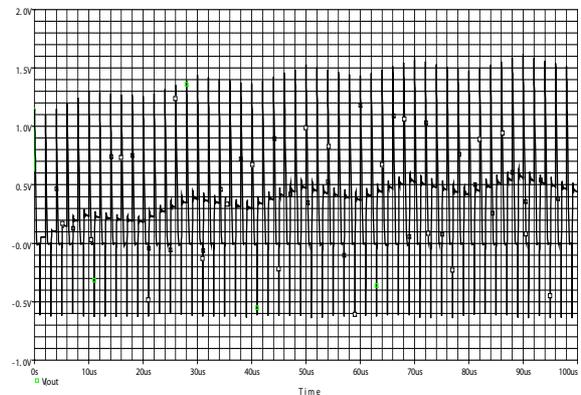


図 9: SC 積分器の出力波形

ϕ_1 クロックのときに 0 にリセットされた三角波が確認できる。しかし、 ϕ_2 において電荷はホールドされなければならないが、多少の電荷漏れが確認できる。

次にオフセット利得誤差補償低電圧 UGR-SC 積分器のシミュレーションにおける各素子のパラメータを表 4 に示す。

表 4: 各素子のパラメータ

V_{dd}	1.2V	C_2	10pF
R_1, R_2	10k Ω	C_3	10pF
C_1	1pF	C_4	0.5pF

また、MOSFET を用いた演算増幅器のパラメータは前章で述べたものと同じものを使用する。

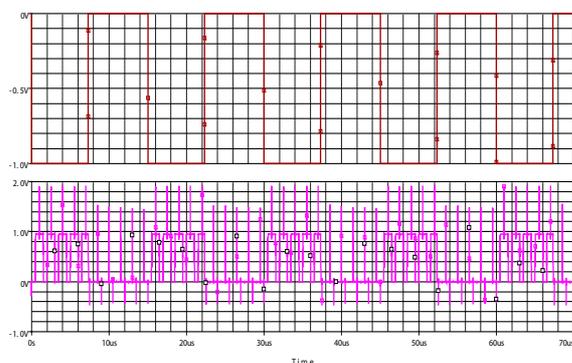


図 10: 演算増幅部の入出力波形

図 10 に入力波形と反転増幅部の出力波形を示す。入力は 0V ~ -1V のパルス波である。下段を見ると、 ϕ_1 でリセットされた位相反転波形が確認できる。

図 11 に積分器の出力波形を示す。

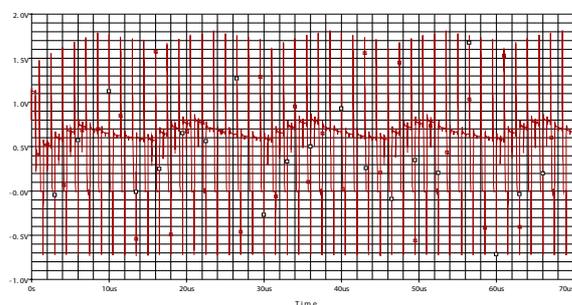


図 11: 積分器の出力波形

ϕ_3 クロックでリセットされ、 ϕ_2 クロックでホールドされた積分出力が確認できる。しかし、スパイクが発生している。

次にスパイクを補償した低電圧 SC-変調器のシミュレーションを行う。表 5 ~ 7 に直流信号を入力したシミュレーションにおける各パラメータを示す。

表 5: 入力信号 (直流)

V_{in}	-1V
V_r	0.4V

表 6: アナログ部

電源電圧	1.2V	C_1	1pF
クロック周波数	1MHz	C_2, C_4, C_5, C_6	5pF
R_1, R_2	10k Ω	C_3	4pF

表 7: 演算増幅器

V_{dd}	1.8V
V_C	0.95V
バイアス電流	50 μ A
位相補償容量	1pF

図 12 の上段は変調出力 f_o 、下段は積分器出力 V_{out} を示す。

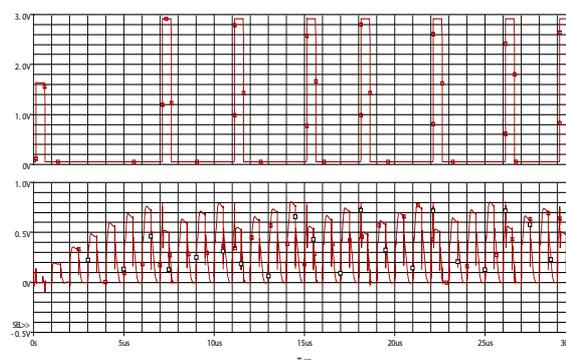


図 12: f_o と V_{out} の出力波形

積分器出力を見ると、スパイクが補償された波形が確認できる。

次に sin 波を入力し、出力信号を FFT 解析し、信号成分と雑音成分の分布を調べる。さらに変調器の精度を示す S/N を求め、提案回路の精度を調べる。

表 8 に入力信号の情報を示す。

表 8: 入力信号 (sin 波)

基準電圧	-1V
クロック周波数	2.5kHz
振幅	0.4V

図 13 に比較器出力を FFT 解析した結果を示す。

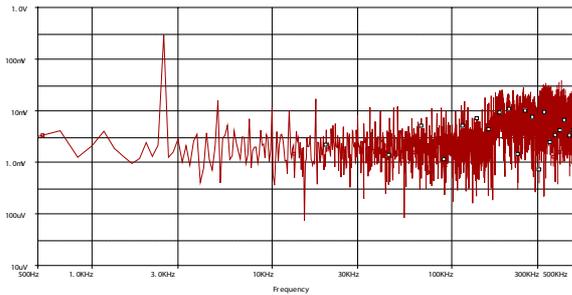


図 13: FFT 解析結果

2.5kHz に信号成分のスペクトルが確認でき、
変調の特徴的な波形が確認できる。

理想 S/N は式より

$$-3.4 + 30 \log\left(\frac{1 * 10^6}{2 * 2.5 * 10^3}\right) = 65.63[dB] \quad (11)$$

となる。

測定 S/N は

$$40.49[dB] \quad (12)$$

であり、誤差は 38% であった。

9 まとめ

オフセット利得誤差を補償した SC 積分器を提案し、電源電圧 1.2V で動作することを確認した。また、スパイクを補償した SC- 変調器を提案した。直流信号を入力し、積分器出力の波形を確認した。さらに正弦波を入力し、出力を FFT 解析し精度を確認した。S/N の誤差は 38% と大きく、電源電圧は 1.8V 必要であった。さらに改善が必要と考えられる。

今後の課題は、実際に回路を作成し、シミュレーション結果と比較検討を行うことや、スイッチを MOS スイッチに変えて、さらに高集積化を目指すことがあげられる。

10 参考文献

- [1] 中山 謙二 著, "SC 回路網の設計と応用", 東海大学出版会 1985
- [2] Mustafa Keskin, Un-Ku Moon, Gaber C. Temes, "A 1-V 10MHz Clock-Rate 13-Bit CMOS Modulator Using Unity-Gain-Reset Opeamps" IEEE J. Solid-State Circuit, VOL.37, NO.7, pp817-824, July 2002
- [3] 徳山 健 著, "チョッピングを適応した 1.2V 動作可能な擬似差動 SC 積分器" ICT-05-10 2004