

低電源電圧・広帯域 CMOS アナログ乗算器の設計と 2.4GHz RF ダウンコンバージョンミキサへの応用

熊谷 寛夫¹⁾, 谷川 寛幸²⁾, 淡野 公一³⁾, 石塚 興彦⁴⁾

A Low-Supply-Voltage, Wide-Bandwidth CMOS Analog Multiplier and Its Application to a 2.4GHz RF Downconversion Mixer

Hiroo KUMAGAI, Hiroyuki TANIGAWA, Koichi TANNO and Okihiko ISHIZUKA

Abstract

In recent years, the world of wireless communications has been changing very rapidly. The wireless communication devices need RF analog circuits such as mixer. In CMOS technology, if it successfully merges RF analog and baseband digital blocks, it is possible to reduce size, weight, cost and power consumption. However, the circuit elements which can be operated under low supply voltage are required because of lowering of the breakdown voltage with the development of fabrication technique in CMOS process.

In this paper, a low-supply-voltage and wide-bandwidth CMOS analog multiplier is proposed, which is indispensable for mixer. The proposed multiplier has advantages of low voltage operation and low noise. Simulations of the multiplier demonstrate the input range of $0.54 V_{p-p}$, the -3 dB bandwidth of 1.03 GHz and the S/N ratio of 131 dB with $V_{DD}=2$ V. Next, the proposed multiplier is applied to a downconversion mixer. The mixer can be operated at $V_{DD}=2$ V, and the conversion gain and 3rd order intercept point (IIP₃) are -0.8 dB and $+10.9$ dBm, respectively.

Key Word: CMOS Analog Multiplier, Mixer, Conversion Gain, Intercept Point

1. 序論

近年, 携帯電話をはじめとする携帯電子機器の普及は目覚しく, また Bluetooth, 高速無線 LAN 等の無線システムの発展は社会的にも経済的にも重要な役割を果たしている. その携帯電子機器を実現するためには高周波アナログ回路技術が必要不可欠である. また機器として, 小型, 軽量, 低コスト, 低消費電力が要求されるため, 外付け部品をできる限り削減し1つの集積回路として実現すること(1チップ化)が有効である. このことは, ミキサなどの高周波アナログ回路が用いられる受信機の構成においても例外ではなく, その1チップ化が強く望まれている [1].

従来より, 携帯電話などの受信機の構成にはスーパーヘテロダイン方式が採用されてきた. この方式は受信感度に優れるが, SAW フィルタ (Surface Acoustic Wave Filter) といった外付け部品が必要であるという1チップ化を阻害する欠点がある. SAW フィルタは高価で外形寸法が比較的大きく, また消費電力が大きいため, このSAW フィルタを用いない1チップ化に適したアーキテクチャが開発された. そのアーキテクチャはダイレクトコンバージョン方式と [2] Low-IF 方式 (IF: 中間周波数)[3],[4] である. ダイレクトコンバージョン方式は RF 信号を直接ベースバンド信号に変換することにより実現され, これにより外付け部品を削除することが可能となる. しかしこの方式では, オフセット等の問題により製品ベースの実現を阻んでいる. 一方, Low-IF 方式は IF 周波数を低くしたものであり, 構成要素はスーパーヘテロダイン方式と変わらない. そのために根本的な

- 1) システム工学専攻大学院生
- 2) システム工学専攻大学院生
- 3) 電気電子工学科助教授
- 4) 電気電子工学科教授

解決とはならないと考えられたが、この問題には複素フィルタを用いて解決する方法が提案されている。Low-IF方式はIF周波数が低いため複素フィルタを集積回路上に構成することができ、これにより外付け部品を削減することが可能となる。

このように外付け部品を削減し1チップ化する試みは盛んに行われており、また同時に、高周波アナログ回路に加えてデジタル信号処理回路も含めて1チップ化できれば、より一層の小型・軽量化、低コスト化、低消費電力化が実現可能となる。そのため近年、RFアナログ回路とベースバンドデジタル回路の両方をCMOSによって構成する試みが行われている。しかしCMOSプロセスにおいては、近年の微細加工技術の進歩に伴う耐圧低下のため、低電源電圧で動作する基本回路が必要となっている。

本論文ではまず、高周波回路であるミキサを構成するために必要不可欠である低電源電圧で動作可能な広帯域CMOSアナログ乗算器を提案する。本提案回路の特長として、縦積み段数が少ないことから低電源電圧での動作が可能であること、差動対回路を用いて構成されていることからノイズ耐性に優れた回路であることが挙げられる。次に本論文では、提案回路を用いてミキサを構成する。ミキサは周波数変換を行うために用いられ、従来よりギルバート乗算器 [5]-[7] が用いられている。ギルバート乗算器はアナログ乗算器としてよく知られた回路であり、ノイズ耐性、周波数特性共に優れている。しかしギルバート乗算器は電源電圧-グランド間に3個のアクティブ素子を必要とし、低電源電圧化の妨げとなる。それに対し、提案回路は電源電圧-グランド間のアクティブ素子数が2個であり、低電源電圧での動作に適している。そこで本論文では、HSPICEシミュレーションにより提案回路とギルバート乗算器の両回路をLow-IF方式におけるミキサとして比較を行い、提案回路の有用性を示す。

2. 低電圧・広帯域CMOSアナログ乗算器

2.1 動作原理

2.1.1 乗算器のための要素回路

ここではまず、提案するアナログ乗算器で用いられる要素回路について説明する。提案するアナログ乗算器の要素回路を図2.1, 2.2に示す。各図の V_{DD} は電源電圧を表している。まず図2.1に示される要素回路(1)の回路動作について説明する。同図は抵抗(R_1), MOSFET($M_{11} \sim M_{18}$), 直流電流源(I_{S1})によ

り構成されている。MOSFETの素子サイズは全て等しく、飽和領域で動作するものと仮定する。そのときのMOSFETのドレイン電流(I_D)は、

$$I_D = K(V_{GS} - V_T)^2 \quad (1)$$

となる。ここで K はトランスコンダクタンス係数といい、チャネル幅/チャネル長(W/L)に比例する。また V_{GS} はゲート-ソース間電圧、 V_T はしきい電圧である。バイアス電圧 V_{B1} 、差動入力電圧 $\frac{1}{2}v_x, -\frac{1}{2}v_x$ および $\frac{1}{2}v_y, -\frac{1}{2}v_y$ を

$$\begin{aligned} V_1 &= V_{B1} + \frac{1}{2}v_x \\ V_2 &= V_{B1} - \frac{1}{2}v_x \\ V_3 &= V_{B1} + \frac{1}{2}v_y \\ V_4 &= V_{B1} - \frac{1}{2}v_y \end{aligned} \quad (2)$$

のように入力した場合、式(1)を用いて解くと、

$$\begin{aligned} V_{out1} &= \\ V_{DD} - R_1 &\left\{ I_{S1} - \frac{K_1}{2} \left(-v_x \sqrt{\frac{2I_{S1}}{K_1} - v_x^2} - v_y \sqrt{\frac{2I_{S1}}{K_1} - v_y^2} \right) \right\} \end{aligned} \quad (3)$$

$$\begin{aligned} V_{out2} &= \\ V_{DD} - R_1 &\left\{ I_{S1} - \frac{K_1}{2} \left(v_x \sqrt{\frac{2I_{S1}}{K_1} - v_x^2} + v_y \sqrt{\frac{2I_{S1}}{K_1} - v_y^2} \right) \right\} \end{aligned} \quad (4)$$

となる。また、

$$\begin{aligned} V_1 &= V_{B1} + \frac{1}{2}v_x \\ V_2 &= V_{B1} - \frac{1}{2}v_x \\ V_3 &= V_{B1} - \frac{1}{2}v_y \\ V_4 &= V_{B1} + \frac{1}{2}v_y \end{aligned} \quad (5)$$

のように入力した場合、

$$\begin{aligned} V_{out1} &= \\ V_{DD} - R_1 &\left\{ I_{S1} - \frac{K_1}{2} \left(-v_x \sqrt{\frac{2I_{S1}}{K_1} - v_x^2} + v_y \sqrt{\frac{2I_{S1}}{K_1} - v_y^2} \right) \right\} \end{aligned} \quad (6)$$

$$\begin{aligned} V_{out2} &= \\ V_{DD} - R_1 &\left\{ I_{S1} - \frac{K_1}{2} \left(v_x \sqrt{\frac{2I_{S1}}{K_1} - v_x^2} - v_y \sqrt{\frac{2I_{S1}}{K_1} - v_y^2} \right) \right\} \end{aligned} \quad (7)$$

となる。ここで、 K_1 は $M_{11} \sim M_{18}$ のトランスコンダクタンス係数である。そして、式(3), (4), (6), (7)

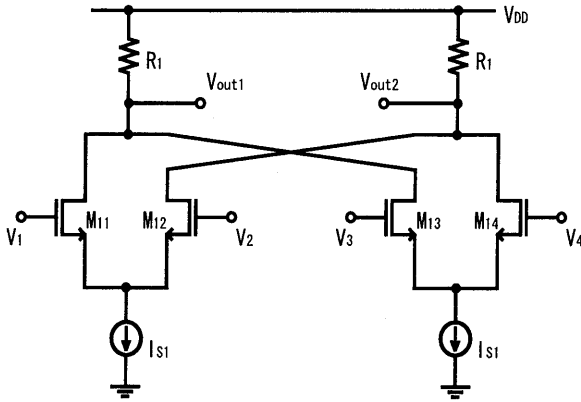


図 2.1 提案するアナログ乗算器の要素回路 (1)

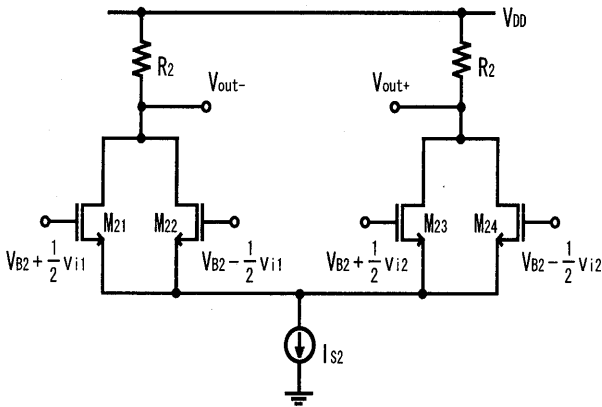


図 2.2 提案するアナログ乗算器の要素回路 (2)

は $v_x^2, v_y^2 \ll \frac{2I_{S1}}{K_1}$ である範囲において、それぞれ以下のように近似できる。

$$V_{o1+} = V_{DD} - R_1 \left\{ I_{S1} - \sqrt{\frac{K_1 I_{S1}}{2}} (v_x + v_y) \right\} \quad (8)$$

$$V_{o1-} = V_{DD} - R_1 \left\{ I_{S1} - \sqrt{\frac{K_1 I_{S1}}{2}} (-v_x - v_y) \right\} \quad (9)$$

$$V_{o2+} = V_{DD} - R_1 \left\{ I_{S1} - \sqrt{\frac{K_1 I_{S1}}{2}} (v_x - v_y) \right\} \quad (10)$$

$$V_{o2-} = V_{DD} - R_1 \left\{ I_{S1} - \sqrt{\frac{K_1 I_{S1}}{2}} (-v_x + v_y) \right\} \quad (11)$$

ここで、 V_{o1+} は式 (4) を、 V_{o1-} は式 (3) を、 V_{o2+} は式 (7) を、 V_{o2-} は式 (6) を近似したものである。

次に図 2.2 に示される要素回路 (2) の回路動作について説明する。同図は抵抗 (R_2)、MOSFET ($M_{21} \sim M_{24}$)、直流電流源 (I_{S2}) により構成されている。MOSFET の素子サイズは全て等しく、飽和領域で動作するものと仮定する。バイアス電圧 V_{B2} 、差動入力電圧 $\frac{1}{2}v_{i1}$ 、 $-\frac{1}{2}v_{i1}$ および $\frac{1}{2}v_{i2}$ 、 $-\frac{1}{2}v_{i2}$ を図に示すように入力した場合、式 (1) を用いて解くと出力電圧 V_{out+} 、 V_{out-} は、

$$V_{out+} = V_{DD} - \frac{R_2 I_{S2}}{2} + \frac{R_2 K_2}{4} (v_{i1} + v_{i2})(v_{i1} - v_{i2}) \quad (12)$$

$$V_{out-} = V_{DD} - \frac{R_2 I_{S2}}{2} - \frac{R_2 K_2}{4} (v_{i1} + v_{i2})(v_{i1} - v_{i2}) \quad (13)$$

となる。ここで、 K_2 は $M_{21} \sim M_{24}$ のトランスコンダクタンス係数である。次項では、以上の要素回路を用いて乗算器を構成する。

2.1.2 アナログ乗算器の回路動作

図 2.3 に提案するアナログ乗算器の回路図を示す。これは図 2.1 と図 2.2 の回路を縦続接続することにより実現される。図 2.3 では、図 2.1、2.2 の直流電流源の部分のカレントミラー回路を用いて構成している。また、図 2.2 の V_{B2} は式 (8) ~ (11) の直流成分にあたり $V_{B2} = V_{DD} - R_1 I_{S1}$ となり、 v_{i1}, v_{i2} は以下ようになる。

$$v_{i1} = R_1 \sqrt{2K_1 I_{S1}} (v_x + v_y) \quad (14)$$

$$v_{i2} = R_1 \sqrt{2K_1 I_{S1}} (v_x - v_y) \quad (15)$$

よって式 (12)、(13) に式 (14)、(15) を代入して V_{out+} 、 V_{out-} を得ることができる。

$$V_{out+} = V_{DD} - \frac{R_2 I_{S2}}{2} + 2R_1^2 R_2 K_1 K_2 I_{S1} v_x v_y \quad (16)$$

$$V_{out-} = V_{DD} - \frac{R_2 I_{S2}}{2} - 2R_1^2 R_2 K_1 K_2 I_{S1} v_x v_y \quad (17)$$

ここで、提案回路の出力電圧を $v_{out} = V_{out+} - V_{out-}$ とすると、

$$v_{out} = 4R_1^2 R_2 K_1 K_2 I_{S1} v_x v_y \quad (18)$$

となり、アナログ乗算器として動作することが分かる。

本提案回路の特長として、縦積み段数が少ないことから低電源電圧での動作が可能であること、差動対回路を用いて構成していることからしきい電圧の変化に対する影響が少なくノイズ耐性に優れた回路であることが期待できる。

2.2 シミュレーション結果

本節では図 2.3 の提案回路の HSPICE シミュレーションを行い、電源電圧 3 V および 2 V における特性を評価した。設計値を表 2.1 に示す (W/L はチャネル幅/チャネル長を表す)。

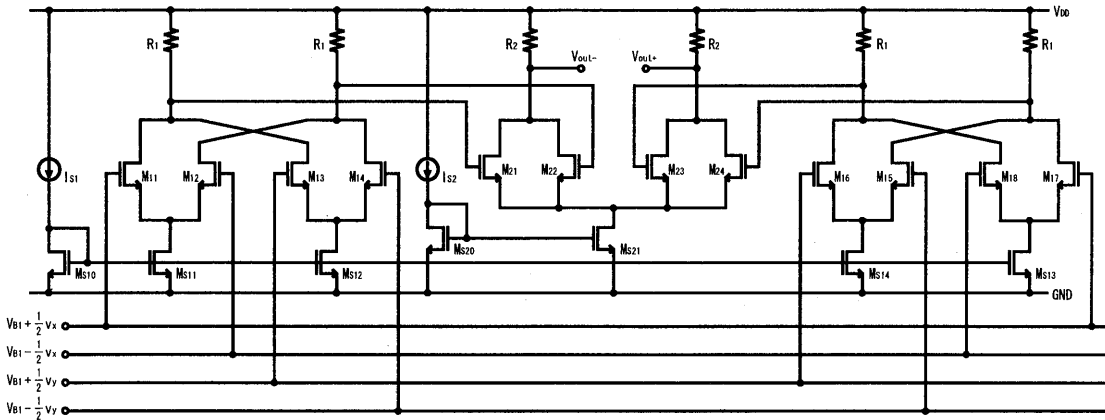


図 2.3 提案するアナログ乗算器の回路図

表 2.1 提案回路の設計値

	$V_{DD}=3$ [V]	$V_{DD}=2$ [V]
V_{B1} [V]	2.0	1.5
I_{S1} [μ A]	200	100
I_{S2} [μ A]	100	100
R_1 [k Ω]	5.0	5.0
R_2 [k Ω]	12.0	10.0
$M_{11} \sim M_{18}$ の W/L	2.0/1.0	3.0/1.0
$M_{21} \sim M_{24}$ の W/L	2.0/1.0	3.0/1.0
$M_{S10} \sim M_{S14}$ の W/L	20.0/1.0	20.0/1.0
M_{S20}, M_{S21} の W/L	20.0/1.0	20.0/1.0

※ 但し, W/L の単位は [μ m/ μ m]

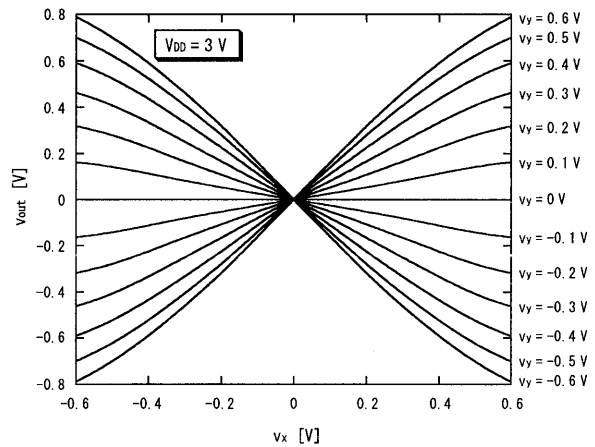


図 2.4 提案回路の直流特性 ($V_{DD} = 3V$)

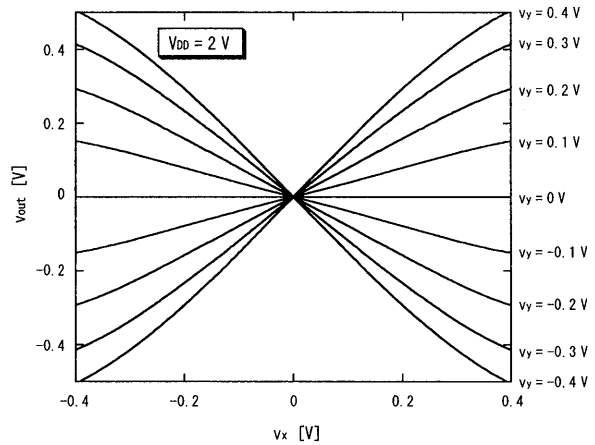


図 2.5 提案回路の直流特性 ($V_{DD} = 2V$)

図 2.4, 2.5 に提案回路の直流特性を示す. これにより, 電源電圧 3 V, 2 V それぞれにおいて提案回路がアナログ乗算器として動作していることが確認できる. また, 周波数解析の結果, 提案回路の -3 dB 帯域幅は $V_{DD}=3$ V のとき 1.51 GHz, $V_{DD}=2$ V のとき 1.03 GHz であった. このとき v_x の信号振幅は THD 1% 未満の範囲内とし (THD は周波数 10 kHz, 10 次高調波までの条件において), $V_{DD} = 3V$ のとき $0.79 V_{p-p}$, $V_{DD} = 2V$ のとき $0.54 V_{p-p}$ に設定した. ここで, この範囲を入力レンジと定義する. また v_y には, v_x の振幅値と同じ値のバイアス電圧を与えた. 次にノイズ解析を行い S/N 比を求めた結果 $V_{DD} = 3V$ のとき 135 dB, $V_{DD} = 2V$ のとき 131 dB であった. ここで, S/N 比は次式で定義される.

$$S/N \text{ 比} = 20 \log(\text{入力実効電圧}/\text{入力換算ノイズ}) [\text{dB}] \quad (19)$$

なお入力電圧は入力レンジの値を用いた.

2.3 従来の回路との比較

アナログ乗算器としてよく知られる回路にギルバート乗算器 [5]-[7] がある. ギルバート乗算器は, 素子数が少なく差動対構成であるためにノイズ耐性に優れた回路である. また, 周波数特性にも優れたミキサとしても用いられる. ギルバート乗算器の回路図を図

2.6 に示す. 電源電圧を 3 V とし提案回路の解析のときと同様にシミュレーションを行った. 設計値を表 2.2 のようにした結果, 直流特性は図 2.7 のようになった. このときの入力レンジは $0.58 V_{p-p}$ であり, -3 dB 帯域幅は 2.53 GHz であった. ここで提案回路とギルバート乗算器の周波数特性を図 2.8 に示す. またノイズ解析の結果, S/N 比は 142 dB であった. ここで提案回路とギルバート乗算器の特性を表 2.3 にまとめる. 周波数特性の直流利得は 3 種類ともほぼ等しい値である. 提案回路は, 帯域幅, S/N 比においてはギルバート乗算器に劣る. しかし -3 dB 帯域幅は GHz のオーダーであり, 広帯域であると言える. 入力レンジは提案回路の方が特性がよい. ギルバート乗算器には入力レンジ拡大のための手法が存在するが, これは差動対回路の 1 次近似領域を拡大するためのものである. よって, 提案回路においてもその手法を利用することができる. また提案回路は電源電圧 2 V においても十分に動作していることから, 低電源電圧での動作に適した回路であることが分かる.

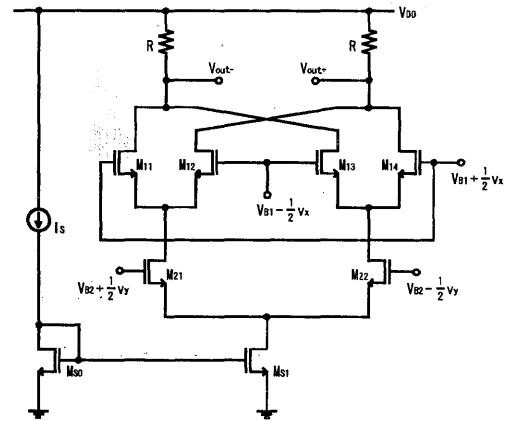


図 2.6 ギルバート乗算器の回路図

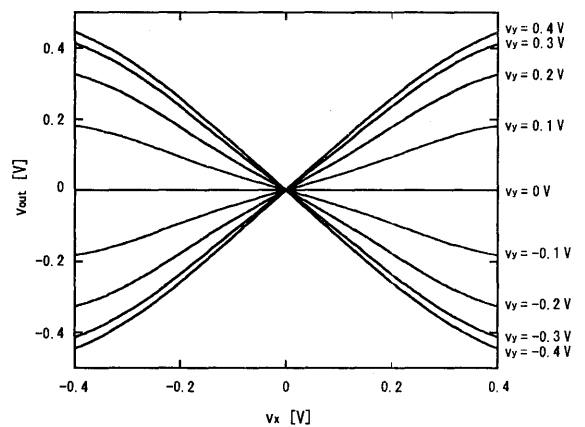


図 2.7 ギルバート乗算器の直流特性

表 2.2 ギルバート乗算器の設計値

V_{DD}, V_{B1}, V_{B2} [V]	3.0, 2.5, 1.5
I_S [μA]	100
R [$k\Omega$]	5.0
$M_{11} \sim M_{14}$ の W/L [$\mu m/\mu m$]	5.0/1.0
M_{21}, M_{22} の W/L [$\mu m/\mu m$]	10.0/1.0
M_{S0}, M_{S1} の W/L [$\mu m/\mu m$]	20.0/1.0

表 2.3 提案回路とギルバート乗算器の比較

	提案回路		ギルバート乗算器 $V_{DD} = 3$ [V]
	$V_{DD} = 3$ [V]	$V_{DD} = 2$ [V]	
入力レンジ [V_{p-p}]	0.79	0.54	0.58
周波数解析の 直流利得 [dB]	0.95	0.60	0.94
-3 dB 帯域幅 [GHz]	1.51	1.03	2.53
S/N 比 [dB]	135	131	142

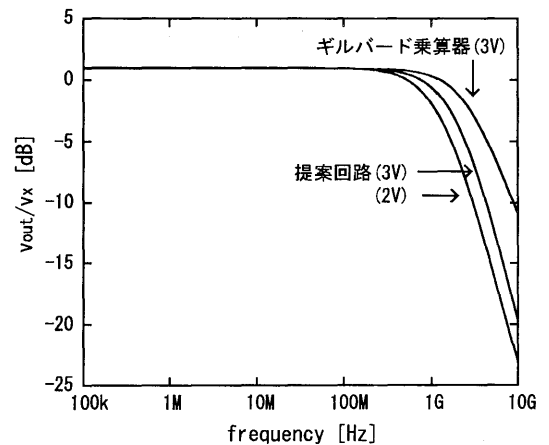


図 2.8 提案回路とギルバート乗算器の周波数特性

2.4 実験結果

本節では, 個別部品を用いて提案回路を構成した測定結果について述べる. CMOS IC 4007UB(オンセミ MC14007UBCP) 内の MOSFET を用い, 図 2.9 のようにブレッドボード上に提案回路を構成し

た. v_x, v_y にそれぞれ周波数 100 kHz, 3 kHz の信号 (振幅は $2 V_{p-p}$) を入力し, そのときのオシロスコープおよびスペクトラムアナライザで測定した結果を図 2.10, 2.11 に示す. 出力の周波数成分は理論的に 97 kHz ($100 \text{ kHz} - 3 \text{ kHz}$) と 103 kHz ($100 \text{ kHz} + 3 \text{ kHz}$) であり, 図 2.11 のマーカーは 97 kHz の周波数を示している. 以上の結果から分かるように, 提案回路が理論通りアナログ乗算器として動作することを確認できた.

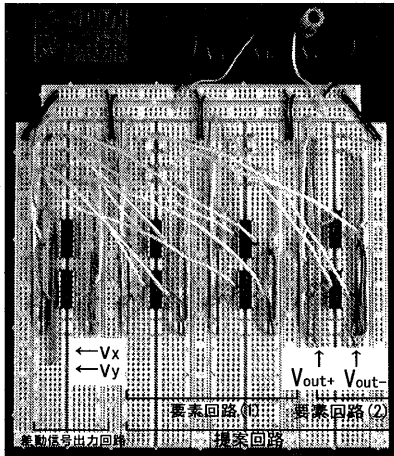


図 2.9 CMOS IC 4007UB を用いて提案回路を構成した様子

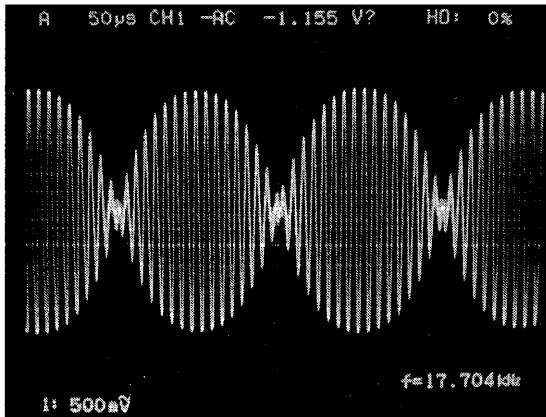


図 2.10 オシロスコープの出力結果

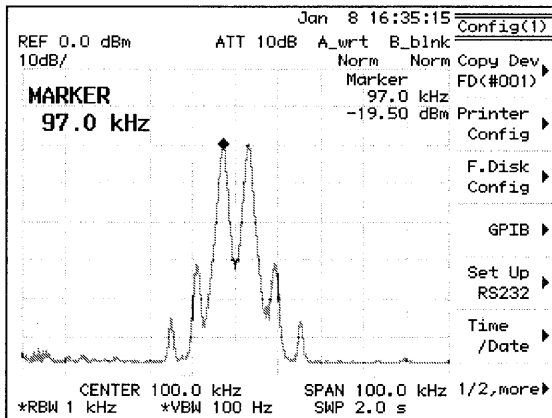


図 2.11 スペクトラムアナライザの出力結果

3. 提案回路によるミキサの設計

3.1 動作原理

通常、無線システムで用いられる無線信号 (RF 信号) は高周波であり、その送受信時には周波数変換が必要となる。ミキサ [9]–[12] は周波数変換のために必要な高周波アナログ回路であり、アナログ乗算器 [13]–[19] により実現される。ここでは周波数変換の

原理について説明する。アナログ乗算器の入出力特性は一般に、

$$V_{out} = A V_x V_y \quad (20)$$

と表される (V_x, V_y は入力信号, V_{out} は出力信号, A は利得)。ここで V_x, V_y に、

$$\begin{aligned} V_x &= a_1 \cos \omega_1 t \\ V_y &= a_2 \cos \omega_2 t \end{aligned} \quad (21)$$

と入力した場合、三角関数の加法定理を用いて V_{out} は ($\omega_1 < \omega_2$ とする)、

$$\begin{aligned} V_{out} &= A a_1 a_2 \cos \omega_1 t \cos \omega_2 t \\ &= \frac{A a_1 a_2}{2} \{ \cos(\omega_2 - \omega_1) t + \cos(\omega_1 + \omega_2) t \} \quad (22) \end{aligned}$$

となる。式 (22) より、 $(\omega_2 - \omega_1)$ と $(\omega_1 + \omega_2)$ の 2 つの周波数成分が発生すること分かる。 $(\omega_2 - \omega_1)$ は入力信号周波数の差であり、低い周波数への変換 (ダウンコンバージョン) に利用され、 $(\omega_1 + \omega_2)$ は入力信号周波数の和であり、高い周波数への変換 (アップコンバージョン) に利用される。

3.2 設計とシミュレーション結果

本節では、提案回路をミキサとして設計し、その HSPICE シミュレーションを行った。ここでも、電源電圧 3 V および 2 V それぞれの場合についての特性を評価した。設計値を表 3.1 に示す (W/L はチャネル幅/チャネル長を表す)。この結果、RF 周波数が 2.45 GHz、LO 周波数が 2.448 GHz のときの変換利得は、 $V_{DD} = 3$ V のとき 2.4 dB、 $V_{DD} = 2$ V のとき -0.8 dB であった。また、RF 周波数 (2 トーン入力) が 2.452 GHz と 2.453 GHz で、LO 周波数が 2.45 GHz のときの 3 次インターセプト・ポイントは、 $V_{DD} = 3$ V のとき +13.4 dBm、 $V_{DD} = 2$ V のとき +10.9 dBm、であった。

表 3.1 提案回路によるミキサの設計値

	$V_{DD} = 3$ [V]	$V_{DD} = 2$ [V]
V_{DD}, V_{B1} [V]	3.0, 1.8	2.0, 1.4
I_{S1}, I_{S2} [μ A]	300, 100	150, 50
R_1, R_2 [k Ω]	4.0, 24.0	4.0, 24.0
$M_{11} \sim M_{18}$ の W/L	6.0/1.0	8.0/1.0
$M_{21} \sim M_{24}$ の W/L	2.0/1.0	2.0/1.0
$M_{S10} \sim M_{S14}$ の W/L	20.0/1.0	20.0/1.0
M_{S20}, M_{S21} の W/L	20.0/1.0	20.0/1.0

※ 但し、 W/L の単位は [μ m/ μ m]

3.3 従来の回路との比較

ギルバート乗算器は実際にミキサとして用いられている。よって、本章でもギルバート乗算器との比較を行う。表 3.2 にギルバート乗算器によるミキサの設計値を示す。

電源電圧を 3V とし提案回路の解析のときと同様にシミュレーションを行った結果、RF 周波数が 2.45GHz のときの変換利得は 2.2 dB であり、3 次入力インターセプト・ポイント (IIP₃) は +7.84 dBm であった。ここで提案回路とギルバート乗算器の変換利得と 3 次インターセプトを、それぞれ図 3.1, 3.2 に示す。また、提案回路とギルバート乗算器の特性を表 3.3 にまとめる。

表 3.2 ギルバート乗算器によるミキサの設計値

V_{DD}, V_{B1}, V_{B2} [V]	3.0, 2.2, 1.4
I_S [μA]	100
R [$k\Omega$]	15.0
$M_{11} \sim M_{14}$ の W/L [$\mu m/\mu m$]	6.0/1.0
M_{21}, M_{22} の W/L [$\mu m/\mu m$]	12.0/1.0
M_{S0}, M_{S1} の W/L [$\mu m/\mu m$]	20.0/1.0

表 3.3 提案回路とギルバート乗算器の比較

	提案回路		ギルバート乗算器 $V_{DD} = 3[V]$
	$V_{DD} = 3[V]$	$V_{DD} = 2[V]$	
変換利得 [dB] (RF=2.45GHz)	2.4	-0.8	2.2
IIP ₃ [dBm]	+13.4	+10.9	+7.84

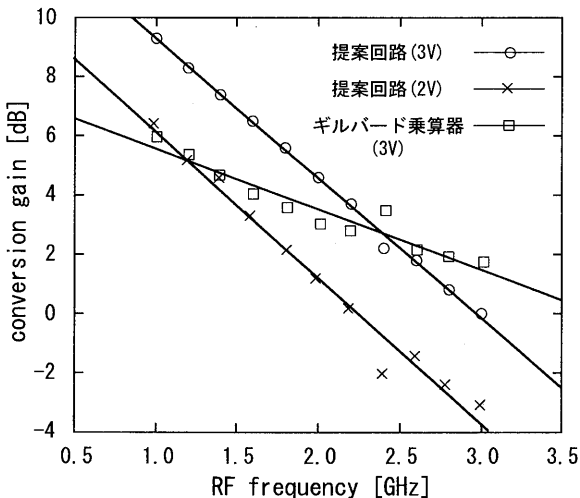


図 3.1 提案回路とギルバート乗算器の変換利得

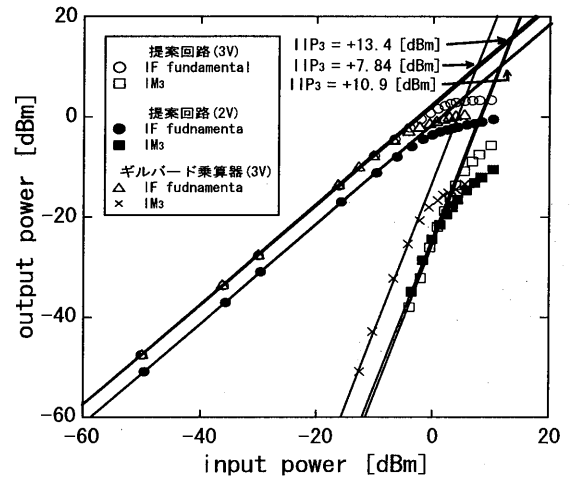


図 3.2 提案回路とギルバート乗算器の
3 次インターセプト・ポイント

4. 結論

本論文では、低電源電圧で動作可能な広帯域 CMOS アナログ乗算器を提案した。本提案回路の特長として、縦積み段数が少ないことから低電源電圧での動作が可能であること、差動対回路を用いて構成されていることからノイズ耐性に優れた回路であることが挙げられる。次に、本提案回路のミキサへの適用を行った。具体的には、RF 周波数を 2.4 GHz 帯、IF 周波数を 2 MHz と設定し、ミキサの設計とその特性評価を行った。その結果、本提案回路が Low-IF 方式におけるミキサとして使用可能であることが分かった。

今後はさらに Low-IF 方式、ダイレクトコンバージョン方式の両方式に注目し、1 チップ化に適したミキサの研究を行っていく予定である。

参考文献

- [1] 杉本 泰博, “携帯用電話用, 高周波アナログ, アナログ/デジタル混載 LSI,” 電子情報通信学会誌, vol.84, no.11, pp.796-802, 2001 年 11 月.
- [2] 谷本 洋, “ダイレクトコンバージョン受信機用ミキサの研究開発動向,” 電子情報通信学会論文誌 C, vol.J84-C, no.5, pp.337-348, 2001 年 5 月.
- [3] J. Crols, and M. S. J. Steyaert, “A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology,” IEEE J. Solid-State Circuits, vol.30, no.12, pp.1483-1492, Dec. 1995.
- [4] J. Crols, and M. S. J. Steyaert, “Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers,” IEEE Trans. CAS-II, vol.45, no.3, pp.269-282, Mar. 1998.
- [5] B. Gilbert, “A precision four-quadrant multiplier with subnanosecond response,” IEEE J. Solid-

- State Circuits, vol.SC-3, no.6, pp.353-365, Dec. 1968.
- [6] B. Gilbert, "A high-performance monolithic multiplier using active feedback," *IEEE J. Solid-State Circuits*, vol.SC-9, no.6, pp.364-373, Dec. 1974.
- [7] P. R. グレイ, R. G. メイヤー共著, "超 LSI のためのアナログ集積回路設計技術 (下)," 倍風館, pp.172-178, 1990.
- [8] R. A. ウイッテ著, "スペクトラム/ネットワーク・アナライザ: 理論と計測," トップラン, pp.129-140, 1993.
- [9] J. Crols, and M. S. J. Steyaert, "A 1.5 GHz highly linear CMOS downconversion mixer," *IEEE J. Solid-State Circuits*, vol.30, pp.736-742, Jul. 1995.
- [10] A. Rofougaran, J. Y.-C. Chang, M. Rofougaran, and A. A. Abidi, "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver," *IEEE J. Solid-State Circuits*, vol.31, no.7, pp.880-889, Jul. 1996.
- [11] S.-Y. Hsiao, and C.-Y. Wu, "A Parallel Structure for CMOS Four-Quadrant Analog Multipliers and Its Application to a 2-GHz RF Downconversion Mixer," *IEEE J. Solid-State Circuits*, vol.33, no.6, pp.859-869, Jun. 1998.
- [12] 田村 裕, 杉本 泰博, "2V 動作, 500MHz CMOS ミキサ回路の検討," 電子情報通信学会論文誌 C, vol.J83-C, no.2, pp.160-161, 2000 年 2 月.
- [13] S.-I. Liu, "Low voltage CMOS four-quadrant multiplier," *Electron. Lett.*, vol.30, no.25, pp.2125-2126, Dec. 1994.
- [14] K. Kimura, "An MOS four-quadrant analog multiplier based on the multitail technique using a quadritail cell as a multiplier core," *IEEE Trans. CAS-I*, vol.42, pp.448-454, Aug. 1995.
- [15] S.-I. Liu, and C.-C. Chang, "CMOS analog divider and four-quadrant multiplier using pool circuits," *IEEE J. Solid-State Circuits*, vol.30, pp.1025-1029, Sept. 1995.
- [16] O. Oliaei, and P. Loumeau, "Four-quadrant class AB CMOS current multiplier," *Electron. Lett.*, vol.32, no.25, pp.2327-2329, Dec. 1996.
- [17] S.-I. Liu, and C.-C. Chang, "Low-voltage CMOS four-quadrant multiplier," *Electron. Lett.*, vol.33, no.3, pp.207-208, Jan. 1997.
- [18] C.-C. Chang, and S.-I. Liu, "Weak inversion four-quadrant multiplier and two-quadrant divider," *Electron. Lett.*, vol.34, no.22, pp.2079-2080, Oct. 1998.
- [19] K. Tanno, O. Ishizuka, and Z. Tang, "Four-Quadrant CMOS Current-Mode Multiplier Independent of Device Parameters," *IEEE Trans. CAS-II*, vol.47, no.5, pp.473-477, May. 2000.