

# 高精度低電圧スイッチトボルテージサンプルホールド回路

大野 憲司<sup>1)</sup>・松本 寛樹<sup>2)</sup>・村尾 健次<sup>3)</sup>

## High accuracy Low-Voltage Switched-Voltage Sample/Hold Circuit

Kenji OHNO, Hiroki MATSUMOTO, Kenji MURAO

### Abstract

In this paper, switched-voltage (SV) sample/hold (S/H) circuit is presented for low voltage operation. The circuit consists of a CMOS SV-delay cell. Thus, the configuration is very simple. The proposed circuit can operate using simple nonoverlapping two phase clocks. Performance is estimated by simulations on PSpice.

### Keywords:

switched-voltage, sample/hold, low voltage, clock feedthrough, channel-length modulation effect

## 1 まえがき

スイッチトボルテージ (SV) 技術は最近のスイッチトカレント (SI) 技術に対して、アナログとデジタルの混成集積回路の進むべき方向を示した新しいアナログサンプルデータ信号処理技術である。従来のスイッチトキャパシタ (SC) 技術と SI 技術は広範囲にわたって混在型アナログデジタルインターフェース部に用いられている。しかしながら、SC 技術はコンデンサを使用するためデジタル CMOS 技術で製造できない。SI 技術は線形な電圧-電流、電流-電圧変換器を必要とする。この SC と SI のインターフェース回路の問題点を克服するために SV 回路がトマゾウ等から提案されている [1]。低電圧で動作する AD 変換器 (ADC) や SV フィルタ (SVF) を集積化するために、サンプル/ホールド (S/H) 回路の低電圧動作が要求される。この論文では低電源電圧化したエンハンスメント MOSFET 素子のみによって構成した高精度 SV-S/H 回路を提案する。さらに、提案回路の補償効果、PSpice シミュレーションにより動作確認を行い比較検討した。

## 2 高精度低電圧 SV-S/H 回路

提案回路を図 1 に示す。回路は  $n$  チャンネル MOSFET 6 個と  $p$  チャンネル MOSFET 6 個で構成され、 $\phi_1, \phi_2$  は互

いに重なりあわない 2 相クロックで動作する。MOS 下段の数は  $W/L$  比を表し、並列スイッチ数も添え字としてあらわしている。

S/H 回路の誤差はドレイン電圧を高くすることでドレイン端での空乏層が広がり、実効チャンネル長が短くなりドレイン電流が増加するチャンネル長変調効果とスイッチがオン状態からオフ状態へ変化するときが発生するクロックフィードスルー電荷の影響による。提案回路で両誤差を各 MOS の  $W/L$  比とスイッチサイズで補償する。

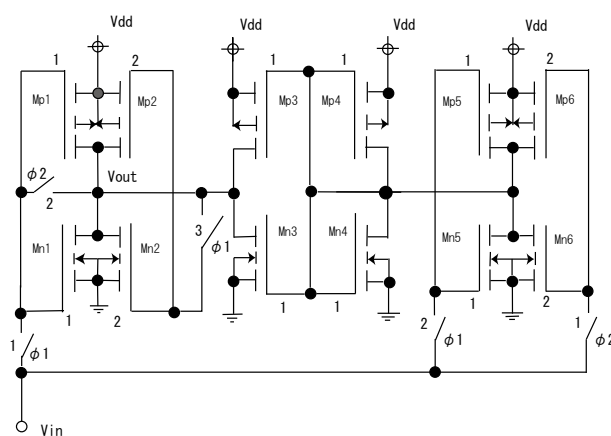


図 1: High accuracy Low-Voltage Switched-Voltage Sample/Hold Circuit

1) 宮崎大学大学院工学研究科システム工学専攻  
2) 宮崎大学工学部  
3) 宮崎大学工学部

## 2.1 クロックフィードスルーの補償

図2に示す  $\phi_1$  相では、2相クロックより  $\phi_1$  スイッチが閉じた状態になり、 $\phi_2$  スイッチが開いた状態になる。入力電圧  $V_{in}$  より各MOSのW/L比、ゲートソ

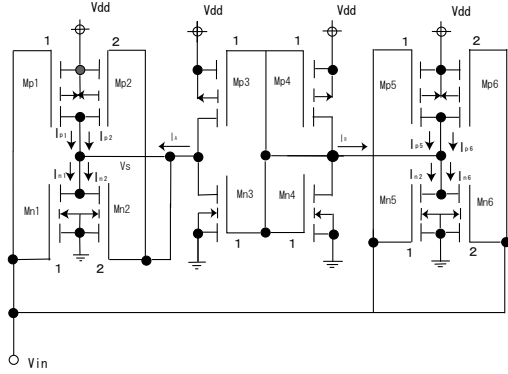


図2: LV SV-S/H circuit of  $\Phi 1$

ス間電圧  $V_{gs}$  を考慮して各ドレイン電流  $I_d$  は飽和領域での2乗則より

$$\begin{cases} I_{p1} = K(V_{dd} - V_{in} - V_T)^2 \\ I_{p2} = 2K(V_{dd} - V_S - V_T)^2 \\ I_{p5} = K(V_{dd} - V_{in} - V_T)^2 \\ I_{p6} = 2K(V_{dd} - V_{in} - V_T)^2 \\ I_{n1} = K(V_{in} - V_T)^2 \\ I_{n2} = 2K(V_S - V_T)^2 \\ I_{n5} = K(V_{in} - V_T)^2 \\ I_{n6} = 2K(V_{in} - V_T)^2 \end{cases} \quad (1)$$

となる。(1)式において、しきい値  $V_T$  とトランスコンダクタンス係数  $K$  はすべて等しい。 $M_{p3}$ 、 $M_{p4}$  のドレイン電流  $I_A$ 、 $I_B$  は

$$\begin{aligned} I_A &= I_{n1} + I_{n2} - I_{p1} - I_{p2} \\ I_B &= I_{n5} + I_{n6} - I_{p5} - I_{p6} \end{aligned} \quad (2)$$

となる。 $M_{p3}$ 、 $M_{p4}$  の  $V_{gs}$  は等しく、 $M_{p3}$ 、 $M_{p4}$  が共に飽和領域で動作している為、カレントミラー回路として  $I_A = I_B$  より  $\phi_1$  時のサンプル電圧  $V_S$  を計算すると、

$$V_S = V_{in} \quad (3)$$

が得られる。ただし  $M_{p3}$ 、 $M_{p4}$  のカレントミラー回路において、 $M_{p3}$ 、 $M_{p4}$  は同一のトランジスタであるにもかかわらず  $M_{p3}$  と  $M_{p4}$  のドレイン電流には誤差を生じる。その誤差の原因として製造上のバラツキ、チャネル長変調効果の二つがあげられる。チャネル長変調効果は次章で考察するためここでは上記の誤差はない

理想状態として計算した。 $\phi_2$  相では図3となり  $\phi_2$  スイッチが閉じた状態  $\phi_1$  スイッチが開いた状態となる。回路図中のW/L比、並列スイッチ数によりnMOSの

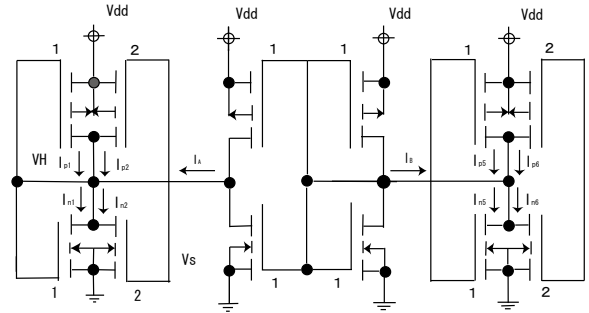


図3: LV SV-S/H circuit of  $\Phi 2$

ゲートソース間電圧とクロックフィードスルー電圧  $V_f$  を考慮し各ドレイン電流  $I_d$  は、

$$\begin{cases} I_{n1} = K(V_H - V_T)^2 \\ I_{n2} = 2K(V_S - V_T - \frac{3}{2}V_f)^2 \\ I_{p1} = -K(V_{dd} - V_H - V_T)^2 \\ I_{p2} = -2K(V_{dd} - V_S - V_T - \frac{3}{2}V_f)^2 \\ I_{n1} = K(V_{in} - V_T - 2V_f)^2 \\ I_{n2} = 2K(V_{in} - V_T - \frac{1}{2}V_f)^2 \\ I_{p1} = -K(V_{dd} - V_{in} - V_T - 2V_f)^2 \\ I_{p2} = -2K(V_{dd} - V_{in} - V_T - \frac{1}{2}V_f)^2 \end{cases} \quad (4)$$

となる。 $\phi_1$  時と同様にミラー電流  $I_A = I_B$  より  $\phi_2$  時のホールド電圧  $V_{out}$  が求まる。

$$V_{in} = V_{out} \quad (5)$$

入力電圧  $V_{in}$  がホールドされ  $V_f$  が補償されている。

## 2.2 動作領域

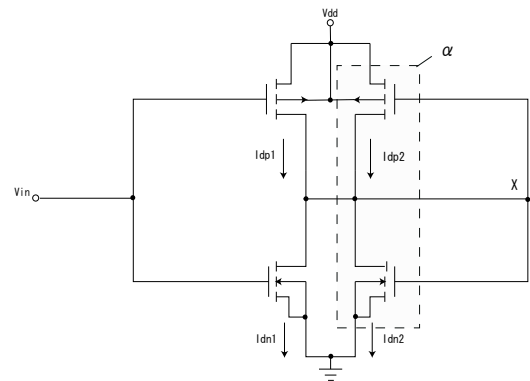


図4: Operation Range

PMOS と NMOS を直列に接続し、向かい合わせにすることによって低電源電圧で動作することができる。

提案回路の  $V_{in}$  の動作領域を調べる。 $M_{n1}$ 、 $M_{n2}$  の飽和条件より

$$V_{in} < \frac{V_{dd} + V_T}{2} \quad (6)$$

同様に、 $M_{p1}$ 、 $M_{p2}$  が飽和する条件より、

$$V_{in} > \frac{V_{dd} - V_T}{2} \quad (7)$$

式 (6)、(7) より動作領域は、

$$\frac{V_{dd} - V_T}{2} \leq V_{in} \leq \frac{V_{dd} + V_T}{2} \quad (8)$$

となる。ここで図 4 のように 1 対  $\alpha$ 、トランスコンダクタンス係数、しきい値をそれぞれ  $M_{p1}$ 、 $M_{p2}$  は  $k_p$ 、 $V_{Tp}$ 、 $M_{n1}$ 、 $M_{n2}$  は  $k_n$ 、 $V_{Tn}$  とすると  $V_{in}$  の動作範囲は

$$I_{dp1} = K_p \frac{W}{L} (V_{dd} - X - V_{Tp})^2 \quad (9)$$

$$I_{dn2} = K_n \frac{W}{L} (V_{in} - V_{Tn})^2 \quad (10)$$

また  $\alpha I_{dp2} = I_{dn1}$  より

$$\sqrt{\alpha K_p} (V_{dd} - X - V_{Tp}) = \sqrt{K_n} (V_{in} - V_{Tn}) \quad (11)$$

式 (11) を変形すると

$$X = V_{dd} - V_{Tp} - \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} (V_{in} - V_{Tn}) \quad (12)$$

ここで  $X = V_{in} - V_{Tn}$  とおくと式 (12) は、

$$V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n} V_{Tn}}{\sqrt{\alpha K_p}} = \left(1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}}\right) V_{in} \quad (13)$$

よって

$$V_{in} = \frac{V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} V_{Tn}}{\left(1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}}\right)} \quad (14)$$

という結果になる。同様に  $I_{dp1} = \alpha I_{dn2}$ 、

$$K_p \frac{W}{L} (V_{dd} - V_{in} - V_{Tp})^2 = \alpha K_n \frac{W}{L} (X - V_{Tn})^2$$

$$\sqrt{K_p} (V_{dd} - V_{in} - V_{Tp}) = \sqrt{\alpha K_n} (X - V_{Tn}) \quad (15)$$

$X = V_{in} + V_{Tp}$  とおくと式 (15) は、

$$V_{in} = \frac{V_{Tn} - V_{Tp} + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}} (V_{dd} - V_{Tp})}{1 + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}}} \quad (16)$$

となる。よって、 $V_{in}$  の動作範囲は、

$$\frac{V_{Tn} - V_{Tp} + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}} (V_{dd} - V_{Tp})}{1 + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}}} < V_{in} < \frac{V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} V_{Tn}}{\left(1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}}\right)} \quad (17)$$

となる。この式より MOSFET の比、 $\alpha$  が大きいほど  $V_{in}$  の動作範囲が広がる。

### 2.3 チャンネル長変調効果の補償

小信号等価回路を用いてチャンネル長変調効果の補償を検討する。このチャンネル長の変化の影響は、トランジスタの小信号等価回路の上ではドレインとソースの間にあるドレインコンダクタンスとして表される。 $\phi_1$  相の図 5 で示すように nMOS、pMOS の各伝達コンダク

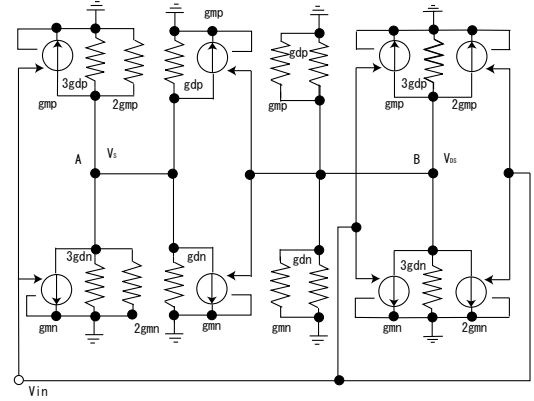


図 5: Small signal equivalent circuit of  $\Phi 1$

タンスを  $g_{mn}$ 、 $g_{mp}$  とし各ドレイン抵抗を  $g_{dn}$ 、 $g_{dp}$  とした。ここで提案回路をキルヒホッフの電流則を用いて A 点における節点方程式を解くと、

$$(4g_{dp} + 3g_{dn} + 2g_{mp} + 2g_{mn})v_s + (g_{mp} + g_{mn})v_{in} + g_{mp}v_{ds} = 0 \quad (18)$$

B 点における節点方程式、

$$(4g_{dp} + 3g_{dn} + g_{mp})v_{ds} + (3g_{mp} + 3g_{mn})v_{in} = 0 \quad (19)$$

となり、式 (18) と式 (19) よりサンプル電圧  $v_s$  は

$$v_s = \frac{1}{4g_{dp} + 3g_{dn} + 2g_{mp} + 2g_{mn}} \left( \frac{3g_{mp}^2 + 3g_{mp}g_{mn}}{4g_{dp} + 3g_{dn} + g_{mp}} - g_{mp} - g_{mn} \right) V_{in}$$

を得る。

$\phi_2$  では A 点から節点方程式

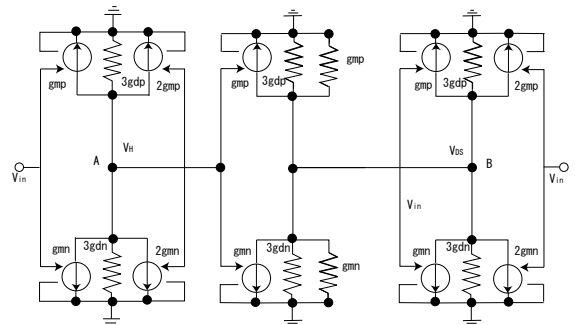


図 6: Small signal equivalent circuit of  $\Phi 2$

$$(4g_{dp} + 3g_{dn} + g_{mp} + g_{mn})v_h + (2g_{mp} + 2g_{mn})(v_s - \frac{3}{2}v_f) + g_{mp}v_{ds} = 0 \quad (20)$$

B点における節点方程式、

$$(4g_{dp} + 3g_{dn} + g_{mp})v_{ds} + (g_{mp} + g_{mn})(v_{in} - 2v_f) + (2g_{mp} + 2g_{mn})(v_{in} - \frac{1}{2}v_f) = 0 \quad (21)$$

を得る。式(20)、(21)よりホールド電圧  $v_h$  は

$$v_h = (1 - \epsilon_g)v_{in} + \epsilon_s \quad (22)$$

$$\epsilon_g = \frac{8g_d(12g_{mn}g_d + 12g_{mp}g_d - g_{mn}^2 - g_{mp}^2 - 2g_{mn}g_{mp})}{(g_{mn} + g_{mp} + 4g_d)(g_{mn} + g_{mp} + 8g_d)^2}$$

$$\epsilon_s = \frac{24g_d(g_{mn} + g_{mp})}{(g_{mn} + g_{mp} + 8g_d)}$$

となる。 $\epsilon_g$ は利得誤差、 $\epsilon_s$ はオフセット誤差となる。高精度低電圧SV-S/H回路、SV-S/H回路[2]とToumazou-S/H回路の利得誤差とオフセット誤差を表1に示す。小信号等価回路の計算値は、パラメータとして $\mu_n C_{ox} = 50[\mu A/V^2]$ 、 $\lambda = 0.02$ 、伝達コンダクタンス $g_{mn} = 3[mS]$ 、 $g_{mp} = 2[mS]$ 、 $g_{dn} = 1[\mu S]$ 、 $g_{dp} = 2[\mu S]$ として $v_f = 0.1[v]$ と設定する。

表 1: Gain error and Offset error

	gain error $\epsilon_g$	offset error $\epsilon_s$
Toumazou-S/H	3.4E-3	3.0E-3
SV-S/H	6.5E-5	2.6E-4
LV-SV-S/H	8.2E-4	1.04E-3

### 3 PSpice シミュレーション

nMOS、 $M_{n1}$ のW/L比は $22.3\mu m/0.8\mu m$ を基準とし、チャンネル長Lは一定とする。カレントミラーのpMOSのW/L比は $86\mu m/0.8\mu m$ の各比とする。電源電圧 $V_{dd}$ は3[V]に、入力電圧 $V_{in}$ は0.3[V]に設定してある。ゲート・ソース間容量 $C_{gs}$ は0.01[pF]として、Spice Levelは2である。提案回路のシミュレーション結果は図8に示す。横軸が動作時間、縦軸は出力電圧 $V_{out}[mV]$ を示す。提案回路の出力電圧は300.1[mV]である。提案回路小信号の出力電圧計算結果では299.6[mV]であり、PSpiceとの出力電圧誤差は0.11[mV]である。

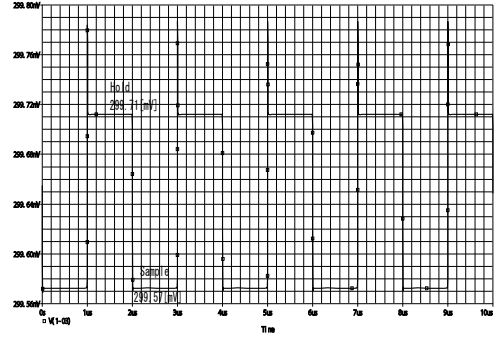


図 7: Output voltage of the Toumazou S/H circuit (Level=2)  $V_{dd}, V_{ss} = \pm 3[V]$

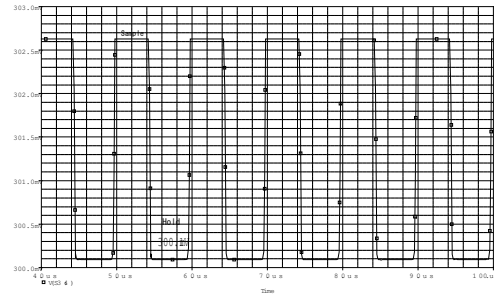


図 8: Output voltage of the LV SV-S/H circuit (Level=2)  $V_{dd} = 3[V]$

## 4 結論

高精度低電圧3SV-S/H回路を提案した。Toumazou-S/H回路と比較して、提案回路のオフセット誤差は、8.7%、利得誤差は1.9%に低減、改善できた。PSpiceシミュレーションは電源電圧1.5[V]での動作が確認でき、入出力誤差は、+0.2%であった。これより、提案回路はSV回路に広く応用できる。

## 参考文献

- [1] K.Leelavattananon and C.Toumazou, "Switched-voltage: An adaptation of switched-currents for voltage-mode design," *Electron. Lett.*, vol.34, no.6, pp.503-504, Mar.1998.
- [2] Kenji Ohno and Hiroki Matsumoto, "Clock-feed-through charge effect and channel-length modulation effect compensated SV delay cell," *IEICE General Conference*, A-1-14, March. 2004.
- [3] Kenji Ohno, Hiroki Matsumoto, and Kenji Murao, "A Switched-Voltage High-Accuracy Sample/Hold Circuit" Session: [27PM4L-A] *Analog Circuits II. The 47th IEEE International Midwest Symposium on Circuits and Systems*.