

多入力FG-MOSFETを用いた 低電圧・高CMRR差動増幅回路に関する研究

堀田 真嗣¹⁾・淡野 公一²⁾・田村 宏樹³⁾・外山 貴子⁴⁾

A Study on Low-Voltage and High-CMRR Differential Amplifier Using Multiple-Input FG-MOSFETs

Naotsugu HORITA, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

In this paper, a low-voltage and high-CMRR differential amplifier using multi-input FG-MOSFETs is presented. The proposed circuit is divided two circuit blocks; one is FG-MOSFETs based differential amplifier without a tail current source, and the other is bias voltage generator. The technique of removing the tail current source is widely used for the low-voltage operation, but this deteriorates CMRR performance. In order to improve this problem, one of the input terminals of FG-MOSFETs is used as the bias voltage control terminal from bias voltage generator. By using this technique, the proposed circuit prevents the deterioration of the common-mode gain.

The proposed circuit with parasitic capacitances, which could be derived through the physical layout design, was evaluated through HSPICE simulation with $0.35\mu\text{m}$ CMOS process. As a result, the common-mode gain of the proposed circuit was -59.5dB with the supply voltage of 1.4V .

Key Words :

Common-mode gain, CMRR, Differential pair, FG-MOSFET, Low-voltage

1. 序論

近年のCMOSプロセス技術の発達はめざましく、その微細加工化が進むことにより、集積度が向上し、より高速動作が可能になっている。しかしその反面、素子の耐圧は著しく低下している。また、携帯用電子機器などにおいては一層の小型化、軽量化が望まれ、搭載するバッテリーの小型化のために電源電圧の低下は避けられない。そのため、このような機器に用いられる回路は一般的な回路に比べてさらに低電圧での動作が求められることになる。[1][2]

電源電圧の低下は回路におけるヘッドルームの減少ばかりでなく、従来の回路構成では全く回路が機能しないなどアナログ回路に深刻な影響を与える。特に、アナログ回路における重要な基本ブロックである演算増幅器（以降、opampとする）は、その要求される特性を考えると、低電圧化による影響が最も大きい回路の一つであるといえる。[3][4]

回路を低電圧で動作させるためには、回路を駆動す

1) システム工学専攻大学院生

2) 電気電子工学科助教授

3) 電気電子工学科助手

4) 技術職員

る電源の両端子に接続されるMOSFETの縦積み段数を抑えることが望ましい。そのため、opampなどの低電圧化の際には、差動増幅器のテール電流源を取り除くという手法が幅広く用いられる。しかし、テール電流源を有していない差動増幅器は同相利得の悪化が問題となる。近年、この問題を克服するための差動増幅器がMonsurròらによって提案された[5]。この手法は、テール電流源を取り除いた差動増幅器と、その差動増幅器のレプリカ素子を用いたバイアス制御回路によって構成される。差動増幅器に入力される2つの入力信号は、同時にバイアス制御回路にも入力され、その入力信号に応じたバイアス制御信号が生成される。このバイアス制御信号を差動増幅器のバックゲート端子に与えることで、テール電流源の代わりとなるバイアス電流を回路に流し、同相利得の改善を行うものである。しかし、素子と基板を電氣的に分離するためには、バックゲートに与える電圧は回路中の最低電位以下でなくてはならない。この条件を満足するために、バイアス制御信号の生成にはLow-Boost回路等が必要となる。また、この回路ではバックゲートを信号端子として使用するためにtwin-wellプロセスの使用が必須となり、標準のCMOSプロセスでの製造は困難である。

そこで本論文では、これらの改善を目的とし、多入力 FG-MOSFET を用いた新たな差動増幅器を提案する。多入力 FG-MOSFET は複数の入力ゲートを持ち、各端子に入力される電圧は結合容量の比によって重み付けされ、その電圧によって素子を駆動する。また、標準の CMOS プロセスで実現できるため、生産コストを抑えることができる。[6] 本論文で提案する回路は、多入力 FG-MOSFET を用いて差動増幅器に設けた入力端子にバイアス制御信号を与えることで、テール電流源の代わりとなるバイアス電流を回路に流し、同相利得の改善を行うものである。この回路は信号入力にバックゲート端子を使用しないため、Low-Boost 回路等も必要なく、前述のように標準の CMOS プロセスで実現可能であるという特徴を有している。

2. 差動増幅回路の低電圧化

MOSFET を飽和領域で動作させて使用する場合、そのドレイン-ソース間電圧は次式を満足させる必要がある。

$$V_{DS} \geq V_{GS} - V_T \quad (1)$$

式(1)で表される電圧 V_{DS} のことをオーバードライブ電圧 V_{OD} と呼び、回路を低電圧化する際の指標となる。差動増幅器は opamp などのアナログ回路に幅広く用いられているが、通常用いられる回路は電源間に接続される MOSFET の縦積み段数が 3 段以上で構成されていることが一般的である。そのため回路が動作する最低の電源電圧は $3V_{OD}$ 以上となり、回路全体における低電圧化の妨げとなっている。

2.1 従来の低電圧化手法

差動増幅器の低電圧化を行う場合、一般的には図1のようにテール電流源を取り除くという手法が幅広く用いられている。この回路が動作する最低の電源電圧は $2V_{OD}$ となり、このようなテール電流源を有していない回路でも、電源ノイズに対する高い耐性、大きな出力振幅など、実際に差動信号形式としての幾つかの利点がある。

しかし、もし V_{in1} と V_{in2} が大きな同相ノイズの影響を受けたり、同相の直流レベルが適切に制御されていないとすれば、入力の同相レベル V_{inCM} が変化し、 M_1 と M_2 の電流が変化することになり、デバイスの伝達コンダクタンスおよび出力の同相レベルが変化する。伝達コンダクタンスの変動は小信号利得の変動を

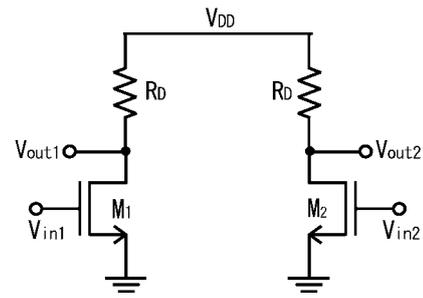


図1 テール電流源を取り除いた差動増幅器

引き起こし、一方出力の同相レベルの理想値からのずれは最大許容振幅を小さくする。つまり、この回路では同相利得の悪化が問題となるため、これを改善するためにはデバイスのバイアス電流の同相信号依存を最小にすることが重要であるといえる。

また、MOSFET の弱反転領域の使用やバックゲートドライブなどの手法により差動増幅器の低電圧化を行う回路も提案されているが、これらの回路では十分な利得や帯域が得られないという問題点がある。

2.2 バックゲート端子を用いた電流バイアス手法

近年、テール電流源を取り除くことによる同相利得悪化の問題を解決するための回路が Monsurrò らによって提案された。この回路はメインとなる差動増幅回路とバイアス制御回路によって構成され、バイアス制御回路では入力信号に応じた制御信号電圧を生成する。バイアス制御回路で生成された制御信号電圧を差動増幅回路のバックゲート端子に与えることで、テール電流源の代わりとなる一定のバイアス電流を流すことができる。これにより、通常の差動増幅器と同じような同相利得を維持し、かつテール電流源を取り除くことによる低電圧化を行うことが可能となる。

しかし、この回路を実際に使用する場合には多くの制約が加わる。回路全体の動作速度などの観点より、LSI を製作する際に用いる基板は p 型基板が一般的である。そのため、この回路を実現するためには twin-well プロセスの使用が必須条件、もしくは p-channel MOSFET 主体の回路構成に限定する必要がある。また、素子と基板の pn 接合を逆バイアスするためには、バックゲートの電位は常に回路中の最低電位以下でなくてはならない。よってバイアス制御回路の出力には Low-Boost 回路等が必要不可欠となる。

3. 低電圧・高CMRR 差動増幅回路

3.1 多入力 FG-MOSFET

多入力 FG-MOSFET(Floating Gate-MOSFET) は 1992 年に東北大学で柴田氏らにより提案された素子で、ニューロン MOSFET とも呼ばれる。この素子は複数の入力ゲート端子を持ち、これら各端子に印加される電圧の加重加算によりトランジスタの動作が決まる。図 2 に n 入力 FG-MOSFET の構造図を示す。FG-MOSFET は標準的な MOSFET のゲート部分であるポリシリコン層を酸化膜で挟み、さらに複数の入力ゲートが容量結合された構造をしている。図 3 に FG-MOSFET の容量等価モデルを示す。入力ゲートは p 型、 n 型共にドレイン側から順に数え、 i 番目の入力ゲートに印加する電圧を V_i とし、同様に i 番目の入力ゲートとフローティングゲートの間の容量を C_i とする。ここで、 C_0 はフローティングゲートと基板間の容量である。

また、 n 入力 FG-MOSFET のドレイン・ソース間電流 I_{DS} は次式のようになる。

$$I_{DS} = K(V_{FS} - V_T)^2 \quad (2)$$

$$= K \left\{ \sum_{i=1}^n \omega_i \left(\sum_{i=1}^n V_i - V_S \right) - V_T \right\}^2 \quad (3)$$

ここで、 K はトランスコンダクタンス係数で $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$ であり、各入力ゲートの重みである ω_i は次式で表される。

$$\omega_i = \frac{C_i}{C_0 + \sum_{i=1}^n C_i} \quad (4)$$

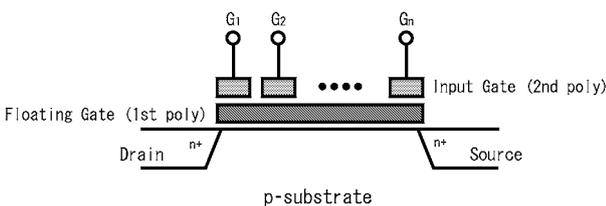


図 2 多入力 FG-MOSFET の構造図

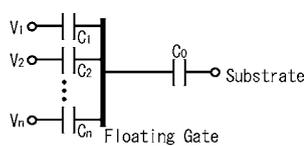


図 3 多入力 FG-MOSFET の容量等価モデル

式 (4) から分かるように、 ω_i はフローティングゲートとの結合容量の比で決定されるため、マスクレイアウトの際に面積比を変えることで比較的自由に設定することが可能である。

3.2 基本原理

図 4 に多入力 FG-MOSFET を用いた低電圧差動増幅回路を示す。本回路は左半分のメインとなる差動増幅回路ブロック (ブロック I) と、右半分のバイアス制御回路ブロック (ブロック II) によって構成される。この回路は前章で述べた Monsurrò らによる回路の問題点を改善している。制御信号の入力にバックゲート端子を使用しないため、Low-Boost 回路等は必要としない。また、twin-well プロセスで製造する必要もないために標準の CMOS プロセスで実現可能である。以上の特徴を有していることから、低電圧化が求められる回路において幅広く応用が可能であるものと考えられる。

2 入力 FG-MOSFET であるトランジスタ M_{1r}, M_{2r} は M_1, M_2 のレプリカ素子である。ブロック I において、抵抗 R_{CM1}, R_{CM2} は出力端子 $V_{out1} - V_{out2}$ 間の同相電圧を検出し、その電圧でトランジスタ M_3, M_4 を駆動させている。

例として、回路に同相信号電圧が与えられる場合を考える。このときブロック II の M_{1r} と M_{2r} には、それぞれ $I_B/2$ のドレイン電流が流れる。同時に、誤差増幅器 A によって M_{1r} と M_{2r} の共通ドレイン端の電圧はバイアス制御信号電圧 V_{BC} に変換され、2 入力 FG-MOSFET を用いることで設けられた入力端子に入力される。結果として、誤差増幅器 A と M_{1r}, M_{2r} を介したフィードバックの働きにより、その共通ドレイン端電圧は理想的には V_{ref} に固定される。また、 M_1, M_2 にも M_{1r}, M_{2r} に入力されているものと同じバイアス制御信号電圧が入力される。これにより、両回路の入力素子である M_1 と M_{1r} 、 M_2 と M_{2r} のフローティン

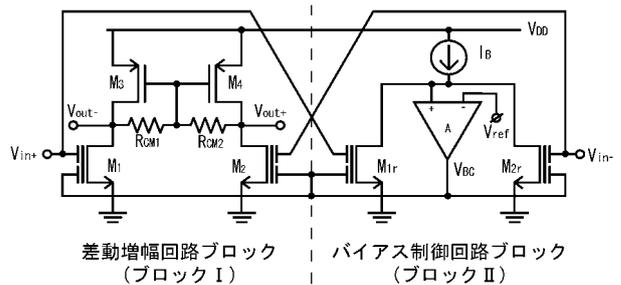


図 4 多入力 FG-MOSFET を用いた低電圧差動増幅器

表 1 提案回路の各種パラメータ

| | |
|--|----------------------|
| V_{DD} | 1.4 [V] |
| V_{ref} | 0.6 [V] |
| $M_{1,2}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 5/1 |
| $M_{1r,2r}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 5/1 |
| $M_{3,4}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 6.2/1 |
| $M_{5,6}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 4/1 |
| $M_{7,8}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 4/1 |
| $M_{9,10}$ の $W/L[\mu\text{m}/\mu\text{m}]$ | 1/1 |
| $R_{CM1,CM2}$ | 200 [k Ω] |
| C_{in} | 0.74 [pF] |
| C_{bc} | 0.37 [pF] |
| I_B | 10 [μA] |

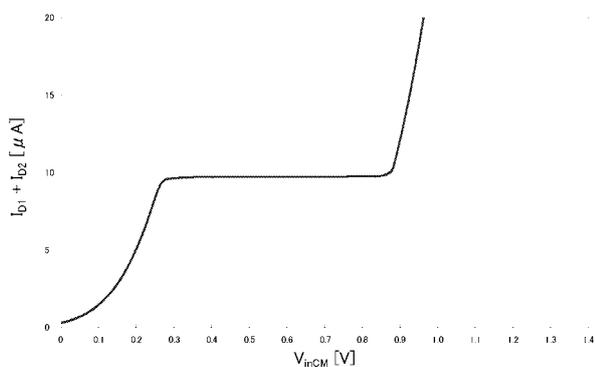


図 6 同相入力電圧に対する差動増幅器部の電流

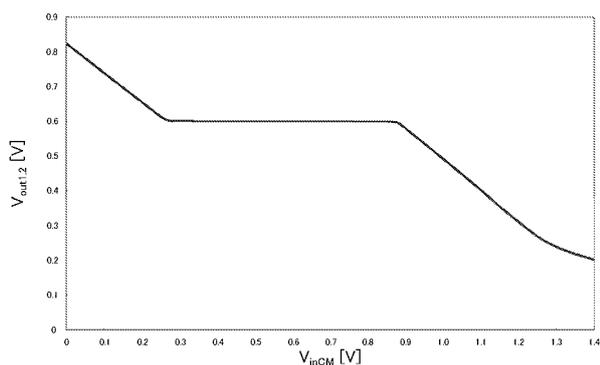


図 7 同相入力電圧に対する差動増幅器部の出力電圧

に流れる電流の和)と同じ $9.7\mu\text{A}$ の一定の電流が流れていることを確認した。但し、この電流値より誤差 1 パーセント以内を一定値として測定している。また、同様に同相入力電圧 V_{inCM} の ground から V_{DD} までの変化に対する出力端子 V_{out+} の電圧を図 7 に示す。

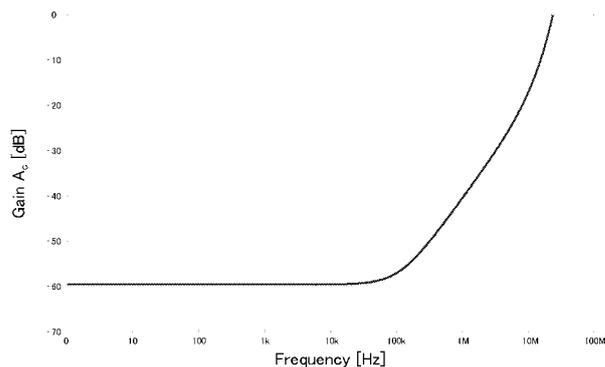


図 8 提案回路の同相利得

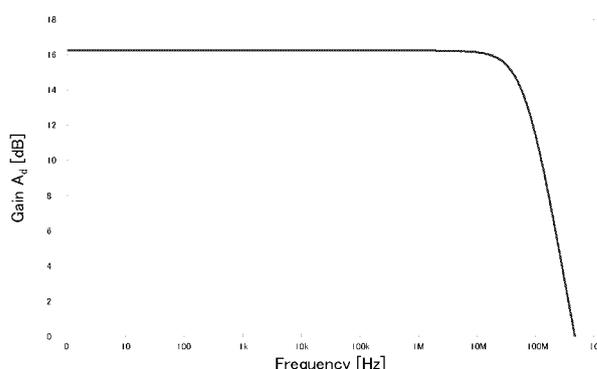


図 9 提案回路の差動利得

この図より、0.28V から 0.85V までの同相入力電圧範囲において出力電圧は 0.6V を維持していることが確認できる。

図 8 に提案回路の同相利得 (V_{out+}/V_{in+}) を示し、図 9 に差動利得を示す。直流での同相利得は -59.5dB 、差動利得は 16.2dB であり、CMRR は 75.7dB となった。

5. マスクレイアウト設計

前節で設計したパラメータをもとにマスクレイアウト設計を行った。多入力 FG-MOSFET は第 1 層ポリシリコンでフローティングゲートを作り、第 2 層ポリシリコンで入力ゲートを作るのが通常である。その際、フローティングゲートと入力ゲート間の結合容量はある程度の容量値が必要となるため、図 10 に示すように第 1 層のゲートを拡張し、そこに入力ゲートとなる第 2 層ポリシリコンを重ねる。

しかし、本研究で使用している $0.35\mu\text{m}$ CMOS プロセスのデザインルールでは前述の構成が許されない。そこで、図 11 のようにデザインルールにより規定された容量素子を作成し、その素子を MOSFET のゲート

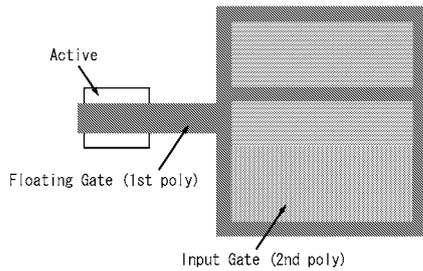


図 10 一般的な多入力 FG-MOSFET のレイアウト

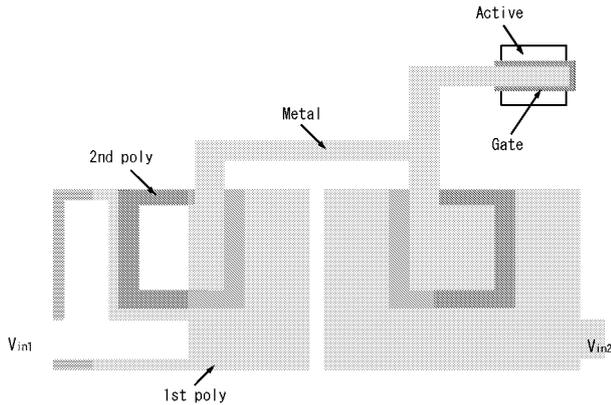


図 11 容量素子を用いた多入力 FG-MOSFET のレイアウト

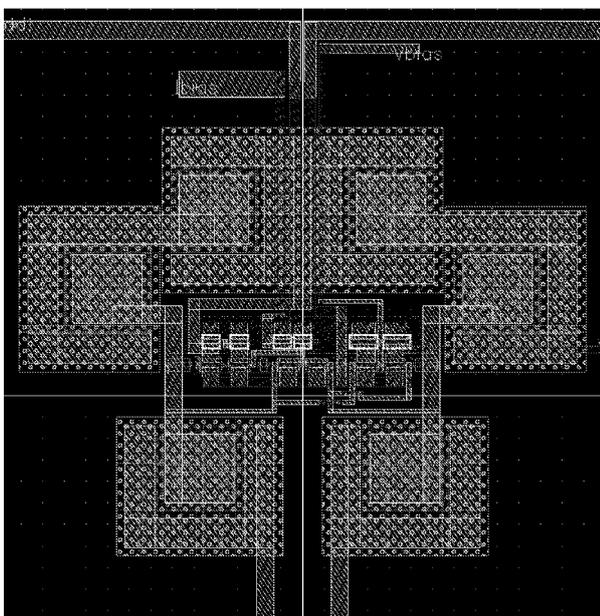


図 12 提案回路のレイアウト図

にメタル配線することにより、図 3 の容量等価モデルで表されるような多入力 FG-MOSFET を作成している。この構成の利点として、第 2 層ポリシリコン側を MOSFET のゲートに配線することにより、フローティ

表 2 多入力 FG-MOSFET に関する寄生容量

| | |
|----------------------------|--------------|
| $M_{1,1r}$ のゲート - 基板間 | 0.1978 [fF] |
| $M_{2,2r}$ のゲート - 基板間 | 0.1978 [fF] |
| $M_{1,1r}$ ゲートの配線メタル - 基板間 | 15.2798 [fF] |
| $M_{2,2r}$ ゲートの配線メタル - 基板間 | 15.2671 [fF] |

ングゲート - 基板間の寄生容量は通常の構成に比べて小さくすることが可能である。これにより、各入力端子の重みが大きくなり、寄生容量による利得の損失を最小限に抑えることができる。しかし、この場合は第 1 層ポリシリコンが入力端子側になるため、その寄生容量の影響は考慮する必要がある。また、 M_1 と M_{1r} 、 M_2 と M_{2r} のフローティングゲート電位は常に等しくなるため共通端子とし、容量素子を削減してチップ面積の縮小化を図っている。

以上のことをふまえて、実際にマスクレイアウトを行った。レイアウト図を図 12 に示す。回路全体のチップ面積は $131.0\mu\text{m} \times 100.5\mu\text{m}$ となった。また、レイアウト図よりネットリストを抽出して得られたフローティングゲート - 基板間にあたる寄生容量の値を表 2 に示す。

6. 寄生容量を含んだ詳細な解析

多入力 FG-MOSFET を用いる際は、フローティングゲート - 基板間の容量値が回路特性に大きな影響を与える。そこで、マスクレイアウト設計の結果よりネットリストを抽出して得られた寄生容量を含む提案回路の詳細な解析を行う。但し、他の差動増幅回路との比較のために、表 2 のような多入力 FG-MOSFET 部分に関する寄生容量のみを対象としている。また、本論文のマスクレイアウト設計で構成した多入力 FG-MOSFET の場合は、入力端子側の第 1 層ポリシリコン - 基板間の寄生容量も考慮する必要がある。しかし現在提供されているマスクレイアウトに関するパラメータでは容量素子と抵抗素子に関する寄生容量の抽出は不可能であった。一般的に、ポリシリコンによる容量素子と基板間の寄生容量は素子の容量値の 20% 程度といわれるため、本節ではその概算値の容量を付加することにより本論文で設計した提案回路の特性を解析する。[7]

提案回路のマスクレイアウト設計の結果に基づく等価回路を図 13 に示す。また、この図における各容量値を表 3 に示す。 C_{pM1}, C_{pM1r} 及び C_{pM2}, C_{pM2r} はマスクレイアウト図よりネットリストを抽出して得られたフローティングゲート - 基板間の寄生容量であり、 C_e は各入力端子とフローティングゲートを結合する容量

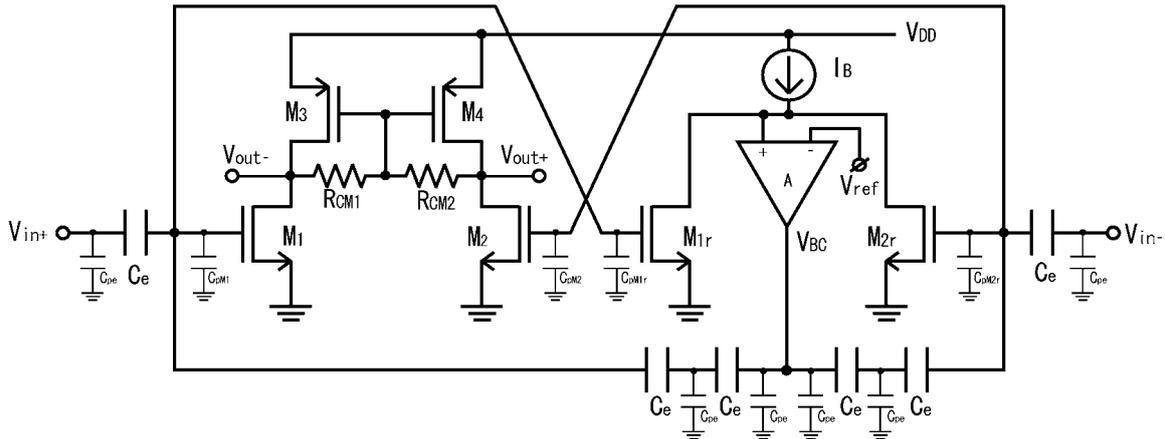


図 13 寄生容量を含む提案回路の等価回路

表 3 図 13 の等価回路における各容量値

| | |
|---------------------|--------------|
| C_{pM1}, C_{pM1r} | 15.4776 [fF] |
| C_{pM2}, C_{pM2r} | 15.4649 [fF] |
| C_e | 0.74 [pF] |
| C_{pe} | 0.148 [pF] |

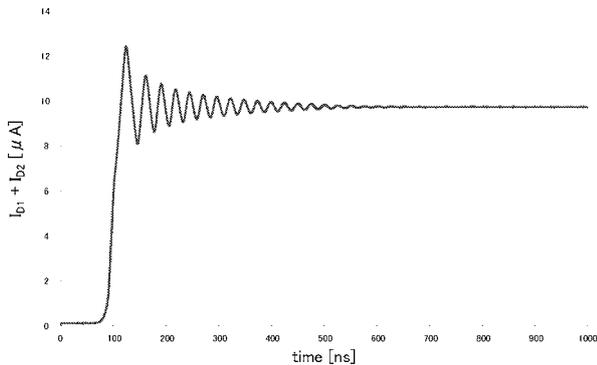


図 14 回路起動時から定常状態までの電流変化

素子である。 C_{pe} は容量素子 C_e を作成したときに発生すると考えられる第 1 層ポリシリコン-基板間の寄生容量で、一般的に素子値の 20 % 程度の寄生容量が発生することが知られているため、回路特性への影響を解析するためにこれを付加している。

提案回路を起動させた後の差動増幅器部の電流 (M_1 と M_2 に流れる電流の和) の変化を図 14 に示す。電源電圧が 0s で立ち上がり始め 0.1 μ s 後に 1.4V となると、電流が定常状態に安定するまでの時間を解析した。入力信号は無いものとし、バイアス電圧は電源電圧からの分圧により 0.6V が与えられるものとする。結果、回路を起動してから 508ns 後に電流が安定し、その値

は約 9.74 μ A に収束する。収束した電流値の ± 1 % 以内を定常状態として測定している。尚、この解析には FG-MOSFET のマクロモデルを使用している。 [8]

表 4 に提案回路と通常の差動増幅器、テール電流源を取り除いた差動増幅器との各特性の比較結果を示す。この表において、10 μ A のテール電流源を有する差動増幅器を電流源有とし、テール電流源を取り除いた差動増幅器をソース接地型としている。これらの回路において各トランジスタの W/L の値は提案回路と同じものである。また、本論文で使用している 0.35 μ m CMOS プロセスのデザインルールの制約により、マスクレイアウト設計において使用した多入力 FG-MOSFET は一般的なものと構成が異なっている。そのため、提案回路については 2 つの結果に分けて比較している。提案回路 A は図 4 の回路構成で寄生容量等を特に含まず、多入力 FG-MOSFET には一般的な容量結合モデルのみを用いたものである。提案回路 B は本論文のマスクレイアウト設計の結果である図 13 に示されるような回路構成で、交流での解析を除いては多入力 FG-MOSFET のマクロモデルを用いている。

表 4 より、提案回路はテール電流源を取り除くことにより低電圧化を実現すると共に、多入力 FG-MOSFET を用いたバイアス電流制御によりソース接地型に比べて大幅に同相利得を改善していることが分かる。また、通常の差動増幅器ではテール電流源となる MOSFET のドレイン-ソース間電圧が変動することによりバイアス電流に多少の変化が生じるのに対し、提案回路ではフィードバックによってバイアス電流の変動を抑制するため、通常の差動増幅器よりも同相利得が向上している。その反面、入力素子に多入力 FG-MOSFET を用いることによる差動利得の低下は避けられず、またバイアス制御回路の付加によって消費電流は増大している。

表4 特性の比較

| | 電流源有 | ソース接地型 | 提案回路 | |
|-----------------|-------|--------|-------|-------|
| | | | A | B |
| 電源電圧 (V) | 2.0 | 1.4 | 1.4 | 1.4 |
| 入出力バイアス電圧 (V) | 1.2 | 0.6 | 0.6 | 0.6 |
| 差動利得 (dB) | 20.2 | 21.1 | 16.2 | 15.7 |
| 同相利得 (dB) | -43.9 | 2.3 | -59.5 | -59.5 |
| CMRR (dB) | 64.1 | 18.9 | 75.7 | 75.2 |
| 帯域幅 (MHz) | 70.9 | 71.6 | 71.5 | 71.4 |
| 消費電流 (μ A) | 9.88 | 11.32 | 29.05 | 29.09 |
| 出力振幅 (V) | 1.12 | 0.49 | 1.07 | 1.06 |

7. 結論

本論文では、多入力 FG-MOSFET を用いた低電圧・高 CMRR 差動増幅器について述べてきた。差動増幅器の低電圧化のためにはテール電流源を取り除くという手法が一般的に用いられるが、この場合同相利得が悪化する。そこで本論文では、この問題を改善するために多入力 FG-MOSFET によって外部からバイアス電流を制御し、テール電流源が無いにもかかわらず同相利得の悪化を防ぐ構成の差動増幅器を提案してきた。

まず、設計した提案回路の動作と基本特性を確認するため、 0.35μ CMOS プロセスにおけるデバイスパラメータを用いた HSPICE シミュレーションによって解析を行った。ここでは、多入力 FG-MOSFET は容量等価モデルで解析し、実際に LSI を製造する際に発生する寄生容量等は無いものとして評価した。結果、電源電圧 1.4V で動作し、同相入力範囲が 0.28V から 0.85V、差動利得が 16.2dB、同相利得 -59.5dB であり、高い同相利得を維持しつつ低電圧化を実現できることを確認した。

次に、設計したパラメータを用いてマスクレイアウト設計を行った。本研究で使用している 0.35μ m CMOS プロセスのデザインルールでは、通常用いられる多入力 FG-MOSFET のレイアウト構成が許されていない。そこで、デザインルールにより規定された容量素子を作成し、その素子を MOSFET のゲートにメタル配線するという特殊な手法で多入力 FG-MOSFET を構成した。また、マスクレイアウト設計の結果よりネットリストを抽出し、多入力 FG-MOSFET に関する寄生容量値の算出を行った。その結果、提案回路全体のチップ面積は $131.0\mu\text{m} \times 100.5\mu\text{m}$ となり、使用している多入力 FG-MOSFET のフローティングゲート - 基板間容量は約 15.5fF 程度となった。

次に、マスクレイアウト設計の結果より得られた寄生容量と回路構成を考慮した提案回路の詳細な特性解析を行った。その結果、差動利得が 15.7dB、同相利

得が -59.5dB で CMRR は 75.2dB となり、帯域幅は 71.4MHz、出力振幅は 1.06V、消費電流は 29.09μ A、起動から定常状態に安定するまでの時間は 508ns であることが分かった。フローティングゲート - 基板間の寄生容量値を小さく抑えることができたため、基本構成の回路と比較した場合の特性劣化は比較的少ないことが確認できた。

本論文で提案した回路は標準の CMOS プロセスで製造可能であり、低電圧化が求められる機器などに使用される回路において幅広く応用が可能であると思われる。しかし、入力素子に多入力 FG-MOSFET を用いているため通常の差動増幅回路よりも差動利得が低く、バイアス制御回路を付加していることにより消費電流も大きい。今後の課題は、能動負荷や多入力 FG-MOSFET の結合容量比の調整による差動利得の改善、トランジスタ $M_{1,2}$ に対する $M_{1r,2r}$ の W/L 比を小さくすることによりバイアス制御回路の動作電流を絞り、消費電流の改善を行うことなどが考えられる。

参考文献

- [1] Alan B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nov. 2002.
- [2] R. Jacob Baker, Harry W. Li, and David E. Byce, "CMOS Circuit Design, Layout, and Simulation," IEEE Press Series on Microelectronic Systems, 1998.
- [3] P. R. Gray and R. G. Meyer, "MOS operational amplifier design A tutorial overview," IEEE J. Solid-States Circuits, vol. SC-17, pp. 969-982, Dec. 1982.
- [4] Satoshi Sakurai, and Mohammed Ismail, "Low-Voltage CMOS Operational Amplifiers," Kluwer Academic Publishers, 1995.
- [5] P. Monsurrò, G. Scotti, A. Trifiletti, S. Pennisi, "Biasing technique via bulk terminal for minimum supply CMOS amplifiers," Electronics Letters, vol. 41, no. 14, July 2005.
- [6] T. Shibata and T. Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations," Trans. IEEE Electron Device, vol. 39, No. 6, pp. 1444-1445, Jun 1992.
- [7] Randall L. Geiger, Phillip E. Allen, Noel R. Strader, "VLSI Design Techniques for Analog and Digital Circuits", McGraw-Hill Publishing Company, 1990.
- [8] T. Ochiai, H. Hatano, "A Proposition on Floating Gate Neuron MOS Macromodeling for Device Fabrications," IECE Trans. Fundamentals, vol. E82-A, no. 11, Nov. 1999.