

サンプル・ホールド回路の高性能化に関する研究

桑原 健介¹⁾・淡野 公一²⁾・田村 宏樹³⁾・外山 貴子⁴⁾

Research for High-Performance Sample-and-Hold Circuits

Kensuke KUWAHARA, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

In our laboratory, Boost Tracking Clock Generator (BTCG) and Mirror Hold Capacitor Circuit (MHCC) have been proposed. However, the improvement of the performance by using the combined these techniques has not been reported yet. Moreover, BTCG was unsuitable for high-speed sample and hold (S/H) circuits because of the circuit composition. In order to improve the delay time of BTCG, four kind of high-speed circuits are proposed. The proposed circuits are evaluated through Star-HSPICE simulation. As the results, the effectiveness of the proposed circuits can be confirmed.

Key Words :

Sample and hold circuits, Mirror Hold Capacitor Circuit, Boost Tracking Clock Generator, high-speed

1. はじめに

デジタル・アナログ混載 LSI を実現するための重要な回路にアナログ・デジタル (A/D) 変換器がある。A/D 変換では、量子化・符号化するため、その変換時間が必ず必要となる。そのため、一時的にアナログ情報を保持する回路、いわゆるサンプル・ホールド (S/H) 回路が必要となる。この S/H 回路での誤差は最終的なデジタル値にまで影響を与えるため、その高性能化が求められている [1][2]。

そこで我々の研究室では、入力追従型ブースト回路 (BTCG) とミラーホールドキャパシタ回路 (MHCC) を提案して個々に S/H 回路の改善を試みてきた [3][4]。しかしながら、これらの手法を組み合わせた改善には未着手であり、その効果を調べることは工学的に意義のあることである。また、我々の提案してきた BTCG は、その回路構成から高速化に不向きであった。そのため、近年の高クロック化に対応できないという課題があった。

本論文ではまず、本研究室で提案されている BTCG と MHCC を組み合わせた S/H 回路の特性評価・検討を行っている。次に、BTCG の課題であった高速化に関する検討を行っている。従来の BTCG では回路自身でブーストした電圧を制御信号として用いている部分があり、それが高速動作の妨げとなっていた。そこで、4 種類の高速度化手法を提案する。この高速度化手法

は 2 種類に分けることができ、BTCG の入力部分のスイッチを変更する方法と、新たに制御用クロックを与える方法で、これらの方法を用いて高速化を行っている。最後に提案回路を Star-HSPICE シミュレーションを用いて従来回路との特性比較を行う。

2. BTCG と MHCC

図 1 に BTCG 及び MHCC を用いた S/H 回路を示す。本回路では、BTCG を用いて MOS スwitch の問題を、MHCC によってホールドキャパシタの問題を改善している。詳細については以下のとおりである。

2.1 入力追従型ブースト回路 (BTCG)

オン状態の MOS トランジスタはオン抵抗 (R_{on}) と呼ばれる抵抗成分として以下の式で表される [5]。

$$R_{on} = \frac{1}{2K(V_{GS} - V_T)} \quad (1)$$

そのため、アナログスイッチとキャパシタ一つで構成されている簡単な S/H 回路の場合、スイッチがオン抵抗としての抵抗成分を持つため低域通過フィルタ (Low Pass Filter) としての特性を持つ。また、入力信号によりオン抵抗値が変化することから遮断特性も変化し、これにより S/H 回路の出力信号に歪みが生じる。

そこで、入力信号追従回路を用いて MOS スwitch の制御信号を入力信号と同じように変化させることで解決可能である。式 (1) から分かるように、MOS ス

¹⁾システム工学専攻大学院生

²⁾電気電子工学科助教授

³⁾電気電子工学科助手

⁴⁾技術職員

スイッチの V_{GS} を一定にすることで, R_{on} を一定にできることが分かる.

この技術と電圧ブースト回路を組み合わせたものが BTCG である. BTCG を S/H 回路に用いることで低歪み, 広入力レンジ化を実現できる [3].

2.2 ミラーホールドキャパシタ回路 (MHCC)

本回路はサンプル時とホールド時の容量値を変化させる回路であり, 通常用いられる演算増幅器の代わりに CMOS インバータを用いた回路構成となっている. この方式は, CMOS インバータの Hi から Low へ移行する領域の高利得に着目した回路である. 一般にこの遷移領域でのバイアスは困難であるが, MHCC はトラック時に CMOS インバータ自らが遷移領域で動作する直流バイアスを生成し, ホールド時にその直流バイアスで自ら動作するため, 特別なバイアス回路を必要としないという特長を有している. また, CMOS インバータは, 演算増幅器に比べ非常に小チップ面積, 低消費電力であることは言うまでもない [6][7].

短いアクイジョン時間と小さいホールド誤差及び小さいドループを実現するため, サンプル時は, C_1 及び C_2 を小さい値に設定することでアクイジョン時間を短くすることができ, ホールド時には, CMOS インバータによるミラー効果を用いることで大きな値の容量となりホールド誤差及びドループ量を小さくすることができる [4].

3. シミュレーション結果と性能比較

BTCG と MHCC を組み合わせた S/H 回路のシミュレーション結果を示す. ここでは, CMOS 0.35 μm デバイスパラメータを用いた Ster-HSPICE シミュレーションによって評価を行っている. BTCG と MHCC を用いた S/H 回路の設計値を表 1 に示す. また比較のため, BTCG のみを用いた S/H 回路の設計値を表 2 に, MHCC のみを用いた S/H 回路の設計値を表 3 に示す (W/L はチャンネル幅/チャンネル長を表す). さらに解析条件を表 4 に示す.

ここでは BTCG と MHCC を用いた S/H 回路の HSPICE シミュレーションを行い, 電源電圧 1.5V における特性を評価した結果について述べる. ここで MHCC の総容量は C_1, C_2 の総和 0.8pF とする. C_{1B}, C_{2B} は C_1, C_2 の寄生容量とするので, ここでは総容量に含まないものとする. また, MHCC の総容量と値をそろえるため, C_H の値を 0.8pF としている,

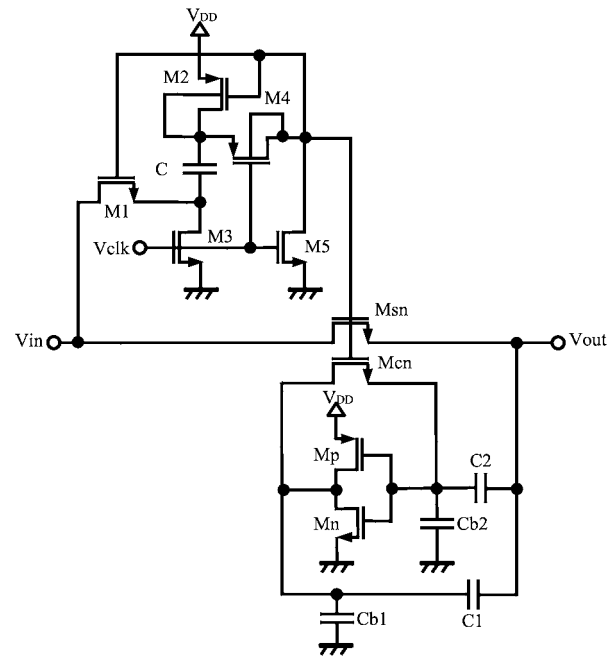


図 1 BTCG と MHCC を用いた S/H 回路

表 1 BTCG と MHCC を用いた S/H 回路のデバイスパラメータ

M_1, M_3, M_5 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2 の W/L	15/0.5 [$\mu\text{m}/\mu\text{m}$]
M_4 の W/L	5/0.5 [$\mu\text{m}/\mu\text{m}$]
M_{sn}	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_{cn}	0.5/0.5 [$\mu\text{m}/\mu\text{m}$]
M_p, M_n の W/L	20/0.5 [$\mu\text{m}/\mu\text{m}$]
C	2.0 [pF]
C_1	0.1 [pF]
C_2	0.7 [pF]

表 2 BTCG のみを用いた S/H 回路のデバイスパラメータ

M_1, M_3, M_5 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2 の W/L	15/0.5 [$\mu\text{m}/\mu\text{m}$]
M_4 の W/L	5/0.5 [$\mu\text{m}/\mu\text{m}$]
M_{sn}	10/0.5 [$\mu\text{m}/\mu\text{m}$]
C	2.0 [pF]
C_H	0.8 [pF]

図 2, 3, 4, 5 に入力周波数に対するアクイジョン時間, ホールド誤差, ドループ, THD の変化を示す. ここでは比較のため BTCG と MHCC を用いた S/H 回路, BTCG のみを用いた S/H 回路, MHCC のみを

用いた S/H 回路の特性を示している。

図2より、BTCGとMHCCを用いたS/H回路は他の2つの回路に比べてアキュイジョン時間が長くなるのがわかる。これはBTCGとMHCCの両方を用いているため、素子数の増加による遅延と、寄生容量の数も増加したことが原因と考えられる。

図3より、MHCCを用いている2つのS/H回路は、BTCGGのみを用いたS/H回路に比べホールド誤差を低減していることがわかる。このことから、ホールド誤差に対してMHCCが有効であることが確認できる。BTCGのみを用いたS/H回路は高周波になるにつれホールド誤差が大きくなっている。これは高周波になることにより寄生容量が影響し、特性の劣化につながっているものと考えられる。

図4より、低周波ではドループ量を低減していることがわかる。しかし、MHCCを用いている2つのS/H回路は、2.5MHz付近から特性が劣化していることがわかる。このことより、MHCCは高周波(ここでは2.5MHz以上)での使用は望ましくないことが確認できた。

図5より、BTCGを用いた2つのS/H回路のTHDはほぼ等しい値を示していることがわかる。しかし、BTCGとMHCCを両方用いているS/H回路は、2.5MHz以上の周波数になると歪みが大きくなるのがわかる。これも素子数の増加したことにより、寄生容量の数も増加したため、寄生容量の影響が大きくなったため特性が劣化したものと考えられる。

これらのことより、BTCGとMHCCを両方用いてS/H回路を構成する場合、ドループ量とTHDの2つの特性は、高周波では特性が劣化していく傾向がみられた。このことより、BTCGとMHCCを両方用いてS/H回路を構成する場合は1MHzまで仕様可能であることが分かった。

4. BTCGの高速化手法

我々の研究室で提案してきたBTCGは、回路自身でブーストした電圧を制御信号として用いている部分があり、その回路構成から高速化に不向きであった。そのため、近年の高クロック化に対応できないという課題があった。そこで本章では、BTCGの課題であった高速化に関する新たな手法をいくつか提案する。また従来回路と比較し、その評価を行う。

4.1 CMOSスイッチ型BTCG

ここでは、BTCGの高速化手法の一つを提案する。図6に提案するCMOSスイッチ型BTCG(BTCG-1)

表3 MHCCのみを用いたS/H回路のデバイスパラメータ

M_{sn}	10/0.5[$\mu\text{m}/\mu\text{m}$]
M_{cn}	0.5/0.5[$\mu\text{m}/\mu\text{m}$]
M_p, M_n のW/L	20/0.5[$\mu\text{m}/\mu\text{m}$]
C_1	0.1 [pF]
C_2	0.7 [pF]

表4 解析条件

V_{DD}	1.5 [V]
V_{CLK} の周波数	100.0 [KHz] ~ 10.0 [MHz]
V_{in} の周波数	100.0 [KHz] ~ 10.0 [MHz]
V_{in}	0.75 [V_{p-p}]
V_B	0.5 [V]

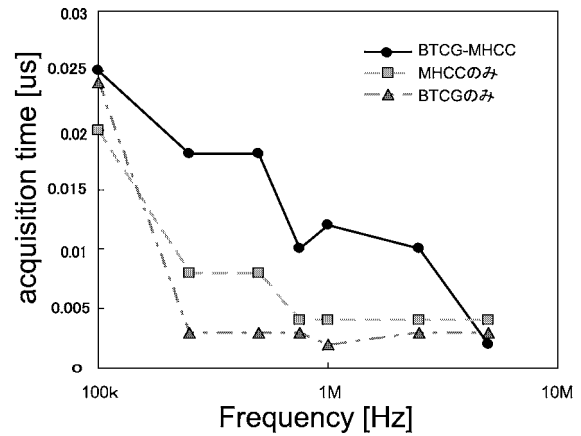


図2 入力周波数に対するアキュイジョン時間の変化

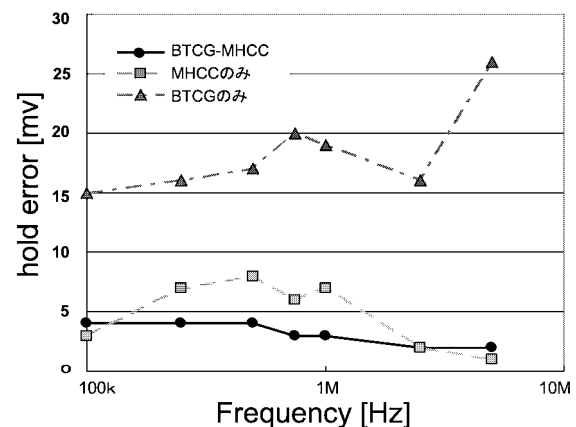


図3 入力周波数に対するホールド誤差の変化

を示す。従来回路では回路自身でブーストした電圧を M_1 の制御信号として用いていたため、それが高速動作させるうえでの一番の問題であった。そこで本節で

提案する BTCG-1 は、高速動作の妨げとなっていた M_1 のスイッチを CMOS スイッチに変更した回路である。この方法の場合、CMOS スイッチに変更することで、従来のように回路自身でブーストした電圧を制御信号として使う必要がなくなり、回路の高速化が可能となる。また、新たに制御用のクロックを与える必要もなく、入力レンジも確保でき、素子数もほとんど変わらないため小チップ面積であるという特長を有している [8][9]。

4.2 LowBoost 回路付加 BTCG

前節では BTCG の入力部分の MOS スイッチを CMOS スイッチに変更する方法を提案したが、本節では新たに制御クロックを与える方法を提案する。図 7 に提案する LowBoost 回路付加 BTCG(BTCG-2) を示す。

BTCG-2 では、入力部分のスイッチを PMOS スイッチに変更し、それに合わせたクロックを生成するためローブースト回路を付加している。このようにすることで、従来のように回路自身でブーストした信号を用いる必要がなくなるため、回路の高速化が可能となる。ここでは PMOS スイッチの制御に $-1.5 \sim 1.5V$ のクロックが必要になるので、 V_{clk1} には $0 \sim 3.0V$ のクロックを用いている。 $-1.5 \sim 1.5V$ のクロックを用いて PMOS スイッチを制御しているため、入力レンジの妨げとなることを防いでいる [10]。

4.3 Boost 回路付加 BTCG

図 8, 9 に提案する回路 (BTCG-3)(BTCG-4) を示す。ここで提案する高速化手法も新たに制御クロックを与える方法であるが、入力部分のスイッチは NMOS スイッチのまま、それに合わせたクロックを生成するためブースト回路を付加している。また、ここで説明する手法は、立上り時間の短縮のみを考慮した高速化手法と、立上り時間だけでなく立下り時間の短縮化まで考慮した高速化手法の 2 種類を提案する。

4.4 Boost 回路付加 BTCG(BTCG-3)

この回路は、 M_1 のゲートにブースト回路を付加することで、高速化を図っている。この方法の場合、新たに与えるクロックをブーストして十分大きなパルス波形にしてから M_1 に制御信号として与えることで入力レンジの妨げとなることを防ぎ、さらにゲートにブーストした高い制御電圧を与えることからスイッチング

の瞬間に流れる電流量が増加するため立上りについてさらなる高速化の効果もある [11]。

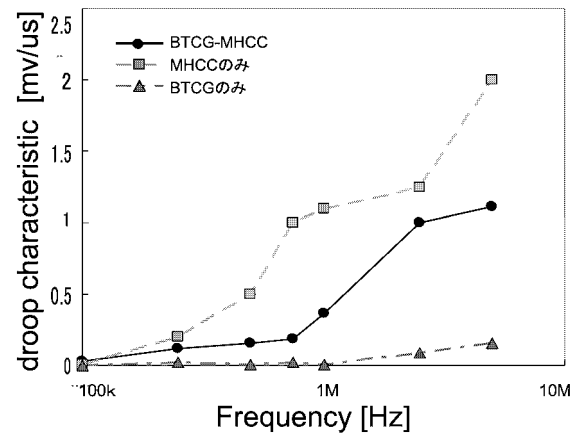


図 4 入力周波数に対するドループ特性の変化

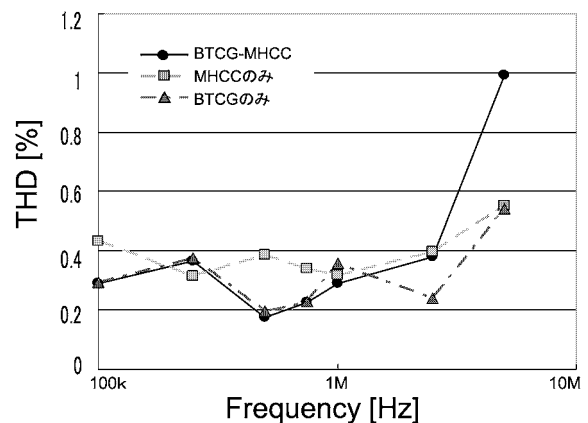


図 5 入力周波数に対する THD の変化

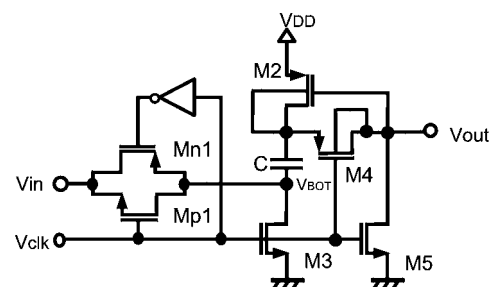


図 6 CMOS スイッチ型 BTCG(BTCG-1)

4.5 Boost 回路付加 BTCG(BTCG-4)

ここで提案する BTCG-4 は、回路の立上りだけでなく立下りも高速化するため、 M_3 , M_5 のゲートに与えるクロックをブーストして十分大きなパルス波形にしてから用いている。そうすることで、 V_{BOT} と V_{OUT} をより速く 0V し高速化を図っている。立上りの高速化の原理については BTCG-3 と同じである [?]-[?]。また、 M_1 と M_3 , M_5 では必要なクロックが逆相になるため、ブースト回路を 2 つ使用してそれぞれブーストしたクロックを制御信号として用いている。

本論文では、立下りの高速化は Boost 回路付加 BTCG でしか用いていないが、立下りの高速化手法は本論文で提案したどの高速化手法においても用いることが可能である。

5. 提案回路のシミュレーション結果

前節までに提案してきた高速化手法を用いた BTCG の設計値を表 5, 6, 7, 8 に示す (W/L はチャネル幅/チャネル長を表す)。ここでは、スイッチの寄生容量の影響による速度低下を最小限にするため W/L を小さく設計している。また、解析条件を表 9 に示す。

図 10 は従来回路及び提案回路の V_{BOT} の立上りの様子を示したグラフであり、 V_{BOT} は回路内で最も遅延が起こる部分である。同図より、BTCG-4, BTCG-2, BTCG-3, BTCG-1 の順で回路が速く動作していることが確認でき、全ての提案回路が従来回路よりも高速動作していることが分かる。BTCG-4 が最も速く動作したのは、立下りの高速化手法として用いた、 M_3, M_5 の制御信号にブーストしたパルス波形を用いるという手法が、 M_3, M_5 のスイッチを速くオフ・オフさせるようになり、結果として立下りだけでなく、立上りも速くなったためだと考えられる。

図 11 は従来回路及び提案回路の V_{OUT} の立上りの様子を示したグラフである。同図より、 V_{BOT} の立上りと同様の順で回路が速く動作し、従来回路より高速動作していることが分かる。

図 12 は従来回路及び提案回路の V_{BOT} の立下りの様子を示したグラフである。同図より、立下りの高速化手法を用いている BTCG-4 が最も早く立下ることが分かる。それ以外の提案回路については従来回路とほぼ同等の結果となった。

図 13 は従来回路及び提案回路の V_{OUT} の立下りの様子を示したグラフである。同図より、 V_{BOT} の立下りと同様に BTCG-4 が最も早く立下り、それ以外の提案回路は従来回路とほぼ同等の結果となることが分かる。

また表 10 に、立上り時間および立下り時間を波形の 10% から 90% に達する時間と、制御クロックが切り替わった瞬間から波形の 90% に達するまでの立上り時間の特性比較を示す。表 10 より提案手法の中でも BTCG-4 が最も特性が良く、従来の BTCG に比べ立上り時間が約 1/3 に、立下り時間で約 2/3 に改善することが確認できた。

これらのことより全ての提案手法において、従来回路より高速に動作することが確認できた。

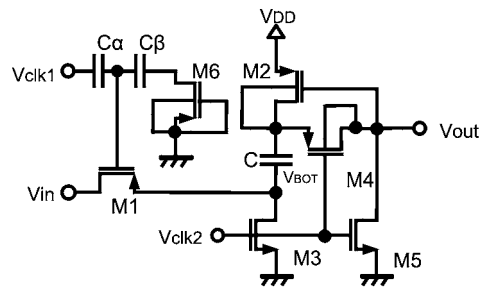


図 7 LowBoost 回路付加 BTCG(BTCG-2)

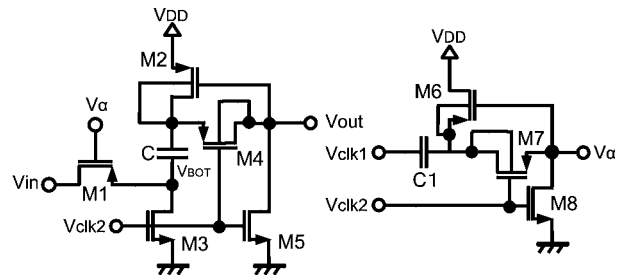


図 8 Boost 回路付加 BTCG(BTCG-3)

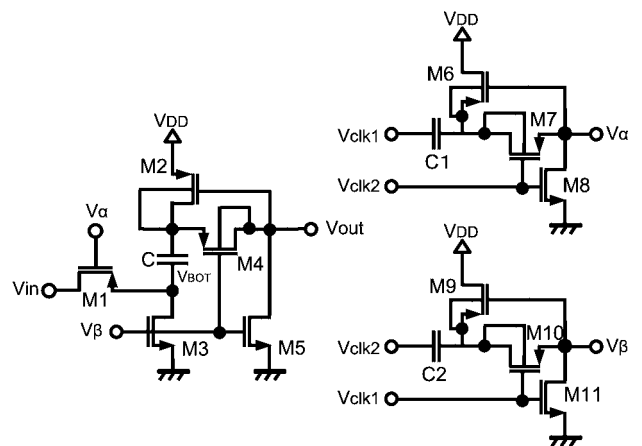


図 9 Boost 回路付加 BTCG(BTCG-4)

6. まとめ

本論文ではまず、本研究室で提案し個々に改善を試みてきた、低オン抵抗化・定オン抵抗化に有効な入力追従型ブースト回路 (BTCG) と、ミラー効果によってサンプル時とホールド時の見かけ上のキャパシタの値を変化させるミラーホールドキャパシタ回路 (MHCC) を組み合わせた S/H 回路の特性評価・検討を行った。特性の比較のため BTCG のみを用いた S/H 回路, MHCC を用いた S/H 回路, BTCG と MHCC の両方を用いた S/H 回路の 3 種類の回路で、アキュイジョン時間とホールド誤差, ドループ特性, THD の周波数特性を評価した。その結果, BTCG と MHCC の両方を用いた S/H 回路はそれぞれ個別に用いた S/H 回路と比較して, ホールド誤差, ドループ特性, THD では 1MHz 付近まで同等もしくは改善された結果を示すことが確認できた。アキュイジョン時間に関しては長くなることが分かった。これは素子数が増加したことにより寄生容量による影響が大きくなったものと思われる。

次に, 本研究室で提案している BTCG にはその回路構成から高速化に不向きという問題があったため, 高速化のための新たな 4 種類の回路を提案し, その評価を行った。従来の BTCG では回路自身でブーストした電圧を制御信号として用いている部分があり, それが高速動作の妨げとなっていた。そこで BTCG の入力部分のスイッチを変更する方法と, 新たに制御用クロックを与えるという 2 種類の方法を用いて高速化を行った。まず, 回路の立上りに関しては BTCG の入力部分のスイッチが問題であったため, CMOS スイッチに変更する方法, Low Boost 回路を付加する方法, 通常の Boost 回路を付加する方法の 3 種類を提案した。また立下りに関しては, 入力部分以外のスイッチの制御端子に Boost 回路を付加することで高速化を行った。それらの BTCG について CMOS 0.35 μm デバイスパラメータを用いた HSPICE シミュレーションを行った。立上り時間 (t_r) および立下り時間 (t_f) を波形の 10% から 90% に達する時間として評価した場合, 従来回路で $t_r=0.71\text{ns}$, $t_f=0.66\text{ns}$ で, CMOS スイッチ型では $t_r=0.34\text{ns}$, $t_f=0.46\text{ns}$, Low Boost 回路付加では $t_r=0.3\text{ns}$, $t_f=0.63\text{ns}$, Boost 回路付加で $t_r=0.26\text{ns}$, $t_f=0.7\text{ns}$, 立下りの高速化手法も用いた Boost 回路付加で $t_r=0.24\text{ns}$, $t_f=0.46\text{ns}$ となった。これより全ての高速化手法において従来回路より高速に動作することを確認した。また, 提案した高速化手法の中でも, 回路の立上りおよび立下りの両方に高速化手法を用いた通常の Boost 回路を付加した方法が最も特性が良く, 立上り時間が約 1/3 以下に, 立下り時間は約 2/3 に改善することが確認できた。

表 5 BTCG-1 のデバイスパラメータ

$M_{n1}M_{p1}$ の W/L	20/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2, M_3, M_4, M_5 の W/L	3/0.5 [$\mu\text{m}/\mu\text{m}$]
C	2.0 [pF]

表 6 BRCG-2 のデバイスパラメータ

M_1 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2, M_3, M_4, M_5 の W/L	3/0.5 [$\mu\text{m}/\mu\text{m}$]
M_6	10/10 [$\mu\text{m}/\mu\text{m}$]
C_1	2.0 [pF]
C_α, C_β	1.0 [pF]

表 7 BTCG-3 のデバイスパラメータ

M_1 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2, M_3, M_4, M_5 の W/L	3/0.5 [$\mu\text{m}/\mu\text{m}$]
M_6, M_7, M_8 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_9, M_{10}, M_{11} の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
C	2.0 [pF]
C_1, C_2	1.0 [pF]

表 8 BTCG-4 のデバイスパラメータ

M_1 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_2, M_3, M_4, M_5 の W/L	3/0.5 [$\mu\text{m}/\mu\text{m}$]
M_6, M_7, M_8 の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
M_9, M_{10}, M_{11} の W/L	10/0.5 [$\mu\text{m}/\mu\text{m}$]
C	2.0 [pF]
C_1, C_2	1.0 [pF]

表 9 解析条件

V_{DD}	1.5 [V]
V_{CLK}	1.5 [V]
V_{CLK} の周波数	20.0 [MHz]
V_B	0.75 [V]
V_{in}	1.5 [V_{p-p}]
V_{in} の周波数	2.5 [MHz]

参考文献

- [1] P. R. グレイ, R. G. メイヤー, “超 LSI もためのアナログ集積回路設計技術”, 培風館, 1990 年.
- [2] P. J. Lim, and B. A. Wooley, “A High-Speed Sample-and-Hold Technique Using a Miller Capacitance,” *IEEE Journal of Solid-State Circuits*, vol. 26, no. 4, pp. 643–651, April 1991.
- [3] K. Tanno, K. Sato, H. Tanaka, O. Ishizuka, “Low-Distortion and Rail-to-Rail CMOS Sample and Hold Circuit,” *IEICE Trans. on Fundamentals*, vol. E88-A, no. 2, pp. 2696–2698, Oct. 2005.
- [4] 橋口 慎吾, 淡野 公一, 桑原 健介, 外山 貴子, “ミラーホールド容量を用いたダブルサンプリング型サンプル・ホールド回路の設計と解析,” 電気関係学会九州支部連合大会, No.14-2A-12, 2005 年 9 月.
- [5] B. Razavi, “Design of analog CMOS integrated circuits,” *McGraw-Hill Education*, 2001.
- [6] 米山 寿一 著, “A/D コンバータ入門”, オーム社, 1992 年.
- [7] T.S. Lee and C.C. Lu, “Design techniques for low-voltage high-speed pseudo-differential CMOS track-and-hold circuit with low hold pedestal,” *Electron. Lett.*, vol. 40, no. 9, pp. 519–520, April 2004.
- [8] S. Basu, G.C. Temes, “Simplified clock voltage doubler,” *Electron. Lett.*, vol. 35, no. 22, pp. 1901–1902, Oct. 1999.
- [9] P. Favrat, P. Deval, M.J. Declercq, “A high-efficiency CMOS voltage doubler,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 410–416, March 1998.
- [10] 清水 大教, 兵庫 明, 関根 慶太郎, “クロックブースト回路の性能評価に関する一検討”, 電子回路研究会資料, pp. 43–46 June 2004.
- [11] F. Maloberi, F. Francesconi, P. Malcovati, O. J. A. P. Nys, “Design Considerations on Low-Voltage Low-Power Data Converters,” *IEEE Trans. on Circuits and Systems*, vol. 42, no. 11, pp. 853–863, Nov. 1995.

表 10 シミュレーション結果

	立上り時間		立下り時間
	10%~90%[nS]	0%~90%[nS]	10%~90%[nS]
従来回路	0.71	1.71	0.66
BTCG-1	0.34	1.12	0.46
BTCG-2	0.30	0.98	0.63
BTCG-3	0.26	0.99	0.70
BTCG-4	0.24	0.92	0.46

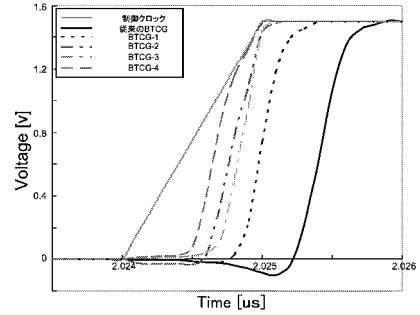


図 10 V_{BOT} の立上り

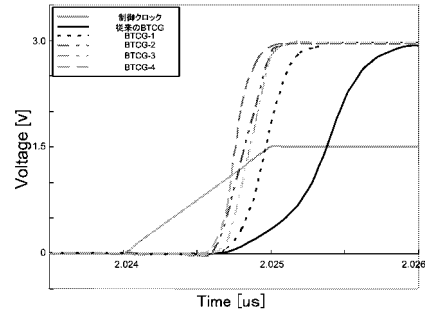


図 11 V_{out} の立上り

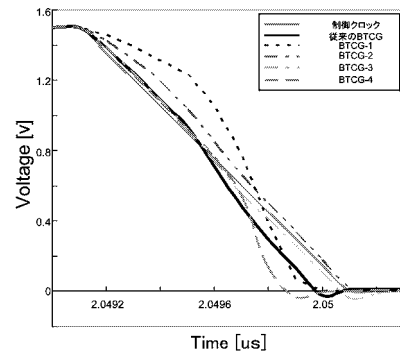


図 12 V_{BOT} の立下り

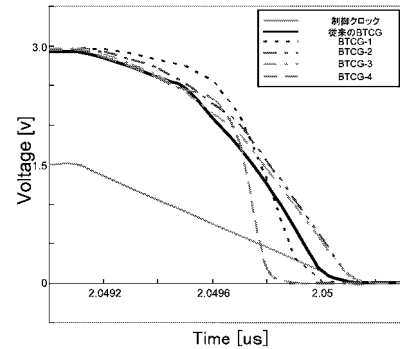


図 13 V_{BOT} の立下り