

MOSFETの弱反転領域を用いた 4象限・低電圧・低消費電力乗算器とCNNセルへの応用

吉富 裕¹⁾・田中 寿²⁾・淡野 公一³⁾・田村 宏樹⁴⁾・外山 貴子⁵⁾

Low-voltage and low-power four-quadrant multiplier using MOSFETs
operated in the weak inversion region and application to CNN cells

Yutaka YOSITOMI, Hisashi TANAKA, Koichi TANNO, Hiroki TAMURA,
Takako TOYAMA

Abstract

This thesis describes the technique of the LSI realization for a Cellular neural network's (CNN). One of the serious problems is the increase of power consumption. Because many multipliers are used in CNN cells, the realization of very low power multiplier is most effective solution for the problem of the power consumption described previously.

In this thesis, a low-voltage and low-power multiplier using MOSFETs operated in the weakinversion region is proposed. In the weak inversion region, the drain-to-source current of MOSFET is very small as compared with a strong reversal region, and is known that the exponential characteristic is shown. I design the four-quadrant multiplier based on the characteristics and translinear principle. Finally, the CNN cell using the proposed circuits is designed and is evaluated using HSPICE simulation. The results of the evaluation are shown in this thesis.

Key Words :

four-quadrant multiplier, weak inversion region, low-power, low-voltage, Cellular neural network's (K)

1. 序論

私達が普段使用しているコンピュータはノイマン型と呼ばれ、大量の計算やデータの比較を高速に実行するのに適している。これは、計算の手順をプログラムによって記述し、それに沿って実行するものである。しかし、全ての処理がプログラムに記述できるというわけではない。例えば、音声聞いて何を話しているかを推定する音声認識の問題や、文字を見て何を書いているかを推定する文字認識の問題などがその例であり、それは、原因と結果の因果関係が明確な数式で定義できないことに起因している。これらの問題を人間と同等の精度で解けるプログラムは未だ存在しない。そこで、それらの処理をコンピュータ上で実現するために、人間の脳の仕組みを模倣した情報処理機構であるニューラルネットワークが考案された。

そこで、近年ニューラルネットワークをハードウェアによって実現する試みが報告されている。しかし、ニューロンが相互に結合しているニューラルネットワークでは、ニューロン数の増加に伴いその結合数が指数関数的に増加する。この結合数の急激な増加は、ニューラルネットワークを集積回路化する際に配線部の面積増大という問題を引き起こす。そのため、このような全結合のネットワークをハードウェア化することは非常に困難である。そこで、ニューラルネットワークと比べて比較的ハードウェア化し易いとされるセルラーニューラルネットワーク (CNN) が注目を集めるようになった。その主な理由として、CNNのセルと呼ばれる基本素子とその近傍セルとのみ相互結合しているため、全結合のニューラルネットワークと比較して遥かに配線量を減らすことができるためである。近年ハードウェアによる実現がいくつか報告されているが、これらの多くは複雑かつ膨大な素子数の回路構成であり、消費電力が非常に大きなものである。今後、プロセスの進歩により1チップに作り込むことができる素子数が増え、素子数の多さの問題は緩和されると考えられるが、消費電力の問題はさらに深刻な問題となる。

1) システム工学専攻大学院生

2) 都城工業専門学校教諭

3) 電気電子工学科助教授

4) 電気電子工学科助手

5) 技術職員

CNNのセルにはその状態方程式があり、それを実現するために算術演算回路が必要となる。また、CNNは多数のセルを用いることから、この算術演算回路はさらに多く必要となる。そのため、先に述べた消費電力の増大の問題を克服するためには、この算術演算回路の低消費電力化が最も有効である。

そこで、本論文では、低電圧、低消費電力の算術演算回路を提案する。提案する回路はMOSFETの弱反転領域を用いる。弱反転領域では、MOSFETに流れる電流が強反転領域と比較して非常に小さく、指数特性を示すことが知られている。この指数特性を利用し、トランスリニア原理と電圧-電流変換器を用いることで4象限の乗算器を設計する。次に、提案する回路を用いたCNNセルを設計する。提案する全ての回路は $0.35\mu\text{m}$ CMOSプロセスにおけるデバイスパラメータを用いて設計され、HSPICEによるシミュレーションを通して特性評価を行い、提案回路の有用性を明らかにする。

2. セルラーニューラルネットワーク (CNN)

2.1 ニューラルネットワークの背景

人間の脳内には約140億個もの神経細胞が存在し、それら神経細胞は互いに結び付いている。1つの神経細胞は平均で数百から数千、多いものでは数万もの神経細胞と結合し、各神経細胞は繋がっている他の神経細胞から入力信号を受け、その入力信号の和がある値を超えた場合に他の細胞へ出力信号を送り出すという働きを持ち、この細胞間の情報の伝播が人間が普段行っている認識や記憶、判断といった処理を可能としている。脳内の情報処理の最大の特徴は、単純な機能しか持たない細胞が多数集まることにより、全体として複雑で高度な処理を実現しているという点にあり、ニューラルネットワークはこの利点を生かした仕組みとなっている。

2.2 ニューラルネットワーク

ニューラルネットワークとは神経細胞を数理的にモデル化した「ニューロン」と呼ばれる素子を多数配置・結合することによりネットワークを構築している。そのネットワーク構築の形態として代表的なものに階層型ニューラルネットワークや相互結合型ニューラルネットワークなどが挙げられる。階層型ニューラルネットワークでは、入力信号を受け取り他のニューロンへ分配するための入力用のニューロンと、外部へ出力信号を出す、出力用のニューロンと、入力用のニューロン

と出力用ニューロンへの信号の流れの中間に存在するニューロンの3つの種類のニューロンを区分して、それぞれの区分に属するニューロンを、入力層、出力層、中間層として並べている。中間層と出力層のニューロンは入力信号を処理し、出力信号を他のニューロンへ伝える。相互結合型ニューラルネットワークは、階層型ニューラルネットワークと違って、ネットワーク内の各ニューロンは、階層構造のような特殊な構造ではなく、お互い対等に結合している。相互結合型ニューラルネットワークでは、ある初期状態から出発して、各ニューロンがお互いに影響を与えながら、それぞれの状態変化を繰り返していくうちに、ある1つの安定状態になって変化をしなくなったり、周期的にいくつかの状態を繰り返すことになったりしたときにネットワークでの情報処理が終了することになる。

2.3 セルラーニューラルネットワーク

セルラーニューラルネットワーク (CNN) とは、相互結合型ニューラルネットワークの一つであり、ニューラルネットワークと同様にリアルタイムな信号処理能力をもつ非線形の大規模アナログ回路である。CNNは、「セル」と呼ばれる基本単位を規則的にならべたもので、各セルは近傍のセルとのみ相互結合している。それにより、セル同士が相互作用し合い、信号を非同期に並列処理することができる。また、各セルとその近傍の結合状態を表わすテンプレートを適切に選択することで様々な処理を実行できる。孤立セルの一般的な状態を表す状態方程式と出力方程式は次式のように定義される。

$$\dot{x}_{ij} = -x_{ij} + z_{ij} + \sum_{kl \in S_{ij}} a_{kl} y_{kl} + \sum_{kl \in S_{ij}} b_{kl} u_{kl} \quad (1)$$

$$\begin{aligned} y_{ij} &= f(x_{ij}) \\ &\cong \frac{1}{2}(|x_{ij} + 1| - |x_{ij} - 1|) \\ &= \begin{cases} 1 & x_{ij} \geq 1 \\ x_{ij} & |x_{ij}| < 1 \\ -1 & -1 \geq x_{ij} \end{cases} \quad (2) \end{aligned}$$

x_{ij} は状態変数、 z_{ij} はしきい値、 y_{ij} は近傍セルへの出力、 u_{ij} は外部入力、 a_{kl} 、 b_{kl} は近傍セル、外部入力間の結合係数を表している。

2.4 設計方針

ハードウェア化を検討するに当たり、回路の簡単化のために信号の物理量に着目する。セル内の演算は、式(1)に示されるように、加算が極めて多い。従って、セル内の信号には電流モードを用いる。この電流モードによって結線のみで加算ができ、素子数を減少させる事ができる。一方、セル間の信号伝達には、電圧モードを用いる。電圧モードによって、素子を用いる事なく複数のセルに同時に信号を伝達できる。提案するCNNセルのブロック図を図1に示す。

セル間や、外部入力からの入力信号が乗算器を介して重み付けされる。ここで、この乗算器は電流出力なので、図の点Sにおいて結線のみにより各入力信号は加算される。その後積分ブロックにより加算された入力信号が積分される。最後に出力関数ブロックを通り信号が出力される。

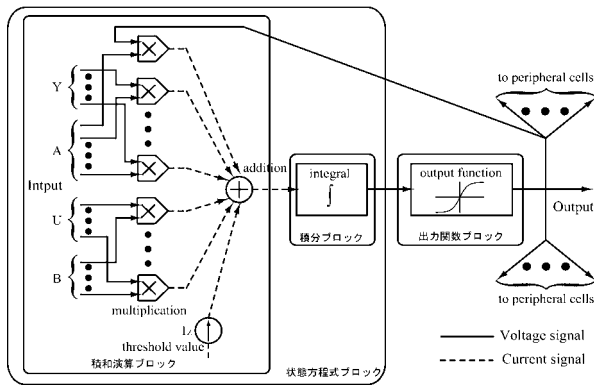


図1 CNNセルのブロック図

3. 積和演算ブロックの設計と解析

CNNはその基本単位であるセルが複数のセルと相互結合し合うことで構成されている。これが、回路規模を大きくし、消費電力が大きくなる一番の要因である。では、どのようにしてCNNを低消費電力に設計するのかを説明する。セルは近傍セルや、外部入力など多数の入力がある。この多数の入力に結合係数を重み付け(乗算)し、すべての入力の加算を行うので、この積和演算ブロックの回路数はかなりの数を必要としCNNセルの回路の大半を占めている。ゆえに、この回路ブロックを低消費電力に設計することはCNN回路全体の低消費電力化に繋がると考えられる。

そこで、回路設計に際してMOSFETの弱反転領域を用いる。弱反転領域では、MOSFETに流れる電流が強反転領域と比較して非常に小さく、指数特性を示すことが知られている。この指数特性を利用し、トランスリニア原理と電圧-電流変換器を用いることで、積

和演算ブロックに必要な4象限の乗算器を設計し低消費電力化を図る。

3.1 積和演算ブロックの基本コンセプト

この回路ブロックはCNNセルの状態方程式である式(1)の第2,3,4項を実現するためのブロックである。乗算器を用いることで、近傍セルや外部入力との結合係数(a_{kl}, b_{kl})を重み付けする場合に、結合係数を外部からプログラマブルに設定することが可能である。図1において、全ての入力結線により加算された電流 I_{outA} は次式のように表される。

$$I_{outA} = I_z + \sum V_x V_y \quad (3)$$

よって式(1)の第2,3,4項を実現できていることが分かる。

3.2 乗算器

3.2.1 弱反転領域

では、まず乗算器を設計する上で重要なMOSFETの弱反転領域について簡単に説明する。MOSFETではゲート電圧 V_{GS} が低いとチャネル領域に十分な量の電子が集められないため、ドレイン電流はほとんど流れない。しかしゲート電圧がしきい値電圧 V_T を越えると、チャネル領域に電子が誘起され、ドレイン電流 I_D は $V_{GS} - V_T$ に比例して増加する。このようにゲート電圧に対してドレイン電流がほぼ直線的に増加する動作領域を「強反転領域」と呼ぶ。強反転領域の条件は $V_{GS} > V_T + 4V_\theta$ の時、流れるドレイン電流はドリフト電流であり、次式のように与えられる。

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \quad (4)$$

$$I_D = \beta[(V_{GS} - V_T)^2 - \frac{1}{2}V_{DS}] \quad (5)$$

β は電子の移動度 μ 、ゲート酸化膜の単位面積キャパシタンス C_{ox} より $\beta \equiv \frac{W}{L}\mu C_{ox}$ となる。

逆に、しきい値電圧 V_T 以下のゲート電圧でドレイン電流がほとんど流れない動作領域を「弱反転領域」と呼ぶ。弱反転領域の条件は $V_{GS} < V_T + 4V_\theta$ 、 $V_{DS} > 4V_\theta$ の時、流れるドレイン電流は拡散電流であり、次式のように与えられる。

$$I_D \approx I_{D50} \exp \frac{V_{GS}}{nV_\theta} \quad (6)$$

$V_{\theta} = \frac{kT}{q}$ 、 n = スロープファクタ、 I_{DS} = ゼロバイアス電流を表している。

弱反転領域ではゲート電圧 V_{GS} に対してドレイン電流は指数関数的に増加する。これは、シリコン/ゲート酸化膜界面付近のエネルギー障壁がゲート電圧に比例して低下することと、ソース領域の電子濃度がエネルギーの高い電子ほど指数関数的に減少していることに起因している。このドレイン電流 I_D は、ドレイン電圧 V_{DS} に依存しない。ただし厳密に言えば、ドレイン電極からソース電極に向かう逆方向の電子電流が無視できないドレイン電圧 $V_{DS} < 0.1V$ ではドレイン電圧依存性が出てくる。

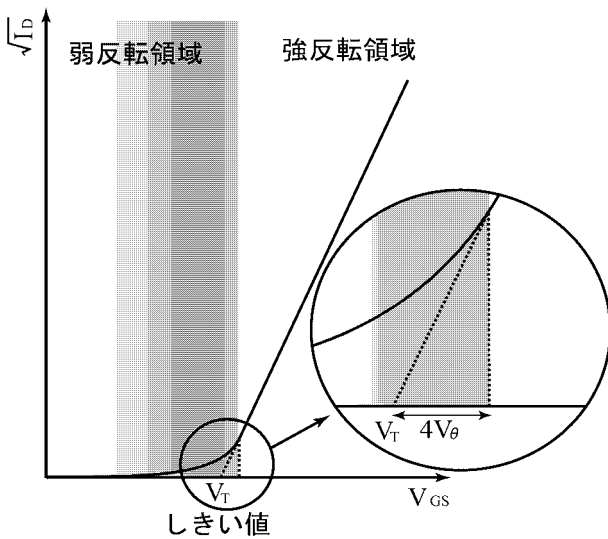


図2 n-MOSFETの I_D - V_{GS} 特性

3.2.2 乗算理論

前述したように弱反転領域を流れる電流は本質的に指数特性を示すことが知られており、この指数関数とその逆関数である対数関数を積極的に用いる。この関数を利用すると次のような乗算アルゴリズムが考えられる。

$$xy = \exp(\ln x + \ln y) = \exp(\ln xy) \quad (7)$$

これは「対数の和は積」であるという関係を活用している。しかし、対数における真数条件から、1象限の乗算のみになってしまう。そこで、バイアスを活用し、以下のように4象限の乗算を実現する。

$$\ln \{(A+x) + (A+y)\} + \ln \{(A-x) + (A-y)\} = \ln \{(2A)^2 - (x+y)^2\} \quad (8)$$

$$\ln \{(A+x) + (A-y)\} + \ln \{(A-x) + (A+y)\} = \ln \{(2A)^2 - (x-y)^2\} \quad (9)$$

上式から、

$$\exp[\ln \{(2A)^2 - (x+y)^2\}] - \exp[\ln \{(2A)^2 - (x-y)^2\}] = 4xy \quad (10)$$

ここで、 A はバイアスを意味する。以上から、対数変換回路と指数変換回路を実現すれば乗算器が設計できる。次に、対数変換回路(図3)と指数変換回路(図4)を提案する。

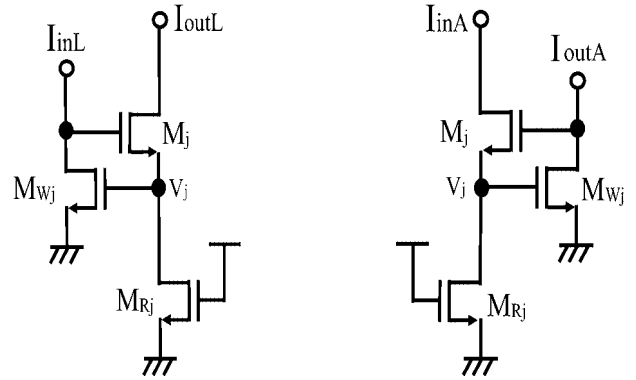


図3 Log-Converter

図4 Anti-Log-Converter

図3、図4において M_{Wj} は弱反転領域、 M_j は飽和領域、 M_{Rj} は線形領域で(抵抗として)動作しているものとする。

Log-Converter では M_{Wj} が弱反転領域で動作しているので、そこに流れる電流 I_{inL} は指数特性を持ち、次式で表される。

$$I_{inL} = I_{DS0} \exp \frac{V_j}{nV_{\theta}} \quad (11)$$

式(11)を V_j について解くと

$$V_j = nV_{\theta} \ln \frac{I_{inL}}{I_{ds0}} \quad (12)$$

となり、対数変換がなされる。後に加減算が行い易いように電圧 V_j を電流 I_{outA} に変換する。 M_{Rj} の抵抗値を R とすると

$$I_{outA} = \frac{V_j}{R} = \frac{nV_{\theta}}{R} \ln \frac{I_{inL}}{I_{ds0}} \quad (13)$$

となる。

次に、Anti-Log-Converter では電流 I_{dj} が M_{Rj} に流れることで V_j の電圧は次のように表される。

$$V_j = RI_{inA} \quad (14)$$

この電圧が弱反転領域で動作する M_{Wj} のゲート電圧になるので流れる電流 I_{out} は

$$\begin{aligned} I_{outA} &= I_{DS0} \exp \frac{V_j}{nV_{\theta}} \\ &= I_{DS0} \exp \frac{RI_{inA}}{nV_{\theta}} \end{aligned} \quad (15)$$

となり、指数変換がなされている。

これらが Log-Converter、Anti-Log-Converter の基本的な動作であり、この2つのブロックと、乗算理論を用いることで、4象限乗算器を設計する。

3.2.3 四象限乗算器

前節で述べた Log-Converter と、Anti-Log-Converter を用いて4象限乗算器を設計する。提案する乗算器のブロック図を図5に示す。この時各Log-Converter ブロックへの入力電流は図の通りであり、電流 I_1 、 I_2 はそれぞれ

$$I_1 = \frac{I_B^2 - I_x^2 + 2I_x I_y - I_y^2}{I_z} \quad (16)$$

$$I_2 = \frac{I_B^2 - I_x^2 - 2I_x I_y - I_y^2}{I_z} \quad (17)$$

となる。したがって I_{out} は

$$I_{out} = I_1 - I_2 = \frac{4I_x I_y}{I_z} \quad (18)$$

となり、入力 I_x と I_y の乗算となっていることが分かる。この乗算の特徴は、素子の絶対精度の影響を受けないこと、及び、容易に多入力乗算へ拡張できることである。また、式(18)を見ても分かるように、 I_z を入力として用いることで除算を行うこともできる。

次に乗算器を $0.35\mu\text{m}$ CMOS デバイスパラメータを用いて HSPICE シミュレーションを行った結果を示す。

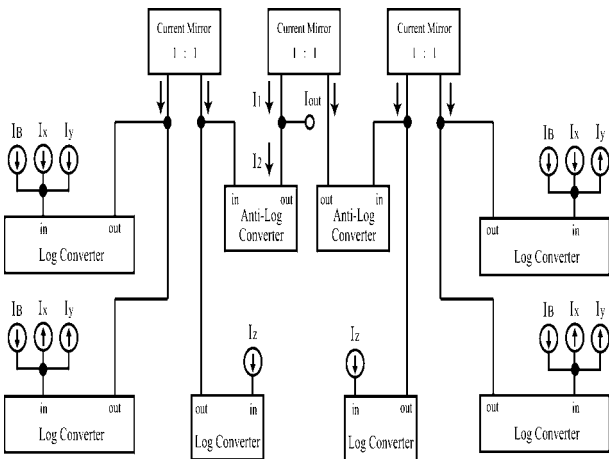


図5 4象限乗算器ブロック図

シミュレーション結果から、理論通りの乗算特性を示し、また、電源電圧 1.8V、最大消費電流 $4.6\mu\text{A}$ から、消費電力は 8.28W となる。これより、低電源電圧、低消費電力動作可能だということが得られた。

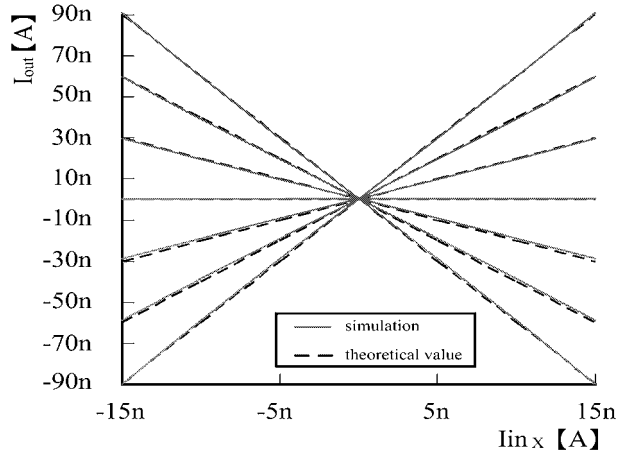


図6 シミュレーション結果 乗算特性

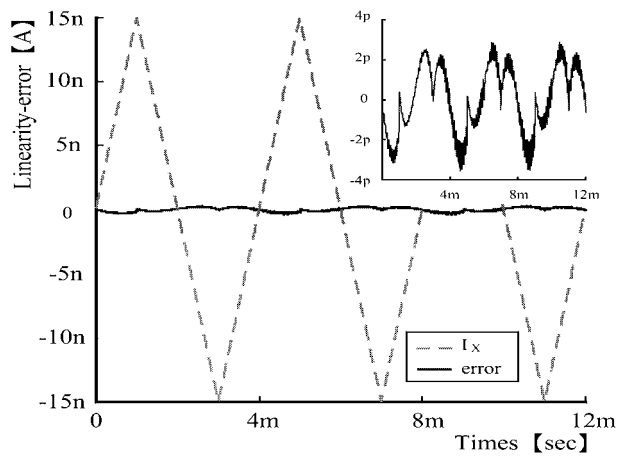


図7 シミュレーション結果 linearity-error

表1 シミュレーション結果

項目	シミュレーション結果
電源電圧	1.8V
最大消費電流	$4.6\mu\text{A}$
Worst case linearity-error	0.27%
-3dB 帯域	556kHz

3.2.4 他の乗算器との比較

提案する乗算器を過去に提案された乗算器との特性比較を行い、CNNセルに用いるための回路としての有用性を検証する。各特性を比較した表2から、提案回路は、最も低消費電力動で動作している。特にCNNセルのために提案された Ref[29] と比較すると提案回路は消費電力が約 $\frac{1}{100}$ となっている。この結果から提案回路をCNNセルに用いることで、CNNセルの低電源電圧、低消費電力化に有用であると言える。

表 2 提案回路との特性比較

項目	Ref[1]	Ref[2]	Ref[3]	Ref[4]	Ref[5]	提案回路
電源電圧	5V	±5V	±3.3V	1.2V	±5V	1.8V
最大消費電流	186μA	75μA	25μA	2.3mA	0.6mA	4.6μA
<i>Worst case linearity-error</i>	1.22%	—	1.1%	0.89%	1%	0.27%
-3dB 帯域	22.4MHz	—	66MHz	2.2MHz	1.2MHz	556kHz

3.3 電圧-電流変換器

先に設計方針で述べたように、セル間の信号は電圧モードであるのに対し、提案する乗算器は電流入力-電流出力型なので、セルへの入力信号である電圧信号を電流信号へ変換する電圧-電流変換器が乗算器の入力部分に必要となる。そこで、電圧-電流変換の代表的な回路である、Operational Transconductance Amplifier(OTA)を用いる。この OTA を用いた電圧-電流変換器の提案回路を図 8 に示す。

M_{I1}, M_{I2} が弱反転領域で動作するようなバイアス電圧を V_{bias} に与えると、その出力電流 I_{out} は次式のように表される。

$$I_{out} = \frac{I_{SS}}{2} \pm \frac{I_{SS}}{4} \frac{1}{nV_{\theta}} v_{in} \quad (19)$$

ここで、式 19 において $\frac{I_{SS}}{2}$ は乗算器に対する入力におけるバイアス電流 I_B に、 $\pm \frac{I_{SS}}{4} \frac{1}{nV_{\theta}} v_{in}$ は I_X, I_Y にそれぞれ対応している。

次にこの電圧-電流変換器と乗算器を組み合わせ、 $0.35\mu\text{m}$ CMOS デバイスパラメータを用いて HSPICE シミュレーションを行った。その結果は表 3 の通りである。シミュレーション結果から電源電圧 1.8V、最大消費電流 $4.64\mu\text{A}$ であることから消費電力は 8.38W となる。また、電圧-電流変換器のみの消費電流は 76nA となっており、こちらも低消費電力で動作していることが分かる。

表 3 V-I 変換器を付加した場合

項目	シミュレーション結果
電源電圧	1.8V
最大消費電流	$4.64\mu\text{A}$
<i>Worst case linearity-error</i>	3.74%
-3dB 帯域	28kHz
入力レンジ	100mV_{p-p}

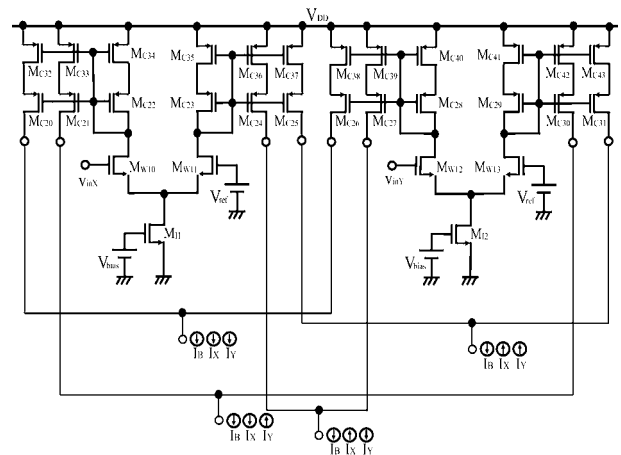


図 8 電圧-電流変換器

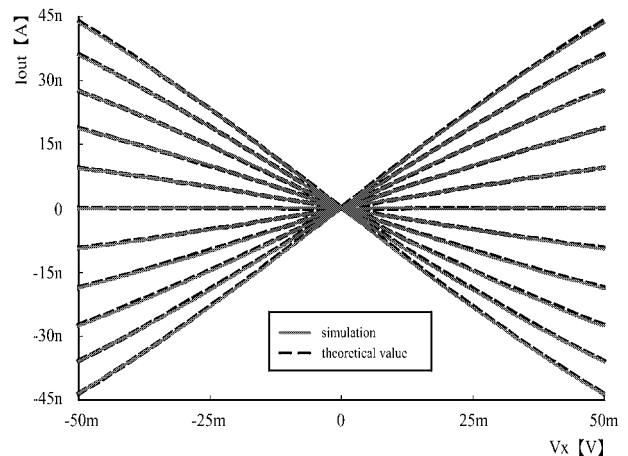


図 9 V-I 変換器を付加した場合の乗算特性

4. その他のブロックの設計と解析

4.1 積分ブロックの設計と解析

積分ブロックの回路図を図 11 に示す。 I_B, M_R, C によって構成される回路であり、式 (1) を実現している。この部分の回路の小信号等価回路を図 12 に示す。ここで、 r_{mos} は以下のように表される。

$$\begin{aligned} r_{mos} &= \frac{1}{g_m} // r_d \\ &= \frac{r_d}{1 + g_m r_d} \end{aligned} \quad (20)$$

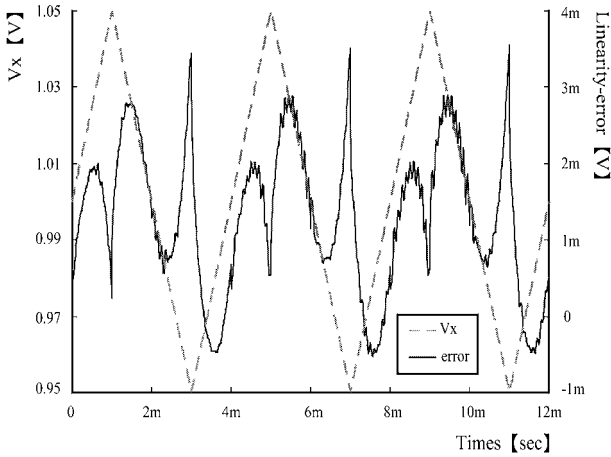


図 10 V-I 変換器を付加した場合の Linearity error

ここで、 g_m は M_R のトランスコンダクタンスであり、 I_B によって変化させる事ができる。また、 r_d は M_R のドレイン微抵抗である。以上から、以下のような関係を求める事ができる。

$$C \frac{dV_{out}}{dt} = -\frac{1}{r_{mos}} V_{out} + I_{in} \quad (21)$$

上式に式 (3) を代入すると、下式を得る。

$$C \frac{dV_{out}}{dt} = -\frac{1}{r_{mos}} V_{out} + I_z + \sum V_x V_y \quad (22)$$

この式 (22) は CNN の状態方程式である式 (1) と等価である事が分かる。このように、積和演算ブロック、積分ブロックにおいて CNN の状態方程式を実現している。このブロックでは、極めて簡単な回路構成で電流入力-電圧出力の変換を行うと同時に、所望の特性を得ている。

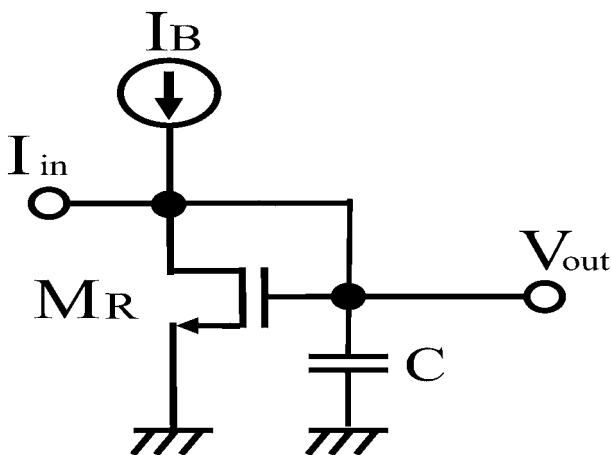


図 11 積分ブロックの回路図

4.2 出力関数ブロックの設計と解析

出力関数ブロックは CNN の出力方程式である式 (2) を実現している。神経細胞の細胞内電位 (s) と出力 (i)

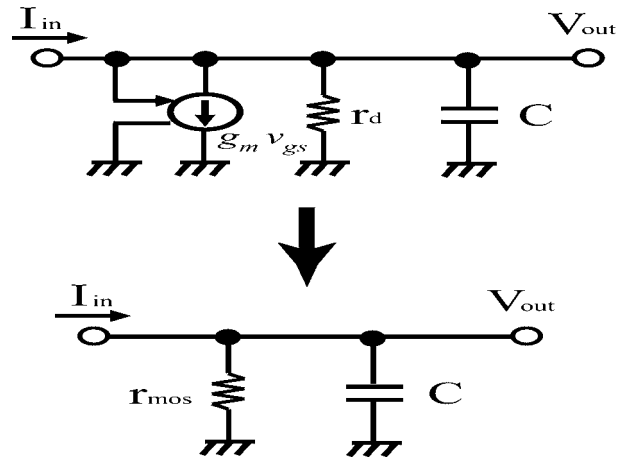


図 12 積分ブロックの小信号等価回路

ンパルス頻度) の関係はシグモイド関数のようになりこのシグモイド関数は次式のように表される

$$sigmoid(z) = \frac{1}{1 + e^{-\alpha x}} \quad (23)$$

このシグモイド関数を実現するに当たり、OTA を用いる。提案する OTA を図 13 に示す。この OTA の M_{W50} を流れる電流を I_1 とすると

$$I_1 = I_3 \frac{1}{1 + \exp\left(\frac{1}{V_\theta} (V_{ref} - V_{in})\right)} \quad (24)$$

となり表され、シグモイド関数を実現していることが分かる。

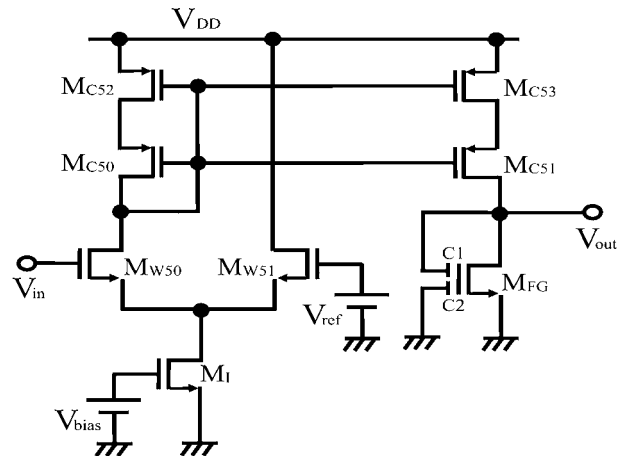
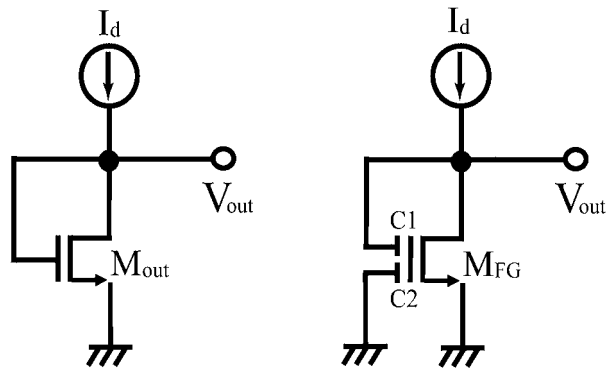


図 13 出力関数ブロックの回路図

CNN セルの最終段に位置する出力関数回路は、OTA を基本とした回路構成となっているため電流出力となっている。したがって、他のセルとの接続にはカレントミラーが多数必要となる。この場合は、チップ面積の点で不利となる。そこで、電流信号を電圧信号に変換することが望ましい。

電流信号を電圧信号に変換する最も簡単な方法は、抵抗を用いる方法である。しかし、弱反転領域を用いていることから、電圧信号に変換する際に非常に大きな



MOSFETの場合 FG-MOSの場合

図 14 電流電圧変換回路

抵抗(数 10MΩ のオーダー)を必要とする問題がある。そのような抵抗は事実上 LSI では実現できない。そこで本論文では、フローティングゲート MOSFET(FG-MOS) のアッテネーション特性を積極的に活用し、この問題を克服する。

図 14 に、MOSFET を用いた電流電圧変換回路と FG-MOS を用いた場合の電流電圧変換回路を示す。

まず、MOSFET の場合、この OTA は弱反転領域で動作しているため出力電圧 V_{out} は、以下の通りとなる。

$$V_{out} = V_{\theta} \ln \frac{I_d}{I_{DS0}} \quad (25)$$

次に、FG-MOS の場合を考える。式(??)から、 M_{FG} のフローティングゲート電圧 V_F は以下の通りとなる。

$$V_F = \frac{C_1 V_{out}}{C_0 + C_1 + C_2} \quad (26)$$

となる。今、この FG-MOS が弱反転領域で動作しているものと仮定すると、図 14 から以下の関係式を得る。

$$I_d = I_{DS0} \exp \frac{V_F}{V_{\theta}} \quad (27)$$

したがって、式(26)および式(27)から、出力電圧 V_{out} は次の通りとなる。

$$V_{out} = \left(1 + \frac{C_0 + C_2}{C_1}\right) V_{\theta} \ln \frac{I_d}{I_{DS0}} \quad (28)$$

とを比較すると、の方が $1 + \frac{C_0 + C_2}{C_1}$ 倍大きな値となっていることが分かる。今、 C_2 に比べて C_1 の値を小さくすることで所望の電圧値を得ることが出来る。これは、弱反転領域のような微小電流を扱う際には非常に有効であると考えられる。

次に、この出力関数ブロックを 0.35μm CMOS デバイスパラメータを用いて HSPICE シミュレーションを行った。この時の電圧-電流変換器の設計値は表??の通りであり、その結果は図 15 である。シミュレーション結果から見ても分かるように、出力関数であるシグモイド関数を実現できていることが分かる。

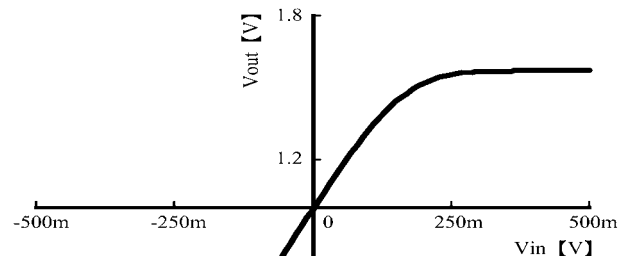


図 15 シミュレーション結果

5. 結論

本論分では、CNN の LSI 化において問題となる消費電力の低減に着目し、低消費電力 CMOS4 象限乗算器の設計について述べてきた。提案する乗算器は、CNN セル内部での演算と CNN セル間のインターフェースの容易性を考慮し、電圧入力、電流出力の乗算器となっている。微小電流の領域である MOSFET の弱反転領域を用いることで低電圧および低消費電力を同時に実現できるという特長がある。また、電圧-電流変換器を設計し、提案する乗算器の前段に組み合わせることで、前述のインターフェースを実現した。しかし、トランジスタ数が増大するという問題があり、これは今後の課題である。次に CNN セルの各ブロックごとに設計、解析を行った。各ブロック所望の特性が実現できていた。

参考文献

- [1] H. Wasaki, et. al, "Current multiplier/Divider circuit," ELECTRONICS LETTERS, vol.27, no.6, March 1991.
- [2] C. C. Chang and S. I. Lui, "Weak inversion four-quadrant multiplier and two-quadrant divider," ELECTRONICS LETTERS, vol.34, no.22, October 1998.
- [3] K. Tanno, et. al, "Four-Quadrant CMOS Current-Mode Multiplier Independent of Device Parameters," IEEE Trans. on Circuits And Systems, vol.47, no.5, May 2000.
- [4] L. Wang, et. al, "Time Multiplexed Color Image Processing Based on a CNN with Cell-State Outputs," IEEE Trans. on Circuits And Systems, vol.6, no.2, June 1998.
- [5] O. Oliaei and P. Loumeau, "Four-quadrant class AB CMOS current multiplier," ELECTRONICS LETTERS, vol.32, no.25, December 1996.