

電流モードMVD-ORNSの低消費電力化に関する考察

澤田 良太¹⁾・淡野 公一²⁾・田村 宏樹³⁾・外山 貴子⁴⁾

A Discussion on Reduction of Power Consumption for Current-Mode MVD-ORNS

Ryota SAWADA, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

Recently, advanced digital signal processing is necessary so that industry related to multimedia may develop. Because many arithmetic circuits are used in signal processing of the multimedia, a low-power and high-speed adder, which is basic element of the arithmetic circuits, are desired. On the other hand, multiple-valued digits overlap resolution number system (MVD-ORNS) was proposed in our lab, and is one of the number systems that make it possible to add in parallel. However, the hardware of MVD-ORNS consumes very large power. In this thesis, I design and analyze the very low-power MOS circuit elements, which are current-mirrors, switched current mirrors, etc. based on the weakinversion region, for the low-power MVD-ORNS. Finally, an 8-bit adder based on MVD-ORNS using the proposed circuits is designed. All of the proposed circuits are evaluated through HSPICE simulation with $0.35\mu\text{m}$ CMOS device parameters. The results are reported in this thesis.

Key Words : MVD-ORNS, Current-Mode, low-power, current-mirrors

1. 序論

近年のマルチメディア関連産業の著しい発展に伴い、音声や画像などの情報を処理するための高度なデジタル信号処理が重要となり、その処理能力への要求はますます高まっている。加減算をはじめ、乗算などの算術演算はデジタルシステムにおいて最も基本的かつ使用頻度の高い演算である。これまでの乗算器は、加減算器を複数個組み合わせることで構成されてきた。しかし、このような演算器では、桁上げ伝播による演算時間の遅延が問題とされていた。そこで、あらかじめ桁上げを考慮し、演算を行う桁上げ先見加算器が用いられる。この方法は、並列演算が可能のため伝播遅延の改善に繋がるが、ビット数と共に回路規模が大きくなってしまったという問題がある。そこで、高並列な算術演算が可能な冗長性に基づいた多値論理回路が研究されてきた。本研究室では、結線のみで加算を行える電流モードを用いて、1線あたりの情報量を2値から多値へと増やすことで回路規模の縮小化を図ってきた。しかし、冗長性のために2値から多値への復号アルゴリズムの処理過程で、基本的なキャリーの伝播遅延が起きてしまう。

近年、Overlap Resolution Number System (以降 ORNS と呼ぶ) という新しい数系が提案された [1]。この数系は、復号アルゴリズムの過程においてキャリーを考慮するため、伝播遅延のない完全並列な算術演算を実現できる一手法である。しかし、連続値 (アナログ値) を用いているため、高精度な A/D コンバータやカレントミラーを基本としたアナログ回路が必要となり回路規模が大きくなってしまったという問題があった。そこで本研究室では、連続値の代わりに多値ディジットを用いた Multi Value Digits - Overlap Resolution Number System (以降 MVD-ORNS と呼ぶ) による算術演算アルゴリズムを提案した。本手法は、ORNS の問題点を改善したものであり、そのハードウェア化には、A/D コンバータを必要とせずに電流源、カレントミラー、スイッチのみで構成できるという利点がある。しかし、MVD-ORNS のハードウェア化には、消費電力と演算スピードとのトレードオフがあり、回路実現は極めて困難である。このトレードオフの要因は、カレントミラーにあり、その GND への電流パスと回路構成上生成されるミラー極のために、遅延スピードの関係がトレードオフとなる。また、電流モード回路では、電流値をそのまま論理値として扱うことになるので、カレントミラーの精度が全回路の演算精度を左右するといっても過言ではない。一方、MVD-ORNS の回路ブロックの特徴からカレントミラー回路の高い精度を必要とする部分とそうでない部分があることが

1) システム工学専攻大学院生

2) 電気電子工学科助教

3) 電気電子工学科助手

4) 技術職員

我々の研究で分かった。これは、入力された値をそのまま出力する電流パスと入力された値を元にあるしきい値で比較され、その結果が出力される電流パスがあるためである。

また、MVD-ORNSのハードウェア化では、消費電力が増大するという問題があった。これはMVD-ORNSの冗長性によるものであり、8ビットの演算で256値が必要となる。この消費電力を低減させる最も効果的な方法は、ユニット電流の値を小さくすることである。しかし、ユニット電流を小さくした場合、種々の回路遅延やカレントミラーのコピー精度への影響が懸念される。

本論文では、まず、電流モードMVD-ORNSのハードウェア化において最も性能を左右すると考えられるカレントミラーに着目し、その低消費電力、高精度化について検討を行う。中でも、その低電流値における特性、特に、弱反転領域で動作しているMOSトランジスタを用いた際の性能について議論する[2]。次に、これらの検討に基づいて、各回路ブロック(2値-MVD変換ブロック、演算ブロック、MVD-2値変換ブロック)の設計を行う。さらに、設計した各回路ブロックを用いて加算器の演算回路を設計し、従来回路との比較を行う。

2. MVD-ORNSのアルゴリズム

2.1 変換、逆変換の原理

2.1.1 2値からMVDへの変換

2進数からMVD-ORNSへの変換方法を示す。なお、入力は $x \geq 0$ であるものと定義する。本論文では、入力 $(x)_2$ の正の数に限定する。まず、2進数は次のように表される。

$$\begin{aligned} (x)_2 &= (x_{k-1}, \dots, x_2, x_1, x_0)_2 \\ &= \sum_{m=0}^{k-1} x_m \cdot 2^m \end{aligned} \quad (1)$$

ここで、 k は2進数の桁数である。また、 $m \in 0, 1, \dots, k-1$ である。次にMVD-ORNSに変換するルールを、2種類定義する。どちらのルールを用いても同じ結果を導く。ここでの X は、変換対象の2進数 x の範囲であり、 $X = 2^k$ とする。まず、モジュロルールは式(2)に定義する。

$$\begin{aligned} \text{[モジュロルール]} \\ r_n(x) &= \left(\sum_{m=0}^{k-1} x_m \cdot 2^{m-n} \right) \bmod X \\ &= \left(\frac{(x)_2}{2^n} \right) \bmod X \end{aligned} \quad (2)$$

次に、カスコードルールを式(3)-(5)に定義する。

[カスコードルール]

$$r_0 = \sum_{m=0}^{k-1} x_m \cdot 2^m = (x)_2 \quad (3)$$

$$r_n = (r_{n+1} - z_{n+1} \cdot 2^{k-1}) \cdot 2 \quad (4)$$

$$z_n = \begin{cases} 1 & r_n \geq 2^{k-1} \\ 0 & r_n < 2^{k-1} \end{cases} \quad (5)$$

上述の定義より、MVD-ORNSは、次式で表される。

$$(x)_{MVD} = (r_{k-1}, \dots, r_0, \dots, r_{-(k-1)})_{MVD} \quad (6)$$

変換する2進数が k 桁であるとき、基本的な多値ディジットの桁数 $(2k-1)$ である。なお、基本形より多い桁数に変換しても、その変換された桁値は必ず0になる。

2.1.2 MVDから2値への逆変換

次に、MVD-ORNSから2進数への逆変換法を示す。逆変換には、式(4)を変形したカスコードルールを用い、次式を得る。

$$z_n = \frac{1}{2^{k-1}} \cdot \left(r_n - \frac{r_{n-1}}{2} \right) \quad (7)$$

2.2 加算アルゴリズム

まず、加算を行う2進数の加数 $(x)_2$ 、被加数 $(y)_2$ をそれぞれMVDの $r_n(x)$ 、 $r_n(y)$ に変換する。次にMVDの同じ桁毎に加算を行う。加算は次式で表される。

$$\begin{aligned} r_n(x+y) &= \{r_n(x) + r_n(y)\} \bmod X \\ &= \left\{ \sum_{m=0}^{k-1} (x_m + y_m) \cdot 2^{m-n} \right\} \bmod X \end{aligned} \quad (8)$$

上式から、MVD-ORNSの加算は、キャリー伝播や桁にまたがるその他の伝播がすべてないことが分かる。つまり加算が完全に並列処理できることを示している。

図1に加算アルゴリズムをハードウェア化した場合のブロック図を示す。これは、2値からMVDへの変換ブロック、演算ブロック、MVDから2値への変換ブロックの3つのブロックで構成する。各ブロックのハードウェア化について次章で述べる。

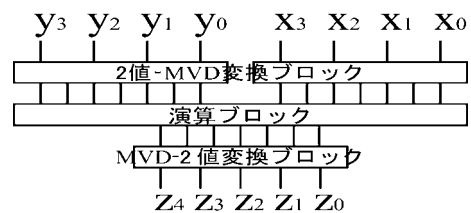


図1 加算アルゴリズムの構成

3. 電流モード基本回路

MVD-ORNSの算術演算回路は、カレントミラー、スイッチ、電流コンパレータを用いた電流モード基本回路により構成される。電流モード回路の場合、電流値を論理値として扱っているため、カレントミラーの精度が全回路の演算精度を左右するといっても過言ではない。しかし、一般のカレントミラー（シングルカレントミラー）は、チャンネル長変調効果の影響で、十分に高い出力抵抗を得ることができず、結果として、電流コピーの精度が低下してしまう。そこで、高い出力抵抗を有するダブルカスコードカレントミラーが用いられる。このカレントミラーは、チャンネル長変調効果の影響を受けにくいので、高い精度で電流のコピーが可能となる。しかし、シングルカレントミラーに比べ、大きな電源電圧を必要とするため、カレントミラーを縦続接続する場合、低電源電圧化が困難であるという問題がある。

また、電流モードでMVD-ORNSをハードウェア化する際、消費電力が増大するという問題がある。これはMVD-ORNSのビット数(k)の増加に伴う基数($X = 2^k$)の増加によるものであり、8ビット演算で256値が必要となる。この消費電力を低減させる最も効果的な方法は、ユニット電流の値を小さくすることである。

そこで本節では、カレントミラーの低電流値における特性、特に、弱反転領域動作している際の性能について考察する。次に、これらのカレントミラーを用いたMVD-ORNSのハードウェア化のための基本回路（カレントコンパレータ、スイッチ、スイッチドカレントミラー）を設計する。

3.1 カレントミラー

3.1.1 強反転領域におけるカレントミラー

図2にシングルカレントミラー（以降、CMと呼ぶ）を示す。CMの出力インピーダンス Z_{out} 及び最低駆動電圧 $V_{out,min}$ は、式(9)及び式(10)で示される。ここで、簡単のため、すべてのMOSトランジスタが強反転領域で動作し、 W/L が等しいとする。また、基板効果が十分小さく無視できるものとして考える。

$$Z_{out} = r_d \tag{9}$$

$$V_{out,min} = \sqrt{\frac{I_{in}}{K}} + V_T \tag{10}$$

r_d はドレイン抵抗、 K はトランスコンダクタンスパラメータ、 V_T はしきい電圧を意味する。一般に多値論理では大信号を扱うが、ここでは簡単な評価方法として小信号での評価を行っている。このように高い出力抵抗を持たないため、コピー精度が低下してしまう。

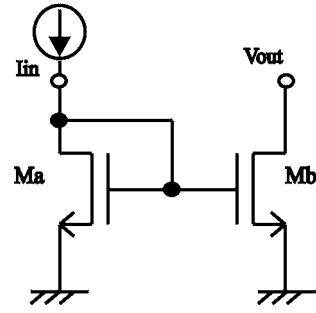


図2 シングルカレントミラー

図3にカスコードカレントミラー（以降、CCMと呼ぶ）を示す。本回路は、CMの出力特性強化のため、カスコード接続した構成となっている。今、簡単のため、すべてのMOSトランジスタが強反転領域で動作し、 W/L が等しいとする。また、基板効果が十分小さく無視できるものとして考えると、このCCMの出力インピーダンス Z_{out} 及び最低駆動電圧 $V_{out,min}$ は、式(11)及び式(12)で示される。

$$Z_{out} = 2r_d + g_m r_d^2 \tag{11}$$

$$V_{out,min} = 2\sqrt{\frac{I_{in}}{K}} + V_T \tag{12}$$

ここで、 g_m は相互トランスコンダクタンスを意味する。このように極めて高い出力抵抗を有しているが、一方、最低駆動電圧に関しては、比較的高い値を取ることになる。

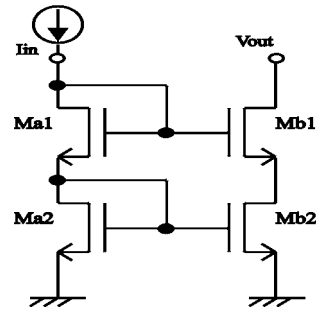


図3 カスコードカレントミラー (CCM)

図4に低電圧カレントミラー（以降、LCMと呼ぶ）を示す。このカレントミラーは、CCMと比較して、出力インピーダンスはそのまま、最低駆動電圧を改善した回路となっている。このLCMの出力インピーダンス Z_{out} 及び最低駆動電圧 $V_{out,min}$ は、式(13)及び式(14)で示される。

$$Z_{out} = 2r_d + g_m r_d^2 \tag{13}$$

$$V_{out,min} = \sqrt{\frac{I_{in}}{K}} \tag{14}$$

この回路は、低電圧アナログ回路で幅広く用いられているが、多値論理回路においても同様に用いることができる。

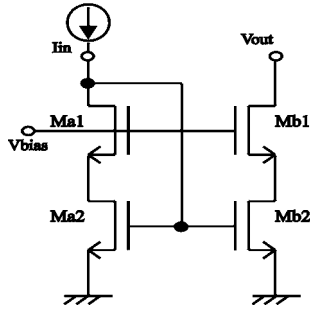


図4 低電圧カレントミラー (LCM)

3.1.2 弱反転領域におけるカレントミラー

次に、カレントミラーの取り扱う電流が非常に小さい場合を考える。通常、 $1\mu\text{A}$ 以下の小さな電流を用いる場合、MOS トランジスタは弱反転領域で動作する。弱反転領域における MOS トランジスタの電流式は、以下の通りとなる。

$$I_{ds} = I_{ds0} \exp \frac{V_{gs}}{nV_{\theta}} \quad (15)$$

ここで、 I_{ds0} は $V_{gs} = 0$ における電流であり、この値は W/L に比例する事が知られている。 n はスロープファクタとよばれ、デバイスの製造プロセスで決まる固有の値である。また、 $V_{\theta} = kT/q$ は熱電圧であり、常温で 26mV である。このように、弱反転領域ではバイポーラトランジスタの電流式にほぼ等しく、指数特性を示す。この特性を示す条件は、以下の通りである。

$$V_{gs} < V_T - nV_{\theta} \quad (16)$$

$$V_{ds} > 4V_{\theta} \quad (17)$$

このように、 V_{gs} が V_T よりも低い電圧で動作し、 V_{ds} の条件は他の端子電圧には一切関係なく、 V_{θ} に関係するだけであるという、他の動作領域には無い特徴がある。

バイポーラトランジスタにおいても MOS トランジスタと同じ回路構成でカレントミラーを実現できることから、弱反転領域においても強反転領域と同じ回路構成でカレントミラーを実現できる。このときの常温における最低駆動電圧は、図3及び図4ともに、上述の条件式から以下のように導かれる。

$$V_{out,min} = 8V_{\theta} \quad (18)$$

$$\approx 208 \text{ [mV]} \quad (19)$$

この条件から、入力電流に関係なくおよそ 200 mV から動作することが分かる。一方、強反転領域の $V_{out,min}$ は、入力電流に伴って大きな値となり、最低でも V_T 以上の値が必要となる。以上より、弱反転領域におけるカレントミラーは、電流値を小さくする事による消費電流の削減だけでなく、動作電圧を大幅に小さくす

ることができ、結果として、消費電力の低減において相乗効果が期待できる。

3.1.3 カレントミラーのシミュレーション

さきほど述べた強反転領域の特長及び弱反転領域の特長を HSPICE シミュレーションを用いて確認する。ここでは、 $0.35\mu\text{m}$ CMOS プロセスのデバイスパラメータ (LEVEL=28) を使用している。また、すべての MOS トランジスタの W/L を $20\mu\text{m}/20\mu\text{m}$ としている。

図5及び図6に $10\mu\text{A}$ から $40\mu\text{A}$ 及び 100nA から 400nA の $I_{out}-V_{out}$ 特性を示す。強反転領域で動作している図5は、理論どおり、 I_{in} の増加に伴って $V_{out,min}$ も増加していることが分かる。また、 $I_{in} = 20\mu\text{A}$ の時の CM, CCM 及び LCM の Z_{out} は、それぞれ $4.7\text{M}\Omega$, $20.0\text{M}\Omega$ 及び $26.0\text{M}\Omega$ であることが分かった。また、弱反転領域で動作している図6は、 $V_{out,min}$ が I_{in} に関係なくおよそ 200mV であることが確認できる。また、 $I_{in} = 200\text{nA}$ の時の CM, CCM 及び LCM の Z_{out} は、それぞれそれぞれ $0.1\text{G}\Omega$, $6.6\text{G}\Omega$ 及び $0.9\text{G}\Omega$ であることが分かった。シミュレーション結果の詳細を表1に示す。

一方、入力電流を減らすことで、カレントミラーのパルス応答の悪化が懸念される。そこで、HSPICE シミュレーションでパルス応答を確認したところ、パルス電流が $20\mu\text{A}$ の時の CM, CCM 及び LCM の遅延時間 t_d は、それぞれ、 9.3ns , 9.9ns 及び 9.3ns であり、パルス電流が 200nA の時がそれぞれ、 29.7ns , 73.4ns 及び 50.0ns であることが分かった。遅延時間としては、約3~7倍の遅延であることが分かった。

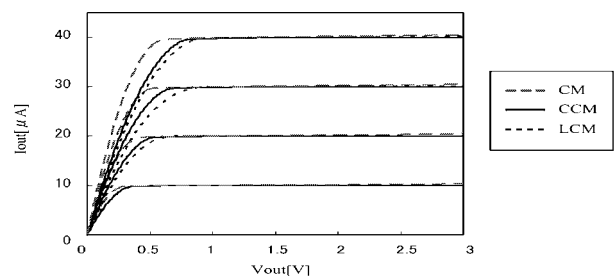
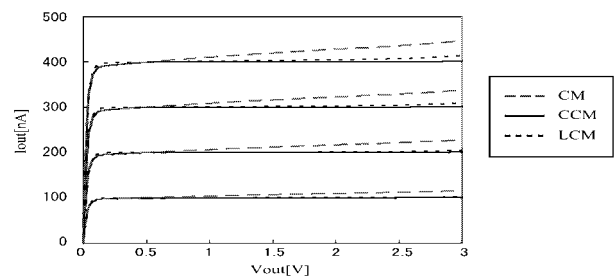
図5 強反転領域における $I_{out}-V_{out}$ 特性図6 弱反転領域における $I_{out}-V_{out}$ 特性

表 1 カレントミラーのシミュレーション結果

動作領域	カレントミラー	I_{in} [μ A]	$V_{out,min}$ [V]	Z_{out} [M Ω]	t_d [ns]
強反転領域	CM	10	0.27	6.6	-
		20	0.42	4.7	9.3
		30	0.52	3.7	-
		40	0.59	3.0	-
	CCM	10	0.55	167.0	-
		20	0.89	20.0	9.9
		30	1.01	9.1	-
		40	1.14	4.5	-
	LCM	10	0.35	164.0	-
		20	0.62	26.0	9.3
		30	0.84	11.1	-
		40	0.89	5.0	-
動作領域	カレントミラー	I_{in} [nA]	$V_{out,min}$ [mV]	Z_{out} [G Ω]	t_d [ns]
弱反転領域	CM	100	95	0.05	-
		200	125	0.07	29.7
		300	140	0.10	-
		400	159	0.16	-
	CCM	100	98	8.70	-
		200	123	6.67	73.4
		300	137	3.33	-
		400	145	1.82	-
	LCM	100	83	2.86	-
		200	105	0.90	50.0
		300	114	0.42	-
		400	123	0.25	-

3.2 スイッチドカレントミラー

MVD-ORNSで用いられるカレントミラーの働きは、電流をコピーする、電流を比較する、電流をオン、オフさせるといった3つのうちいずれかの動作を行う。電流のオン、オフには、主にパスゲートと共に用いることが多いが、パスゲートはMOSトランジスタのドレイン端またはソース端の電流パスに接続されるため電圧が不安定となることがある。そのことが、コピー精度の悪化を招いている。そこで、このパスゲートとカレントミラーを組み合わせたスイッチドカレントミラー（以降SCMと呼ぶ）を提案し、コピー精度の向上を図る。

3.2.1 回路構成と回路動作

提案するSCMを図7(a)及び(b)に示す。これらは、図3及び図4に示したCCM及びLCMにインバータを付加した回路である。通常インバータは2端子の論理素子として用いられるが、本回路では、4端子の論理素子としてインバータを用いる。すなわち、出力されるHigh及びLowの信号レベルを適宜に設定できるようにする。インバータをこのように取り扱うことで、CCM及びLCMの出力側のトランジスタの1個を、それぞれのカレントミラーを構成する素子として用いるのと同時に、カレントミラーを動作させるか否かを決めるスイッチとして用いている。わずか1個のトランジスタであるが、非常に多くの数を用いるMVD-ORNSのハードウェア化にとっては、小チップ面積化に対し

て有効である。また、従来手法では、カレントミラーの電流パスの一部分にスイッチを挿入して実現していたが、カレントミラーの対称性の維持という側面からも、提案手法の構成が望ましいといえる。

図7(a)を例に、回路の動作について説明する。今、制御電圧 V_c がHighの時、インバータの出力はLowとなる。このLowの信号レベルはGNDのため、 M_{b1} がオフ状態となる。従って、 $I_{out} = 0A$ となる。それとは逆に、制御電圧 V_c がLowの時、インバータの出力はHighとなる。このHighの信号レベルは M_{a1} のゲート電圧であるため、この電圧が M_{b1} のゲート電圧となり、結果としてカスコードカレントミラーとして動作する。従って、 $I_{out} = I_{in}$ となる。

3.2.2 SCMのシミュレーション

SCMの動作をHSPICEシミュレーションを通して確認する。シミュレーション条件及び動作条件は、前節のカレントミラーのシミュレーションのものと同様である。

図8及び図9に V_c がLowの時の強反転領域及び弱反転領域におけるSCMの $I_{out}-V_{out}$ 特性を示す。同図は先に示した図5及び図6に非常に似通っており、回路が適切に動作していることが確認できる。また、 V_c がHiの時は $I_{out} = 0A$ であることを確認した。次にスイッチ動作における遅延 t_d を評価した。その結果、パルス電流が $20\mu A$ の時、CCM型及びLCM型の t_d がそれぞれ、11.2ns及び10.3nsであることが分かった。

また、パルス電流が200nAの時、それぞれ、98.5ns及び133nsであることが分かった。回路内にインバータを付加したことにより、多少の遅延が発生しているが、問題ないレベルだと考えられる。

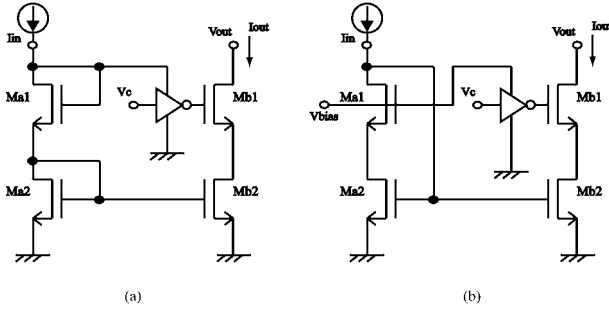


図7 SCM (a)CCM型, (b)LCM型

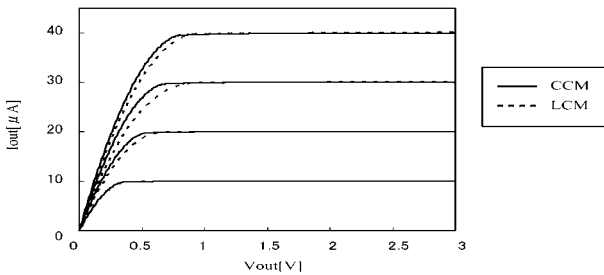


図8 強反転領域におけるSCMの I_{out} - V_{out} 特性

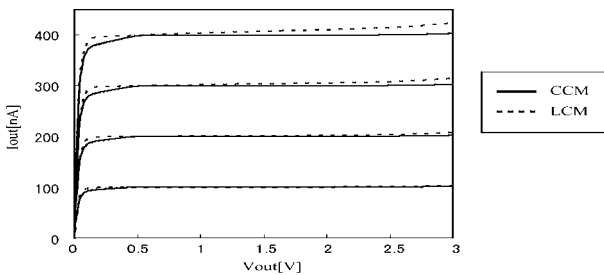


図9 弱反転領域におけるSCMの I_{out} - V_{out} 特性

4. MVD-ORNSのハードウェア化

本章では、MVD-ORNSのハードウェア化を行うため、まず、前章で述べた基本回路を用いて各ブロックを構成し、加算器を設計する。次に、その回路について高速化、低消費電力化を図る。本論文では、8ビット演算器を構成するため、基数 $X=256$ としている。また、ユニット電流を $1\mu A$ または、 $0.4\mu A$ としている。

4.1 2値-MVD変換回路

図10にカレントミラーを用いた回路構成 (mirr-conv) の回路図を示す。この回路は、 n MOSカレントミラーと p MOSカレントミラーのみで構成されており、 p MOSカレントミラーの W/L 比を利用し2値-MVD変換を実現している。

次に、図11にカレントコンパレータを用いた回路構成 (comp-conv) の回路図を示す。この回路は、カレ

ントコンパレータとパスゲートのみで構成されている。パスゲートを電流源として用いることで、 W/L の値を変化させ2値-MVD変換を実現している。

4.1.1 2値-MVD変換回路のシミュレーション

次に、2つの変換回路 mirr-conv, comp-conv の回路評価を行った。なお、入力電流 I_{in} は論理値0または1を入力するため、mirr-convでは0または $51.2\mu A$ 、comp-convでは0または $1\mu A$ のパルス電流を入力している。表2に遅延時間、消費電力を示す。

表2 2値-MVD変換回路の評価結果

	mirr-conv	comp-conv
遅延時間 [ns]	470	426
消費電力 [mW]	0.62	0.31

変換回路 comp-conv は、mirr-convと比較して遅延時間は約10%の短縮、消費電力は約50%の削減を実現した。これは、カレントミラーを使用せずに設計を行ったことにより高速化を実現した。また、入力電流 $I_{in} = 51.2\mu A$ の信号成分を持つ M_{p30} - M_{n4} 間の電流パスを削ったことによる結果である。したがって、2値-MVD変換回路には comp-conv を用いてブロックを構成する。

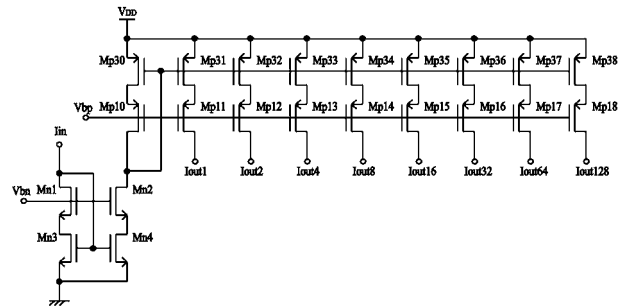


図10 mirr-conv回路構成

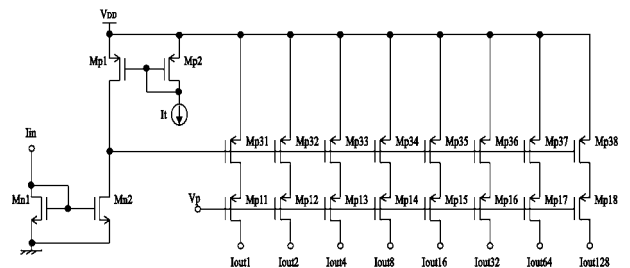


図11 comp-conv回路構成

4.2 MOD演算回路

MOD演算回路は、結線加算を行った結果が基数以上の値にならないように剰余演算を行う回路である。加算後に剰余演算を行う必要があるため、ビット数分の演算ブロックを使用する。そこで、この消費電力を抑えることが、MVD-ORNS全体の消費電力の低減に繋がる。

カレントミラーを用いた回路構成 (mirr-mod) を図 12 に示す. この回路は, まずカレントコンパレータで, 入力電流 I_{in} としきい値電流 I_X を比較し, その結果が電圧として出力する. 次に, この出力された電圧により, n MOS パスゲートがオフ状態もしくは, オン状態になる. オフ状態の場合, パスゲート上部の n MOS カレントミラーは動作せずに, 入力電流 I_{in} がそのまま出力電流 I_{out} になる. 逆に, オン状態の場合, n MOS カレントミラーが動作し, しきい値電流 I_X が流れる. それにより, 入力電流 I_{in} としきい値電流 I_X の減算が行われ出力電流 I_{out} が得られる.

SCM を用いた回路構成 (scm-mod) を図 13 に示す. mirr-mod では p MOS カレントミラー, n MOS カレントミラーで入力電流 I_{in} を出力電流 I_{out} にコピーしていた. そのため, コピー精度に問題があった. そこで, あらかじめ入力電流 I_{in} を 2 つ用意することで, カレントミラーによるコピー精度誤差をなくすることができる. それにより, カレントミラーの $M_{p1} - M_{n4}$ 間の電流パスを削除でき, また, ユニット電流を低く抑えることができるため, 低消費電力に繋がる. また, カレントミラーをなくすことで, 遅延時間の低減を図っている.

4.2.1 MOD 演算回路のシミュレーション

次に, 2 つの演算回路 mirr-mod, scm-mod の入力電流 I_{in} に対する出力電流 I_{out} の DC 解析を図 14 および図 15 に示す. また, 表 3 に遅延時間, 消費電力を示す. scm-mod は, mirr-mod と比較し, 遅延時間を約 72% の短縮, 消費電力を約 81% の削減となり大幅な低減を実現している. これは, 上記提案による, 改良を行った結果である.

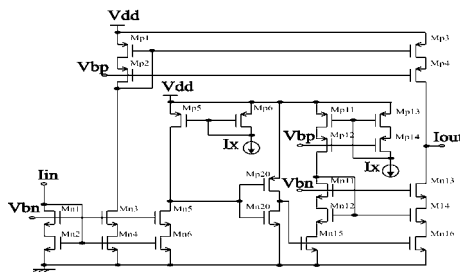


図 12 mirr-conv 回路構成

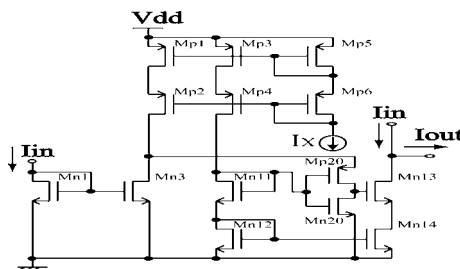


図 13 scm-conv 回路構成

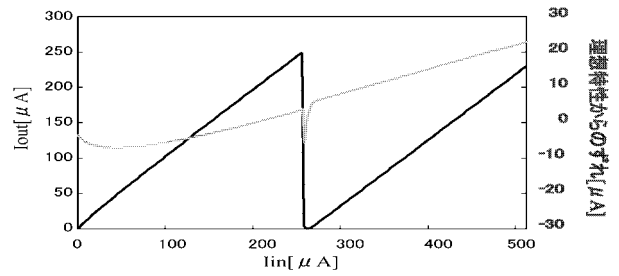


図 14 mirr-mod 回路構成の $I_{out}-I_{in}$ 特性

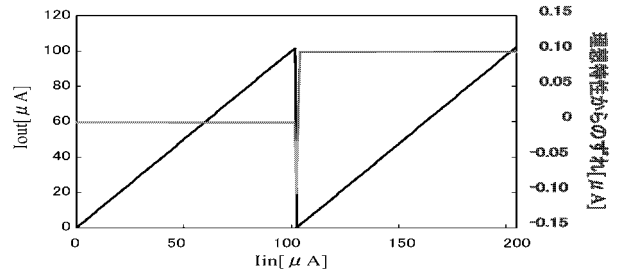


図 15 scm-mod 回路構成の $I_{out}-I_{in}$ 特性

表 3 MOD 演算回路の評価結果

	mirr-mod	scm-mod
ユニット電流 [uA]	1.0	0.4
遅延時間 [ns]	178	50
消費電力 [mW]	7.68	1.53

4.3 MVD-2 値変換回路

図 16 に MVD-2 値変換回路 (mirr-inve) を示す. この回路は, n MOS カレントミラーと p MOS カレントミラーを使うことで, 電流値の重みを変化させ, 出力電流 I_{out1} と出力電流 $I_{out1/2}$ を生成している. 回路評価をおこなった結果, 遅延時間 212ns, 消費電力 1.2uW であることを確認した.

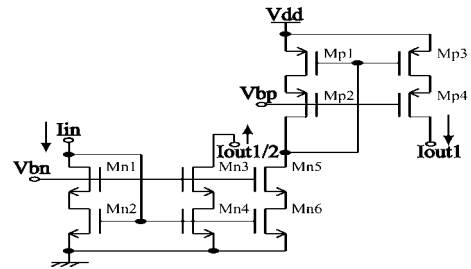


図 16 MVD-2 値変換回路 mirr-inve

4.4 MVD-ORNS の加算器

図 17 に MVD-ORNS の 8 ビット加算器を示す. これは, 入力値 $(x)_2, (y)_2$ を 2 値から MVD へ変換するブロックを 4 つ, 結線加算後に剰余演算を行う MOD 演算回路を 8 つ, MVD から 2 値へ変換するブロックを 1 つで構成される. 以上から, 入力から出力まで完全に並列処理していることがわかる.

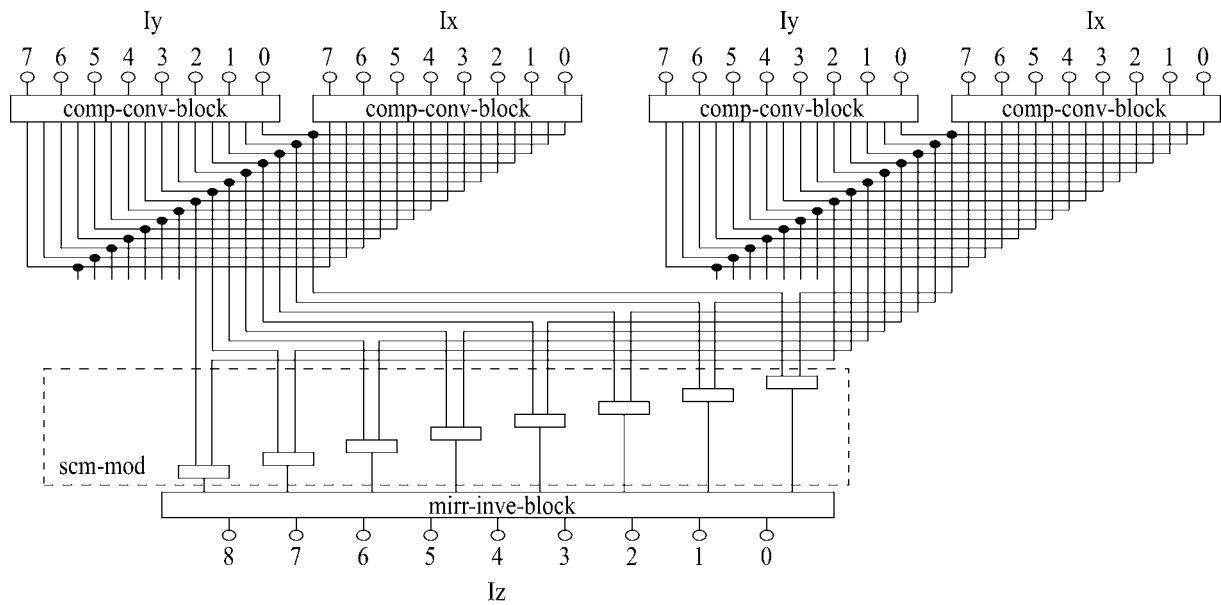


図 17 MVD-ORNS 加算器

4.4.1 シミュレーション結果

従来手法, RCA, 提案手法シミュレーション比較を行った. 表 4 に遅延時間および消費電力を示す. その結果, 提案手法の遅延時間は, RCA と比較して, 約 20% の短縮を実現した. 一方, 消費電力は, 各ブロックでの低消費電力化を図ったことから従来手法の MVD-ORNS と比較して約 87% の削減となり, 提案する回路構成の有効性を確認した.

表 4 8 ビット加算器の評価結果

		従来手法	RCA	提案手法
遅延時間	[ns]	670	603	485
消費電力	[mW]	127.8	1.0	17.5

5. まとめ

本論文では, 完全並列で高速演算可能な MVD-ORNS に着目し, そのハードウェア化において問題となる消費電力の増大を克服するための手法とその回路設計に取り組んできた. この消費電力を低減させる最も効果的な方法は, ユニット電流の値を小さくすることである. 本論文では, 一般には用いられていない弱反転領域を活用し, 可能な限りユニット電流の削減を行う. そのために, 弱反転領域で動作するカスコードカレントミラーの特性について理論的に解析を行い, HSPICE シミュレーションを行った. その結果, 弱反転領域でのカスコードカレントミラーは, 低電圧, 高出力抵抗であることを確認した. これより, この弱反転領域での回路設計は, 低消費電力化に有効であることが分かった.

次に, 電流モード基本回路を用いてインバータとカレントミラーを組み合わせたスイッチドカレントミラー

を提案した. このインバータより, 出力のオンオフが制御可能となった.

これらの電流モード基本回路を用いて 2 値-MVD 変換ブロック, 演算ブロックおよび MVD-2 値変換ブロックの設計を低消費電力に着目し行った. 2 値-MVD 変換回路では, カレントコンパレータを用いた回路構成 (comp-conv) を提案し, 0.31mW となり約 50% の消費電力削減を実現した. 次に, 演算ブロックを構成する回路として, スイッチドカレントミラーを用いた回路構成 (scm-mod) を提案し, 1.53mW となり約 81% の消費電力削減を実現した. 最後に, MVD-2 値変換ブロックを提案し, 消費電力は 1.2 μ W であることを確認した. 以上, 3 種類のブロックを用いて, MVD-ORNS に基づいた 8 ビット加算器を構成し, 評価を行った. その結果, 約 87% の消費電力削減となり, 提案する回路構成の有効性を確認した.

提案回路は, 従来の MVD-ORNS に基づく加算器よりも非常に小さな消費電力となったが, 一般的に用いられる CMOS 電圧モードによる加算器と比較すると, まだ大きな値であることには違いない. そこで, 更なる低消費電力化を行う必要がある. また, 本質的に静的消費電力がない CMOS による電圧モードでの設計に取り組む必要がある. そのためには, まず電圧加算の単純化が必要となる. それらが今後の課題となる.

参考文献

- [1] A. Saed, M. Ahmadi, G.A. Jullien, "Analog Digits: Bit Level Redundancy in a Binary Multiplier," 32th Annual Asilomar Conference on Signals, Systems, and Computers, pp.236-240, Nov. 1998.
- [2] K. Tanno, O. Ishizuka, Z. Tang, "Ultra-Low Power Two-MOS Virtual-Short Circuit and Its Application," IEICE Trans. on Fundamentals, vol.E81-A, no.10, pp.2194-2200, Oct. 1998.