

演算増幅器を用いた容量比に鈍感な SC 逐次近似型 AD 変換器

森山 和貴^{a)}・松本 寛樹^{b)}

SC Successive Approximation A/D Converter Insensitive to Capacitance Ratio and Using Operational Amplifier

Kazuki MORIYAMA, Hiroki MATUMOTO

Abstract

This paper shows an improved A/D converter insensitive to capacitance mismatch. By using operational amplifier, error caused by it is reduced and resolution is estimated to 14bits. Converter operation is confirmed on SIMetrix.

Keywords: Switched-capacitor, A/D Converter, capacitance ratio, operational Amplifier.

1 序論

1990年代から、デジタル技術の高度化により、コンピュータは急速な発展を遂げてきている。コンピュータは、その本来の意味する「計算機」という枠組みにとどまらず、あらかじめソフト的もしくはハード的に組み込まれたプログラムに基づき、入力されるデータの観測、蓄積、処理やそれらの結果に応じた所望のデータの出力などを自由自在にそして短時間で処理できる。

しかしながら、コンピュータで扱えるデータは『0』と『1』の2つの値で表されるデジタル信号だけである。自然界に存在している、温度、速度、圧力、流れなどの物理量はほとんどアナログ量であり、また、発振機によって作られた正弦波、三角波、方形波や人間の音声などもアナログ量である。

したがってこのアナログ量をデジタル信号、あるいはデジタル信号をアナログ量に変換することで、コンピュータの幅広い応用が可能になる。一般に、この変換はそれぞれ A/D 変換(analog to digital conversion)、D/A 変換(digital to analog conversion)と呼ばれる

本研究では、オペアンプと電圧比較器を用いて、キャパシタの不整合による誤差を低減した AD 変換回路を制作し、SIMetrix を用いて動作比較検討する。

2 A/D 変換器

2.1 A/D 変換器過程

A/D 変換とは、アナログ量からデジタル信号に変換することである。この A/D 変換を通信関係では符号化や変調と呼ばれる。これを実現する電子回路が A/D 変換器である。

A/D 変換の過程は前置フィルタを通ったあとアナログ量を標本化、量子化、符号化の順に行うことによってデジタル信号に変換される。

2.1.1 標本化

標本化とは、連続的なアナログ量の振幅値をある離散的な周期 T (周波数 $f_s=1/T$)を基に区切り、アナログの振幅の瞬間値インパルス信号を取り出していくことである。これを標本化またはサンプリングと呼ぶ。 f_s は標本化周波数である。

標本化によるインパルス列(デルタ関数列)は PAM(パルス振幅変調)や標本化信号と呼ばれる。この PAM はアナログ量をパルス波で変調した信号となり、周波数スペクトルは nf_s を基準に上側波帯と下側波帯に分けられる。

2.1.2 量子化

量子化(quantizing)とは、保存されているアナログ電圧 V_r がある基準とすると電圧 V_s の何倍になっているか判断し、倍数値を整数値に丸めることである。その丸めによって生じた誤差は量子化誤差(quantization error)と呼ばれ、A/D 変換では避けられない誤差である。また、基準電圧によって異なる整数値になる。整数値に丸める方法としては切り捨て法、切り上げ法、四捨五入法の三通りが考えられ

a)大学院電気電子工学専攻

b)工学部准教授

る。一般的には、二乗平均誤差が最も小さくなる四捨五入法が用いられる。

2.1.3 符号化

符号化(coding)とは、量子化によって丸められた整数値を2進コードに変換することである。A/D変換器に入力される電圧はユニポーラ形とバイポーラ型とがある。ユニポーラ形とは、例えば0~+5[V]のように正の極性だけを持つものをいい、バイポーラ形とは、例えば-2.5~+2.5[V]のように両極性を持つものをいう。

2.2 A/D変換器の諸特性

2.2.1 入出力特性

A/D変換器の入出力特性は横軸にアナログ入力電圧、縦軸に出力のデジタルコードを取ったものである。量子化誤差が最小になるように $-1/2\text{LSB}$ のオフセットを与えた特性を図に示した。この図6ではフルスケールレンジ(FSR)が8[V]であり、FSRの8等分の値1[V]ごとの電圧をオフセット($=-0.5\text{[V]}$)分ずらしてデジタルビットで示したものである。0[V]、0.5[V]以降は1[V]毎に、1つのデジタルビットずつ変化する。例えば、 $0.5\text{[V]} \leq V_a < 1.5\text{[V]}$ に示す範囲内のデジタルビットは"001"である。また、このときの分解能は $1\text{LSB}=8/2^3=1\text{[V]}$ であり、量子化誤差は $1/2\text{LSB}(=0.5\text{[V]})$ である

2.2.2 A/D変換器の仕様

A/D変換器の仕様について各項目ごとに説明する。

分解能 A/D変換における分解能(resolution)はデジタル信号の1段階の変化に対する最小の識別可能な出力変化をいう。たとえば、8[V]のFSRで3ビットの分解能は $8/2^3=1\text{[V]}$ である。この分解能を1LSBあるいは Δ と表記する。あるいは12.5%($1/2^3$)ととってもよい。10ビットならば分解能は約0.1%($1/2^{10}$)である。

精度 A/D変換器の精度は量子化誤差や外部からの雑音および素子のばらつきなどに大きく影響される。通常、量子化誤差は $\pm 1/2\text{LSB}$ ではあるが、仕様として示される精度はそれ以外の誤差の合計として表される。精度の代表値はFSRの $\pm 0.02\%$ である。A/D変換器のビット長はこれらを考慮して決められている。

変換時間 A/D変換器における変換時間(conversion time)は、変換開始命令を与えてから実際にデジタル出力を終えるまでの時間である。変換時間の代表値は高速なもので3~5[ns]、低速なもので数[ms]である。

2.3 逐次平均型ADC

図1に示すように、逐次比較型A・Dコンバータは、コ

ンパレータ(比較器)、逐次比較レジスタ(SAR)、クロック発生器の4ブロックから構成される。実際のICでは、変換動作の間入力電圧を保持するサンプル&ホールド・アンプが×に示す箇所にはいる。

変換の手順は上皿天秤を使用した計測方法と同様で、分解能が4ビットの場合、1g、2g、4g、8gといった2進数の重みづけ(バイナリウエイト)を持ったおもりを用意し、天秤の片方の皿に被測定物を乗せる。

仮に $D_3 \sim D_0$ の4ビットとすると、最も重いおもりの8gは、最も重みづけの大きいビット(MSB)の D_3 に相当し、最も軽い1gは、最も重みづけの小さいビット(LSB)の D_0 となる。

被測定物の重さを5gの変換手順を次に示す。

- ① 最も重いおもりを、もう一方の天秤皿に乗せて比較する。
この場合は、おもりの合計>被測定物なので、8gは取り去り、 D_3 ビットは'0'とする
- ② 8gの次に重い4gのおもりを天秤皿に乗せて比較する。今度は、おもり合計<被測定物なので、4gはのせたままにして D_2 ビットを'1'にする。
- ③ 4gの次に重い2gのおもりを追加(合計6g)して比較すると、おもり合計>被測定物なので、2gのおもりは取り去って D_1 ビットを'0'にする。
- ④ 最後に、一番軽いおもり1gを天秤皿に乗せて比較すると、天秤皿が平衡したので、 D_0 ビットを'1'にする。このときのおもりの合計が被測定物の重さになるので、最終的な出力データは'0101'が得られる。

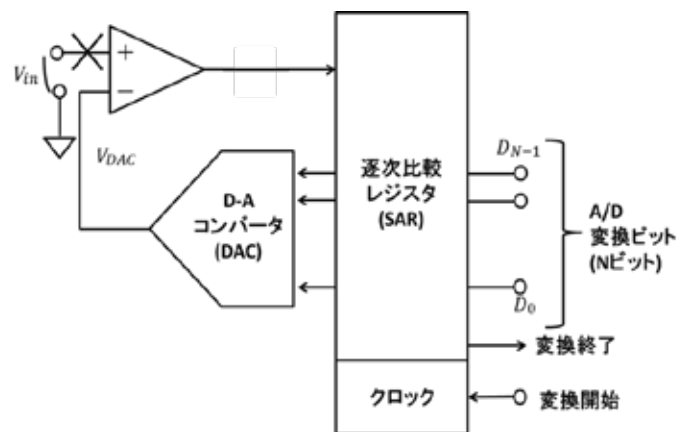


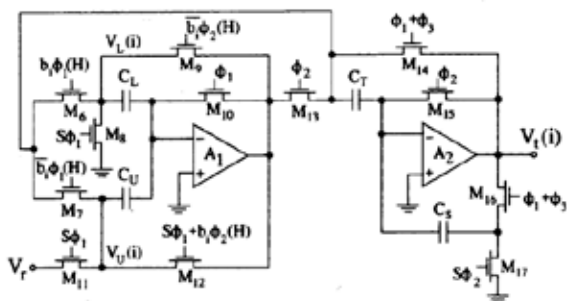
図1 逐次平均型ADCの構成

3 演算増幅器を用いた容量比に鈍感なSC逐次近似型A/D変換器

3.1 従来回路

図2に従来回路である演算増幅器を用いたSC逐次近似型A/D変換器の回路図を示す。この回路図は V_r に入力された電圧を変換し、出力する回路図である。

キャパシタの容量値は $C_U=10\text{pF}$, $C_S=10\text{pF}$, $C_T=9.95\text{pF}$, $C_S=10.05\text{pF}$, と設定する。 C_3 と C_4 は容量不整合 1% となっている。なお、分解能は 9bit である。



3.2 提案回路

図 3 今回提案する演算増幅器を用いた容量比に鈍感な SC 逐次近似型 A/D 変換器を示す。また回路のスイッチ制御は表によって行う。

3.2.1 回路構成

図 3 回路構成は
 $C_1=C_2=C_U=10[\text{pF}]$,
 $C_3=(1+\varepsilon/2) \cdot C_U$
 $C_4=(1-\varepsilon/2) \cdot C_U$,
 $\varepsilon=1[\%]$
 オペアンプの電圧増幅率 $1(A_v=1)$

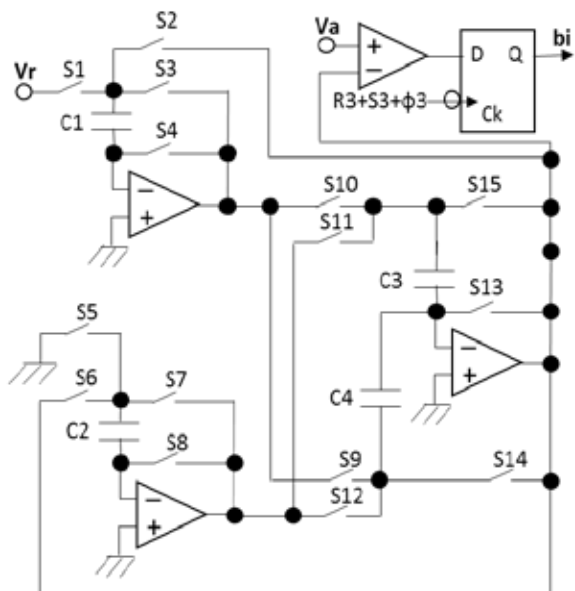


図 3 演算増幅器を用いた容量比に鈍感な逐次近似型 A/D 変換器

3.2.2 回路動作

図 3 路の動作において、表 1 に示すアルゴリズムにおける各クロック毎の回路状態と各素子の電圧などを次に示す。

- R_1 : 基準電圧 V_r が C_1 に充電され、 C_2 では接地とつながり放電される。
- R_2 : C_1 と C_2 に充電された電荷が C_4 と C_3 に転送される。
- R_3 : 基準電圧 V_r が C_1 に充電、 C_2 は放電され、 C_3 と C_4 が並列接続となり両端電圧が等しくなる。
- ϕ_1 : C_3 と C_4 の両端電圧が b_{i-1} の制御により C_1 または C_2 に転送される。
- ϕ_2 : 奇数回目では C_1 の電荷が C_4 に、 C_2 の電荷が C_3 に転送される。
偶数回目では C_1 の電荷が C_3 に、 C_2 の電荷が C_4 に転送される。
- ϕ_3 : C_3 と C_4 が並列接続となり両端電圧が等しくなる。

$\phi_1 \sim \phi_3$ を 16 回繰り返す。

- S_1 : 基準電圧 V_r が C_1 に充電され、 C_2 では接地とつながり放電される。
- S_2 : C_1 と C_2 に充電された電荷が C_3 と C_4 に転送される。
- S_3 : 基準電圧 V_r が C_1 に充電、 C_2 は放電され、 C_3 と C_4 が並列接続となり両端電圧が等しくなる。
- ϕ_1 : C_3 と C_4 の両端電圧が b_{i-1} の制御により C_1 または C_2 に転送される。
- ϕ_2 : 奇数回目では C_1 の電荷が C_4 に、 C_2 の電荷が C_3 に転送される。
偶数回目では C_1 の電荷が C_3 に、 C_2 の電荷が C_4 に転送される。
- ϕ_3 : C_3 と C_4 が並列接続となり両端電圧が等しくなる。

$\phi_1 \sim \phi_3$ を 16 回繰り返す。

4 シミュレーション結果

動作原理を確認するために、SIMetrix を用いて実験を行った。基準電圧 V_r は 1[V] に設定している。CONV1 は一度目の変換、CONV2 は二度目の変換、平均化は CONV1 と CONV2 を平均した値であり、誤差ビットは真値から平均値を引いたものである。

4.1 SIMetrix によるシミュレーション結果

誤差ビット : 0000 0000 0000 0000

$V_a=666.6565[\text{mV}]$ のとき

$V_a=666.6565[\text{mV}]$ に設定したときの波形を図 13 に示し、その時得られたビットを次に示す。図 3 において上のグラフは比較器において入力電圧と比較する電圧、中央のグラフは出力ビット、下のグラフは D-FF を動作させるクロックを示す。

CONV1 : 1010 1010 1111 0000
 CONV2 : 1010 1010 0110 0000
 平均化 : 1010 1010 1010 1000
 誤差ビット : 0000 0000 0000 0010

出力電圧 0~937.5[mV]まで 62.5[mV]刻みで測定した結果を表 2 にまとめた。

図 3 は表 2 のデータを踏まえて、縦軸を誤差ビット、横軸を出力電圧でとったグラフである。

表 1 測定結果

出力電圧[mV]	理想ビット	出力ビット	誤差ビット
0	0000 0000 0000 0000	0000 0000 0000 0000	0000 0000 0000 0000
62.5	0001 0000 0000 0000	0001 0000 0000 0000	0000 0000 0000 0000
125	0010 0000 0000 0000	0010 0000 0000 0000	0000 0000 0000 0000
187.5	0011 0000 0000 0000	0011 0000 0000 0000	0000 0000 0000 0000
250	0100 0000 0000 0000	0100 0000 0000 0000	0000 0000 0000 0000
312.5	0101 0000 0000 0000	0101 0000 0000 0001	0000 0000 0000 0001
375	0110 0000 0000 0000	0110 0000 0000 0001	0000 0000 0000 0001
437.5	0111 0000 0000 0000	0111 0000 0000 0000	0000 0000 0000 0000
500	1000 0000 0000 0000	1000 0000 0000 0000	0000 0000 0000 0000
562.5	1001 0000 0000 0000	1001 0000 0000 0000	0000 0000 0000 0000
625	1010 0000 0000 0000	1001 1111 1111 1111	0000 0000 0000 0001
687.5	1011 0000 0000 0000	1010 1010 1010 1000	0000 0000 0000 0010
750	1011 0000 0000 0000	1010 1111 1111 1111	0000 0000 0000 0001
812.5	1100 0000 0000 0000	1100 0000 0000 0000	0000 0000 0000 0000
875	1101 0000 0000 0000	1101 0000 0000 0000	0000 0000 0000 0000
937.5	1111 0000 0000 0000	1111 0000 0000 0000	0000 0000 0000 0000

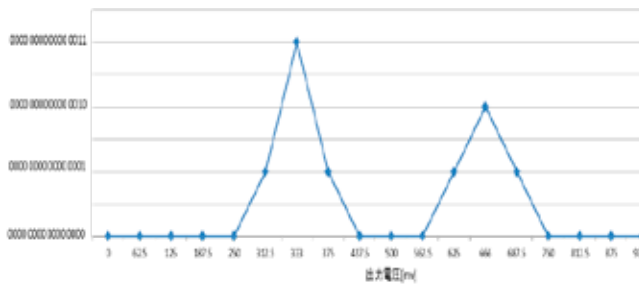


図 3 測定結果

5 考察

今回の実験回路では、容量不整合の影響で CONV1 と CONV2 の二つの試行を単体で捉えると $V_a=500[mV]$ に設定した場合には、図 12 より上位ビットから数えて 8bit までしか A/D 変換の結果が正しくないが、CONV1 と CONV2 をまとめて一つの試行と捉えそれぞれの値を平均化すれば、 $V_a=333.32825[mV]$ 、 $V_a=666.6565[mV]$ と設定した場合に、上位ビットから数えて 14bit まで A/D 変換の結果が正しくおこなわれる。このことから従来回路では分解能が 9bit であり、提案回路は容量比 1% に対して分解能が 14bit なので本回路は容量比に鈍感であると思われる。

今回、 $V_a=1000[mV]$ のデータを含んでいないのは 1000[mV] を二進数表現で表すのが不可能であり、回路の精度を上げた場合でも必ず誤差を生じるからである。

今後の課題はとして、逐次近似型の短所である変換時間をいかに短縮するかと素子数の減少が挙げられる。

6 参考論文

[1] 千原国宏 著, ‘パソコン世代の電子回路入門’, コロナ社(1991)
 [2] 菊池正典 著, ‘これならわかる電子回路’, ナツメ社(2011)
 [3] 相良岩男 著, ‘AD/DA 変換回路入門’, 日刊工業(1991)
 [4] 樋口龍雄 著, ‘アナログデジタル変換’, 日刊工業(2005)