

# 高性能サンプル・ホールド回路の設計とその応用

橋口 慎吾<sup>1)</sup>・桑原 健介<sup>1)</sup>・淡野 公一<sup>2)</sup>・外山 貴子<sup>3)</sup>

## Design of High-Performance Sample-and-Hold Circuits and Its Application

Shingo HASHIGUCHI, Kensuke KUWAHARA, Koichi TANNO, Takako TOYAMA

### Abstract

In this paper, a new sample and hold circuit (S/H circuit) using a Miller hold capacitance is proposed. In the proposed S/H circuit, operational amplifier is not used but an inverter. Therefore, very low power and very small chip area can be achieved. Furthermore, the data loss at the tracking condition in the S/H circuit is improved by using a double sampling technique with dummy MOS switches. As an application of the proposed S/H circuit, double integrating type A/D converter is designed. The circuits proposed in this paper were evaluated through Star-HSPICE simulations with 0.35 $\mu$ m CMOS devices parameters.

Key Words :

Sample and hold circuits, Miller hold capacitance, Inverter, Hold error, A/D converter

## 1. はじめに

近年、携帯電子機器の小型軽量化を実現するため、電子回路部分を1つのチップ上に集積回路として実現することが望まれている。また、低コストで1チップ化するために、ディジタル・アナログ混載LSIの実現が望まれており、CMOSアナログ集積回路の設計が必須となる。しかし、CMOSプロセスにおける微細加工技術の進歩に伴う素子の耐圧低下は著しく、そのため低い電源電圧で動作する基本回路が必要不可欠となっている[1]-[3]。ディジタル・アナログ混載LSIを実現するための重要な回路にアナログ・ディジタル変換器(A/D変換器)がある。A/D変換では、サンプル・ホールド回路(S/H回路)が必要であり、このS/H回路の誤差はそのままA/D変換器の誤差となるため、その高精度化が求められる[2]。一般的なS/H回路はスイッチとキャパシタによって構成されるが、そのS/H回路には、トラック時の追従特性とホールド特性の両立が求められる。まず、トラック時の追従特性の問題であるが、S/H回路のトラック時は、入力信号をそのまま出力することとなり、高速な信号に対しても追従することが求められる[11]。通常は、キャパシタの値を小さくすることにより追従特性を改善できる[11]。次に、ホールド特性に関してであるが、ホールド時には、入力信号の値をキャパシタに保持するわけであるが、時間が経つにつれ、保持していた電荷が放電し、入力信号と異なった値となる[11]。この特性をホールド特性

といい、キャパシタの値を大きくすることで改善できる。したがって、トラック時の信号の追従特性とホールド特性はトレードオフの関係にあり、両立は不可能とされていた[11]。この問題を克服するため、ミラーホールドキャパシタを用いたS/H回路(MC-S/H回路)が提案された[2]。しかし、MC-S/H回路は、演算増幅器が必要となり、チップ面積および消費電力の増大が避けられない[2]。

本論文では新たなMC-S/H回路を提案する。提案するMC-S/H回路では、演算増幅器の部分をCMOSインバータに置き換えた回路構成であり、演算増幅器に比べ非常に小さいチップ面積で実現でき、消費電力も低く抑えることができる。また、S/H回路のトラック時の入力データは信号処理には使用されないという問題があるが[10]、この問題に対して、ダブルサンプリング技術[3]とダミースイッチ[4]を用いて改善を試みる。最後に、提案回路の応用として、二重積分型A/D変換器を設計する。

## 2. インバータを用いたMC-S/H回路

### 2.1 ミラー効果を用いたS/H回路

S/H回路の役割はA/D変換を行う間、A/D変換器に安定なホールド電圧を供給することにある。したがって、短いアクイジョン時間と小さいホールド誤差及び小さいドループが要求される。しかし、アクイジョン時間を小さくするためにはキャパシタの値を小さくすることが必要であり、一方、ホールド誤差及びドループを小さくするためにはキャパシタの値を大きくする

<sup>1)</sup>システム工学専攻大学院生

<sup>2)</sup>電気電子工学科助教授

<sup>3)</sup>技術職員

ことが必要となる。すなわち、これらの両立は困難である。そこで、本論文では、ミラー効果を用いた S/H 回路 (MC-S/H 回路) を用いる。MC-S/H 回路は 1991 年に P.J.Lim らによって提案された回路であり、先の問題を解決する有効な手法である [2]。

## 2.2 インバータを用いた MC-S/H 回路の解析

図 1 に提案する MC-S/H 回路を示す。従来回路との違いは、演算増幅器のかわりに CMOS インバータを用いている点である。図 1 の  $M_{sn}$  及び  $M_{cn}$  が ON の時、提案回路はサンプル状態になり、そのときの等価回路は図 2(a) になる。従って、全容量  $C_{sample}$  は、次式で与えられる [2]。

$$\begin{aligned} C_{sample} &= (C_1 + C_2) / (C_{1B} + C_{2B}) \\ &= \frac{(C_1 + C_2)(C_{1B} + C_{2B})}{C_1 + C_2 + C_{1B} + C_{2B}} \\ &\approx C_{1B} + C_{2B} \end{aligned} \quad (1)$$

ここで  $C_1$  及び  $C_2$  は比較的小きな値に設定するため  $C_{sample}$  は、小さな値となる。

次に、 $M_{sn}$  及び  $M_{cn}$  が OFF の時、CMOS インバータは反転増幅器として動作し、その時の等価回路は図 2(b) になる。ここで、 $C_1$  は CMOS インバータによるミラー効果のため、大きな値の容量となり、この容量を  $C'_1$  とする。

今、 $C_{1B}$  に比べて CMOS インバータの出力インピーダンスが十分低いと仮定すると、 $C_1$  を流れていた電流  $i$  は CMOS インバータへ流れ込むので、以下の等式が得られる [2]。

$$i_1 = SC_1(V_{in} + AV_a) \quad (2)$$

$$V_a = \frac{C_2}{C_2 + C_{2B}} V_{in} \quad (3)$$

$$C'_1 = \frac{C_1 C_2 (A + 1) + C_1 C_{2B}}{C_2 + C_{2B}} \quad (4)$$

全容量  $C_{hold}$  は

$$\begin{aligned} C_{hold} &= \frac{C_1 C_2 (A + 1) + C_{2B} (C_1 + C_2)}{C_2 + C_{2B}} \\ &\approx C_1 (A + 1) \end{aligned} \quad (5)$$

となる。ここで CMOS インバータ図 1 の利得 A は、小信号等価回路から

$$A = \frac{(g_{mn} - g_{mp}) r_n r_p}{r_n + r_p} \quad (6)$$

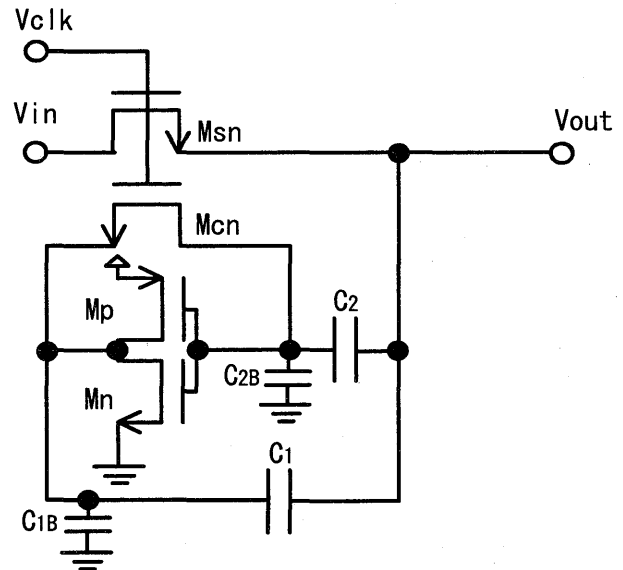
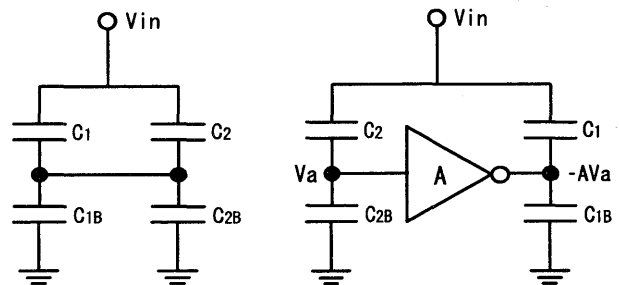


図 1 CMOS インバータを用いた MC-S/H 回路



(a) サンプル時の等価容量

(b) ホールド時の等価容量

図 2 等価容量

と求められる。式 (6) を式 (5) に代入すると、

$$\begin{aligned} C_{hold} &= \frac{C_1 C_2 \left\{ \frac{(g_{mn} - g_{mp}) r_n r_p}{r_n + r_p} + 1 \right\} + C_{2B} (C_1 + C_2)}{C_2 + C_{2B}} \\ &\approx C_1 \frac{(g_{mn} - g_{mp}) r_n r_p}{r_n + r_p} \end{aligned} \quad (7)$$

が得られる。従って、ホールド時の容量はミラー効果によって極めて大きな値となっていることがわかる。以上から、サンプル時には小さな値の容量を、ホールド時には大きな値の容量を実現でき、理想に近い特性を得ることができる。

## 3. ダブルサンプリング技術

### 3.1 サンプル時のデータの損失

一般的な S/H 回路の問題として、サンプル時のデータの損失がある。サンプル時の追尾特性は S/H 回路で必要不可欠であるが、その追尾時間がデータの損失になる。このサンプル時のデータの損失を防ぐことによ

り、次段へのデータ量が増加し、さらにデータが正確になり特性の改善になる [3]. そこで、MC-S/H回路を2個用いて、常に出力信号をホールド状態にし、データの損失を防ぐ。この回路構成をダブルS/H回路と今後呼んでいく。図中のMC-S/H回路に二相クロックで入力し回路を動作させ、MC-S/H1,MC-S/H2に交互にホールド時の電圧を出力させる。このときスイッチ  $M_{sw1,2}$  は交互にホールド時の電圧を出力させるための制御スイッチである。しかし、ここの制御スイッチを用いることによりクロックフィードスルー、チャネルチャージインジェクションというスイッチ固有の問題が発生する [4]. これらはホールド誤差に非常に影響を及ぼす。そこで、スイッチ固有の問題を解決し、特性の改善を行う。

### 3.2 ダブルサンプリング技術の適用

#### [チャネルチャージインジェクション]

図3のMOSスイッチがオンしているとき、チャネルはシリコンと酸化膜の境界に形成される。このとき、 $V_{IN} = V_{OUT}$ と仮定すると、反転層内の総電荷  $Q_{ch}$  は次式で表される [4].

$$Q_{ch} = WLC_{ox}(V_{CLK} - V_{IN} - V_{TH}) \quad (8)$$

MOSスイッチがオンからオフに切り替わる瞬間、電荷  $Q_{ch}$  はソースとドレイン端子に抜ける。このとき、入力端子側に注入される電荷は入力源により吸収され誤差にならない。しかし、出力側 ( $C_H$  側) に注入される電荷は  $C_H$  に蓄積され、これがホールド誤差として現れる。ソースとドレイン端子を通して排出される電荷の一部は様々なパラメータの複雑な関数となるが、これらパラメータのどの項目が電荷の分割に寄与するかを未だ明らかにされていない。よって、本論文ではチャネル電荷は1/2づつ分割されるものと仮定する。

#### [クロックフィードスルー]

MOSスイッチではゲート-ドレインまたはゲート-ソースのオーバーラップ容量を通してサンプリング容量へクロックの変化が漏れ出す。これにより、サンプリングされた出力電圧に誤差が発生する。オーバーラップ容量が一定だと仮定すると、誤差  $\Delta V$  は次式になる [4].

$$\Delta V = V_{CLK} \frac{WC_{ov}}{WC_{ov} + C_H} \quad (9)$$

ここで、 $C_{ov}$  は単位ゲート幅あたりのオーバーラップ容量である。式9より、 $\Delta V$  は入力信号に依存しないこ

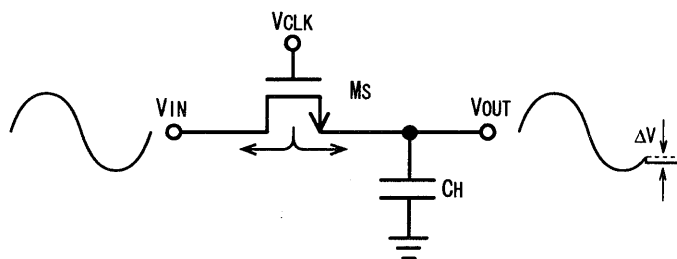


図3 チャネルチャージインジェクションの影響

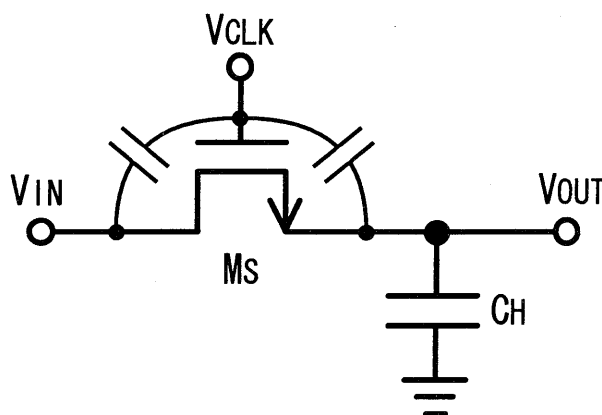


図4 クロックフィードスルー

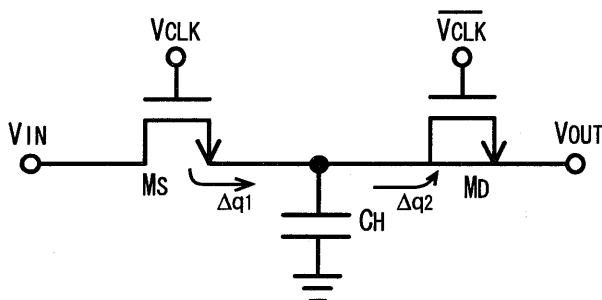


図5 ダミースイッチ

とが分かる。よって、この誤差は一定のオフセットとして現れる [3].

#### [ダミースイッチ]

図5に示すように  $V_{CLK}$  で駆動されるダミースイッチ  $M_D$  を回路に付加し、サンプリングスイッチで生じるチャネルチャージインジェクションをダミースイッチで相殺する方法である [4]. ここで、 $M_D$  のソースとドレインは出力ノードに接続し、 $M_S$  をオフした後で  $M_D$  をオンする。これにより、 $M_S$  から  $C_H$  に注入されたチャネルの電荷は  $M_D$  に形成されるチャネルにより吸収される。 $M_S$  のチャネル電荷の1/2が  $C_H$  に注入されると仮定すると、注入される電荷  $\Delta q_S$  は

$$\Delta q_S = \frac{W_S L_S C_{ox}}{2} (V_{CLK} - V_{IN} - V_{THS}) \quad (10)$$

となる。また、 $M_D$  により吸収される電荷  $\Delta q_D$  は

$$\Delta q_D = W_D L_D C_{ox} (V_{CLK} - V_{IN} - V_{THD}) \quad (11)$$

であるから,  $W_D = 0.5W_S$  および  $L_S = L_D$  とすれば  $\Delta q_D = \Delta q_S$  となる. また, このように設計することで式9より,

$$V_{CLK} \frac{W_S C_{ov}}{W_S C_{ov} + C_H + 2W_D C_{ov}} = V_{CLK} \frac{2W_D C_{ov}}{W_S C_{ov} + C_H + 2W_D C_{ov}} \quad (12)$$

となり, 図5に示すようにクロックフィードスルーの影響を抑圧できる.

### 3.3 ダブル S/H 回路

チャネルチャージインジェクション, クロックフィードスルーの影響を抑圧した回路構成を図6に示す. ダミースイッチ  $M_{dummy1,2}$  を図6のように配置することにより, スイッチ  $M_{sw1,2}$  から MC-S/H 回路1,2のキャパシタへの影響を抑制される. このことよりスイッチ固有の問題であったホールド誤差を, ダミースイッチを用いて改善し特性の改善をすることができる [3].

## 4. シミュレーション結果

### 4.1 特性評価

提案する MC-S/H 回路と基本的な S/H 回路の特性比較を行うため, HSPICE によるシミュレーションを行った. 基本的な S/H 回路の設計値を表1に, 提案回路の設計値を表2に解析条件を表3に示す ( $W/L$  はチャネル幅/チャネル長を表す). 図7, 図8, 図9に, 入力信号の周波数に対するアキュイジョン時間, ドループ量, ホールド誤差を示す. 図7より, 低周波におけるアキュイジョン時間の短縮化が図られていることが分かる. また, 図8から, 10MHz までにおいてはホールド誤差を 1/5 程度に抑えることができることがわかる. さらに, 図9から, ドループ量は 1MHz 程度までは従来回路とほぼ同じ値であることが分かる. 以上より, アキュイジョン時間とホールド誤差において大幅な改善が見られた.

### 4.2 ダブル S/H 回路の特性評価

提案回路を用いたダブル S/H 回路の特性を評価する. 先ほどと同様に総容量 0.8pF とし, ここで用いた提案回路の設計値を表4に, 解析条件を表5に示す. 評価方法として, S/H 回路1段のみの基本的な S/H 回路とダブルサンプリング技術を用いない MC-S/H 回路, ダブルサンプリング技術を用いた MC-S/H 回路と

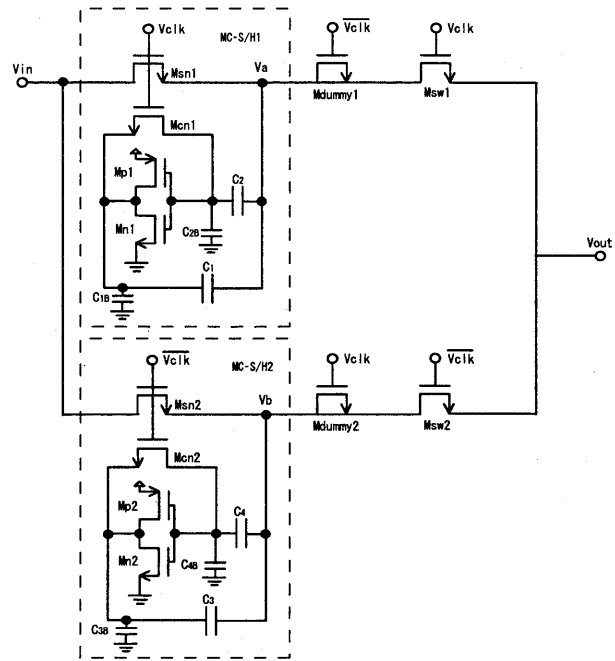


図6 ダミースイッチを用いたダブル S/H 回路

表1 基本的な S/H 回路のデバイスパラメータ

$M_1$ の $W/L$	10/0.5 [ $\mu\text{m}/\mu\text{m}$ ]
$C_{hold}$	0.8 [pF]

表2 提案回路のデバイスパラメータ

$M_{sn}$	10/0.5 [ $\mu\text{m}/\mu\text{m}$ ]
$M_{cn}$	3/0.5 [ $\mu\text{m}/\mu\text{m}$ ]
$C_1$	0.1 [pF]
$C_2$	0.7 [pF]
$M_p$ の $W/L$	4/0.5 [ $\mu\text{m}/\mu\text{m}$ ]
$M_n$ の $W/L$	4/0.5 [ $\mu\text{m}/\mu\text{m}$ ]

表3 解析条件

$V_{DD}$	1.5 [V]
$V_{CLK}$ の周波数	100[Hz]~100[MHz]
$V_{in}$ の周波数	10[Hz]~10[MHz]
$V_{in}$	0.2 [ $V_{p-p}$ ]
$V_B$	0.5 [V]

の比較を行う. 又, ダミースイッチの有用性を確かめるためダブルサンプリング技術を用いた MC-S/H 回路においてダミースイッチ有りとなしとの特性も同時に

比較している。比較評価のためすべての解析条件を同一にしている。図 10 にダブルサンプリング技術を用いた MC-S/H 回路のシミュレーションを、特性比較を表 6 に示す。

表 6 よりアキュイジション時間はダブルサンプリング技術を用いることにより、制御スイッチが必要となり応答速度が悪くなっている。さらにダミースイッチを用いることにより応答速度が遅くなる。ホールド誤差はダミースイッチを用いることにより、ダミースイッチがない場合に比べ約 1/5 倍に誤差を低減することができた。また、シングルの MC-S/H 回路と比べてほぼ同じ値を得られたので、ダミースイッチの有用性が確認できる。ドループ量はダブルサンプリング技術を用いることにより約 1/2 倍に低減することができた。

これらのことよりダブルサンプリング技術とダミースイッチを用いることにより、大幅に特性を劣化させることなく、データの低損失化を実現できた。

### 5. 二重積分型 A/D 変換器の応用

二重積分型 A/D 変換器では、先に述べた提案回路で取り出した直流電圧を用い A/D 変換を行う。測定開始が開始するとまず、スイッチ 1 がオンするスイッチ 2 がオフすると、入力電圧  $V_i$  の積分が始まる。同時にカウンタ 1(一定時間測定器)でクロックパルス  $V_{clk}$  を数え始め、あらかじめ定めた計数值  $N_1$  に達した瞬間にスイッチ 1 がオフするスイッチ 2 がオンにする。引き続き入力と逆極性の基準電圧  $V_{ref}$  を積分するので、積分器の出力電圧はある時間後に 0 となる。スイッチ 2 をオンした瞬間から再び 0 電圧になるまでの間、クロックパルス  $V_{clk}$  をカウンタ 2 によって数えると、入力電圧に比例したデジタル値が得られる。停止信号 STOP は、コンパレータによって得る [5],[6],[10],[11]. クロック間隔を  $T_a$  とすると

$$\begin{aligned}
 V_o &= \frac{1}{CR} \left( \int_0^{N_1 T_a} V_i dt - \int_{N_1 T_a}^{(N_1+N_2)T_a} V_{ref} dt \right) \\
 &= \frac{V_i N_1 - V_r N_2}{CR} T_a \\
 &= 0
 \end{aligned}
 \tag{13}$$

したがって

$$\frac{N_2}{N_1} = \frac{N_2}{N_1}
 \tag{14}$$

となり、入力電圧と基準電圧の比が計数值の比として得られる。C, R,  $T_a$  は、変換時間中のみ一定であればよいので基準電圧を除いて部品に依存せずデジタル

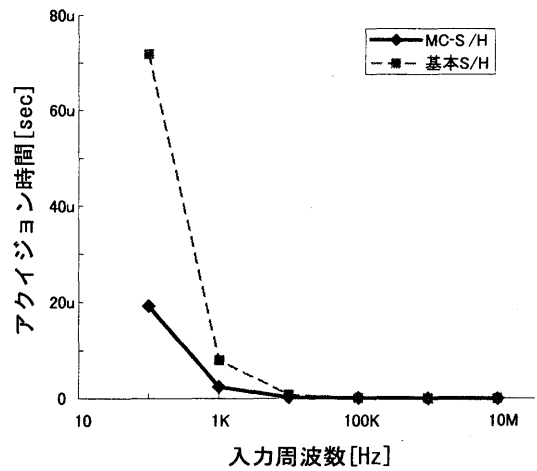


図 7 入力信号周波数の変化に対するアキュイジション時間の変化

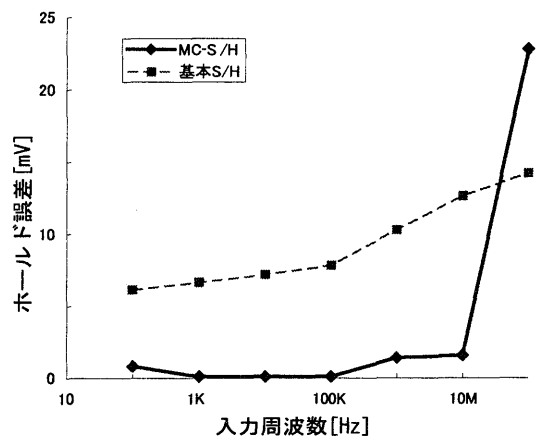


図 8 入力信号周波数の変化に対するホールド誤差の変化

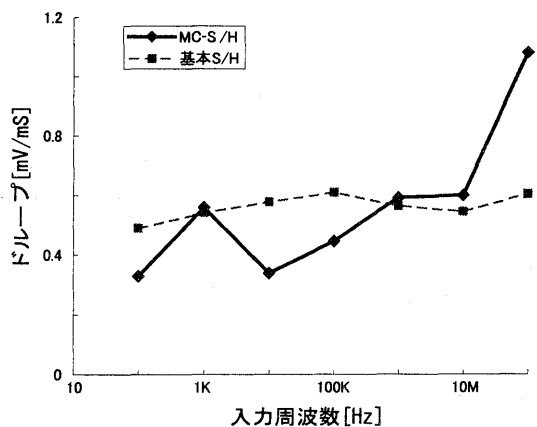


図 9 入力信号周波数の変化に対するドループ量の変化

ル値がえられていることになる。部品と回路定数の選択を注意深く行くと、20 ビットをこえる分解能を単調性を得ることもできる。積分形 A/D 変換器のこのような特徴を生かして、表面筋電位測定用の A/D 変換器を設計する。

### 5.1 ミラー効果を用いた二重積分型 A/D 変換器

図 11 に一般的な積分器を示す。二重積分型 A/D 変換器では、抵抗とキャパシタの値が大きくなり外付けになってしまう。さらに、第一の積分区間の時間に依存した精度(出力データ)となってしまう。

そこで図 12 のように積分器のキャパシタにミラー効果を用いることによりキャパシタの大きさを仮想的に大きくし、外付けを抵抗のみにする。提案回路と同様にミラー効果を用いるために CMOS インバータを使用している。さらに CMOS インバータを  $-1.5 \sim 0V$  で動作させることにより、第一の積分区間ではミラー効果を用いず通常のキャパシタの大きさとして高速に積分し、第二の積分区間ではミラー効果を用いて仮想的にキャパシタを大きくし、積分器の出力波形の傾きを緩やかにすることができる。この結果、精度の向上へつながる。

### 5.2 シミュレーション結果

ここでは、ミラー効果を積分器に用いることによる特性改善の評価を行う。図 13 に通常の二重積分型 A/D 変換器、図 14 にミラー効果を用いた二重積分型 A/D 変換器の入力信号波形と積分器の出力波形を示す。図 13 と図 14 を比較すると第一の積分区間では同じ傾きに、第二の積分区間で図 14 が緩やかな傾きになっていることが分かる。このことより、第二の積分区間にミラー効果によって積分器のキャパシタが仮想的に大きくなり、特性改善されていることが分かる。また図 15 に、ミラー効果を用いた積分器及びミラー効果を用いていない積分器の容量の大きさに対する傾きを示す。図 15 より、ミラー効果を用いた積分器の傾きは、ミラー効果を用いていない積分器の傾きと比べて約 1/5 倍になっていることが分かる。このことよりミラー効果を用いた場合、キャパシタが仮想的に大きくなり傾きを緩やかにし、精度が良くなっていることが分かる。これらのことよりミラー効果を用いた積分器では、第一の積分区間では同じキャパシタのミラー効果を用いていない積分器と同じ特性をもっていることが分かった。また、第二の積分区間には、前節で説明したようにミラー効果を用いることで傾きが約 1/5 倍になり、精度を向上させていることが分かった。二重積分型 A/D 変換器にミラー効果を用いることにより、ミラー効果を用いない場合に比べて、デジタル出力が 8 ビットから 11 ビットになり、精度が向上することが分かった。さらに 4 章の結果同様、CMOS インバータを用いた MC-S/H 回路を用いることにより、基本的な S/H 回路に比べて誤差が小さくなり、精度が向上した。

表 4 ダブル S/H 回路のデバイスパラメータ

$M_{sn}$	1/0.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_{cn}$	1/0.5[ $\mu\text{m}/\mu\text{m}$ ]
$C_1$	0.3 [pF]
$C_2$	0.5 [pF]
$M_p$ の W/L	80/0.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_n$ の W/L	80/0.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_{sw1}$ の W/L	1/2.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_{sw2}$ の W/L	1/2.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_{dummy1}$ の W/L	2.5/0.5[ $\mu\text{m}/\mu\text{m}$ ]
$M_{dummy2}$ の W/L	2.5/0.5[ $\mu\text{m}/\mu\text{m}$ ]

表 5 解析条件

$V_{DD}$	1.5 [V]
$V_{CLK}$ の周波数	25.0 [KHz]
$V_{in}$ の周波数	10.0 [KHz]
$V_{in}$	0.2 [V <sub>p-p</sub> ]
$V_B$	0.5 [V]

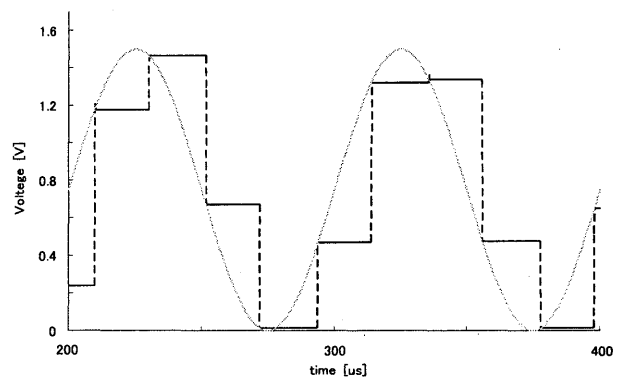


図 10 MC-S/H 回路を用いたダブル S/H 回路

表 6 シミュレーション結果

S/H 回路	アキュイジション時間	ホールド誤差	ドループ特性
基本形	0.128[ $\mu\text{s}$ ]	1.50[ $\mu\text{V}$ ]	8.45[mV/sec]
MC-S/H 回路	0.088[ $\mu\text{s}$ ]	0.43[ $\mu\text{V}$ ]	2.79[mV/sec]
ダミースイッチ無	0.096[ $\mu\text{s}$ ]	2.72[ $\mu\text{V}$ ]	1.23[mV/sec]
ダミースイッチ有	0.160[ $\mu\text{s}$ ]	0.48[ $\mu\text{V}$ ]	1.12[mV/sec]

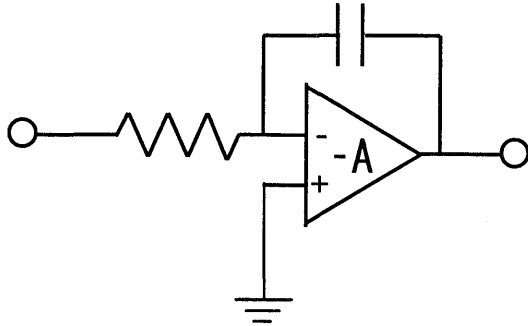


図 11 積分器

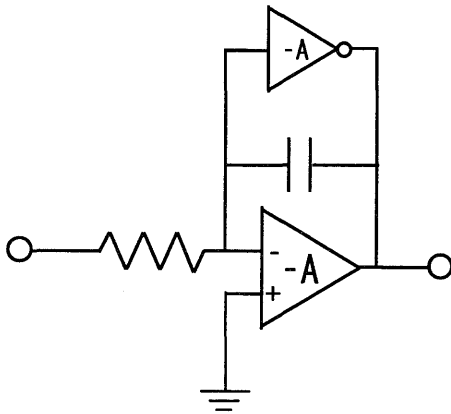


図 12 積分器 (ミラー効果有り)

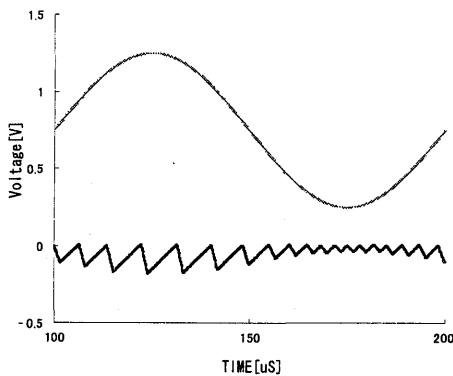


図 13 積分器ミラー効果無し

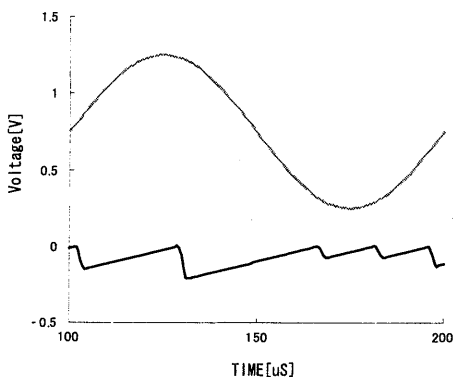


図 14 積分器ミラー効果有り

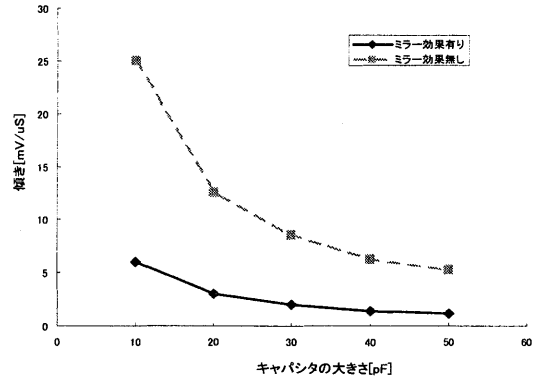


図 15 積分器ミラー効果特性比較

## 6. まとめ

本論文では、インバータを用いた MC-S/H 回路を提案し、小チップ面積、低消費電力を実現した。さらに、ダブルサンプリング技術の制御スイッチで発生する誤差を、ダミースイッチを用いて低減が可能であることを確認した。また、応用回路として、二重積分型 A/D 変換器を設計し、提案回路の有用性を確認した。今後の課題は提案回路のチップ試作およびその評価である。

## 参考文献

- [1] P. R. グレイ, R. G. メイヤー, “超 LSI もためのアナログ集積回路設計技術”, 培風館, 1990 年.
- [2] P. J. Lim, and B. A. Wooley, “A High-Speed Sample-and-Hold Technique Using a Miller Capacitance,” *IEEE Journal of Solid-State Circuits*, vol. 26, no. 4, pp. 643–651, April 1991.
- [3] T. S. Lee, C. C. Lu, “Design techniques for low-voltage high-speed pseudo-differential CMOS track-and-hold circuit with low hold pedestal,” *Electronics. Letter.*, vol. 40, no. 9, Apr. 2004.
- [4] B. Razavi, “Design of analog CMOS integrated circuits,” *McGraw-Hill Education*, 2001.
- [5] 鈴木 隆 著, “トランジスタ技術 SPECIAL no.16”, CQ 出版社, 1989 年.
- [6] 岡山 努 著, “アナログ電子回路設計入門”, コロナ社, 1996 年 11 月.
- [7] 江川 英晴 鈴木 八十二 著, “CMOS 応用回路設計ハンドブック”, 日刊工業新聞社, 1985 年 8 月.
- [8] 高木 茂孝 小林 隆夫 著, “デジタル集積回路入門”, 昭晃堂, 2000 年 5 月.
- [9] 浜辺 隆二 著, “論理回路入門”, 森北出版株式会社, 2001 年 2 月.
- [10] 長谷川 弘 著, “アナ/デジ混在回路設計の勘どころ”, 日刊工業新聞社, 2001 年 10 月.
- [11] 米山 寿一 著, “A/D コンバータ入門”, オーム社, 1992 年.