

# スイッチドボルテージ低電圧サンプルホールド回路

大野 憲司<sup>1)</sup>・松本 寛樹<sup>2)</sup>・村尾 健次<sup>3)</sup>

## Switched-Voltage low-voltage Sample/Hold Circuit

Kenji OHNO, Hiroki MATSUMOTO, Kenji MURAO

### Abstract

In this paper, switched-voltage (SV) sample/hold (S/H) circuit is presented for low voltage operation. The circuit consists of a CMOS SV-delay cell. Thus, the configuration is very simple. The proposed circuit can operate using simple nonoverlapping two phase clocks. Performance is verified by simulations on PSpice and using discrete components.

### Keywords:

switched-voltage, sample/hold, low voltage, clock feedthrough, channel-length modulation effect

## 1 まえがき

スイッチドボルテージ (SV) 技術は、最近のスイッチトカレント (SI) 技術に匹敵し、アナログとデジタルの混合 VLSI の進むべき方向を示した比較的新しいアナログサンプルデータ信号処理技術である。従来のスイッチトキャパシタ (SC) 技術と SI 技術は広範囲に渡って混在型アナログデジタルインターフェース部に用いられている。しかしながら、SC 技術はコンデンサを使用するためデジタル CMOS 技術で製造できない。SI 技術は線形な電圧-電流、電流-電圧変換器を必要とする。この SC と SI のインターフェース回路の問題点を克服するために SV 技術が提案された [1]。現在、低電圧動作の AD 変換器 (ADC) や SV フィルタ (SVF) を集積化するために、サンプル/ホールド (S/H) 回路の低電圧動作が要求される。この論文では低電源電圧化したエンハンスメント MOSFET 素子のみによって構成した SV-S/H 回路を提案する。次章以降は提案回路で PSpice シミュレーション、個別部品による試作により動作確認を行い比較、検討した。

## 2 スイッチドボルテージ低電圧サンプルホールド回路

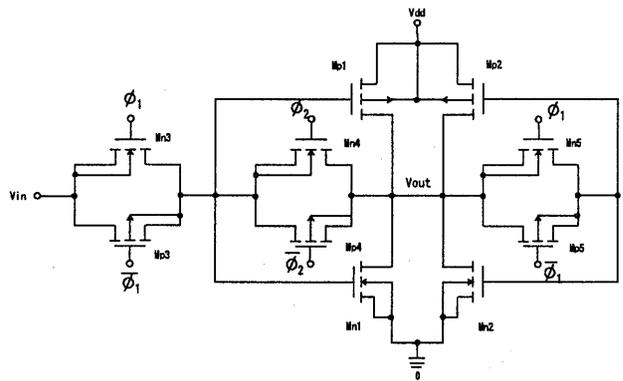


図 1: スイッチドボルテージ低電圧サンプルホールド回路

提案回路は n チャネル MOSFET5 個と p チャネル MOSFET5 個で構成され、 $\phi_1, \phi_2$  は互いに重なり合わない 2 相クロックで動作する。提案回路は nMOS と pMOS の飽和領域の違いを利用し、 $M_{n1}$  が飽和し動作するとき、 $M_{p1}, M_{n2}$  は動作せず  $M_{p2}$  が動作する。他方、 $M_{n2}$  が飽和し動作するとき、 $M_{p2}, M_{n1}$  が動作せずに  $M_{p1}$  が動作する。

1) 大学院工学研究科システム工学専攻  
2) 電気電子工学科助教授  
3) 電気電子工学科教授

### 2.1 動作原理

この回路を飽和領域での2乗則を用いて解く。  
 まず、 $\phi_1$ 相では、スイッチ3と5が閉じた状態になり、  
 スイッチ4が開いた状態になる。回路図は図2になる。

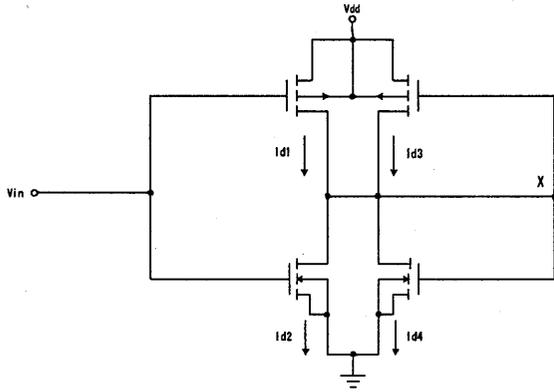


図2:  $\Phi 1$ 時の二乗則

nMOS,pMOSの各ドレイン電流  $I_{dn}$  は、飽和領域での2乗則より

$$I_{d1} = K \frac{W}{L} (V_{dd} - V_{in} - V_T)^2 \quad (1)$$

$$I_{d2} = K \frac{W}{L} (V_{in} - V_{ss} - V_T)^2 \quad (2)$$

$$I_{d3} = K \frac{W}{L} (V_{dd} - X - V_T)^2 \quad (3)$$

$$I_{d4} = K \frac{W}{L} (X - V_T)^2 \quad (4)$$

となる。上式において、しきい値  $V_T$  やトランスコンダクタンス係数  $K$ 、チャネル幅  $W$ 、チャネル長  $L$  はすべて等しいとする。

$$I_{d2} = I_{d3} \quad (5)$$

となるので式(14)(15)より

$$\frac{W}{L} (V_{in} - V_{ss} - V_T)^2 = K \frac{W}{L} (V_{dd} - X - V_T)^2 \quad (6)$$

これを計算すると

$$X = V_{dd} + V_{ss} - V_{in} \quad (7)$$

が得られる。

次に、 $\phi_2$ 相では、スイッチ4が閉じた状態となり、  
 スイッチ3と5が開いた状態となる。回路図は図3と  
 なる。

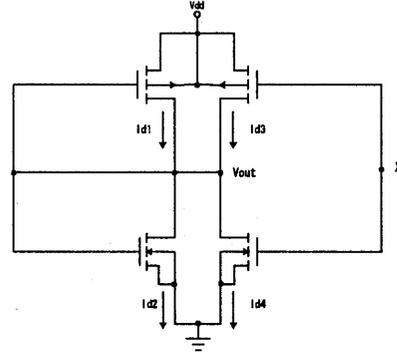


図3:  $\Phi 2$ 時の二乗則

$\phi_1$ 時と同様に、nMOS,pMOSの各ドレイン電流  $I_{dn}$  は、飽和領域での2乗則より

$$I_{d1} = K \frac{W}{L} (V_{dd} - V_{out} - V_T)^2 \quad (8)$$

$$I_{d2} = K \frac{W}{L} (V_{out} - V_{ss} - V_T)^2 \quad (9)$$

$$I_{d3} = K \frac{W}{L} (V_{dd} - X - V_T)^2 \quad (10)$$

$$I_{d4} = K \frac{W}{L} (X - V_T)^2 \quad (11)$$

ここで、 $\phi_1$ と同様に、

$$I_{d2} = I_{d3} \quad (12)$$

となる。

$$K \frac{W}{L} (V_{out} - V_{ss} - V_T)^2 = K \frac{W}{L} (V_{dd} - X - V_T)^2 \quad (13)$$

よって

$$V_{out} = V_{dd} + V_{ss} - X \quad (14)$$

となる。よって式(19)より

$$V_{in} = V_{out} \quad (15)$$

入力電圧がホールドされ動作が確認された。

### 2.2 動作領域

次にこの回路の  $V_{in}$  の動作領域を調べる。

$M_2$ が飽和するためには、 $V_{in} = Y$ とおくと、nMOSが飽和する条件より

$$\begin{aligned} V_{dd} - Y &> Y - V_T \\ Y &< \frac{V_{dd} + V_T}{2} \end{aligned} \quad (16)$$

同様に、 $M_1$  が飽和するためには、 $V_{in} = Y$  とおくと、pMOS が飽和する条件より

$$\begin{aligned} V_{dd} - (V_{dd} - Y) &> (V_{dd} - Y) - V_T \\ Y &> \frac{V_{dd} - V_T}{2} \end{aligned} \quad (17)$$

よってこの回路の動作領域は

$$\frac{V_{dd} - V_T}{2} \leq V_{in} \leq \frac{V_{dd} + V_T}{2} \quad (18)$$

となることがわかる。

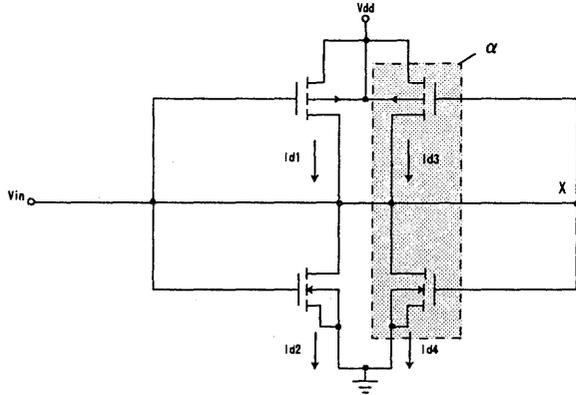


図 4: 動作範囲

ここで、MOSFET の比を図 4 のように 1 対  $\alpha$ 、 $V_{ss}$  を接地とし、pMOS、nMOS のトランスコンダクタンス係数、しきい値をそれぞれ  $k_p$ 、 $k_n$ 、 $V_{Tn}$ 、 $V_{Tp}$  とすると  $V_{in}$  の動作範囲は

$$I_{d3} = K_p \frac{W}{L} (V_{dd} - X - V_{Tp})^2 \quad (19)$$

$$I_{d2} = K_n \frac{W}{L} (V_{in} - V_{Tn})^2 \quad (20)$$

より

$$\alpha K_p (V_{dd} - X - V_{Tp})^2 = K_n (V_{in} - V_{Tn})^2 \quad (21)$$

$$\sqrt{\alpha K_p} (V_{dd} - X - V_{Tp})^2 = \sqrt{K_n} (V_{in} - V_{Tn})^2 \quad (22)$$

上式を変形すると

$$X = V_{dd} - V_{Tp} - \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} (V_{in} - V_{Tn}) \quad (23)$$

ここで  $X = V_{in} - V_{Tn}$  とおくと

式 (23) は

$$V_{in} - V_{Tn} = V_{dd} - V_{Tp} + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} (V_{Tn} - V_{in}) \quad (24)$$

$$V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n} V_{Tn}}{\sqrt{\alpha K_p}} = (1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}}) V_{in} \quad (25)$$

よって

$$V_{in} = \frac{V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} V_{Tn}}{(1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}})} \quad (26)$$

という結果になる。

同様に、

$$\begin{aligned} K_p \frac{W}{L} (V_{dd} - V_{in} - V_{Tp})^2 &= \alpha K_n \frac{W}{L} (X - V_{Tn})^2 \\ \sqrt{K_p} (V_{dd} - V_{in} - V_{Tp}) &= \sqrt{\alpha K_n} (X - V_{Tn}) \end{aligned} \quad (27)$$

ここで  $X = V_{in} + V_{Tp}$  とおくと

$$V_{Tn} + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}} (V_{dd} - V_{in} - V_{Tp}) = V_{in} + V_{Tp} \quad (28)$$

変形すると

$$V_{in} = \frac{V_{Tn} - V_{Tp} + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}} (V_{dd} - V_{Tp})}{1 + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}}} \quad (29)$$

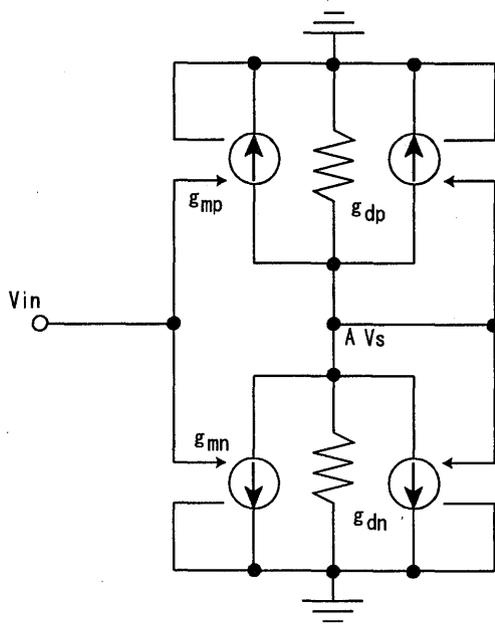
となる。

よって  $V_{in}$  の動作範囲は

$$\begin{aligned} \frac{V_{Tn} - V_{Tp} + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}} (V_{dd} - V_{Tp})}{1 + \frac{\sqrt{K_p}}{\sqrt{\alpha K_n}}} &< V_{in} < \\ \frac{V_{dd} - V_{Tp} + V_{Tn} + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}} V_{Tn}}{(1 + \frac{\sqrt{K_n}}{\sqrt{\alpha K_p}})} \end{aligned} \quad (30)$$

となる。

この式より、 $\alpha$  が大きいほど、 $V_{in}$  の動作範囲が広がることを解る。

図 5:  $\Phi 1$  時の小信号等価回路

### 2.3 小信号等価回路

小信号等価回路を用いて提案回路を解く。 $\phi_1$  相では図 5 となる。

図 5 で示すように nMOS, pMOS の各伝達コンダクタンスを  $g_{mn}, g_{mp}$  とし、各ドレイン抵抗を  $g_{dn}, g_{dp}$  とした。ここで提案回路をキルヒホッフの電流則を用いて、A 点における節点方程式を解くと、

$$g_{mn}V_{in} + \alpha^2 g_{mn}V_s + (g_{dn} + \alpha^2 g_{dp})V_s + g_{mp}V_{in} + \alpha^2 g_{mp}V_s + (g_{dn} + \alpha^2 g_{dp})V_s = 0 \quad (31)$$

となる。これを整理して

$$(g_{mp} + g_{mn})V_{in} + [\alpha^2(g_{mn} + g_{mp}) + 2(g_{dn} + \alpha^2 g_{dp})]V_s = 0 \quad (32)$$

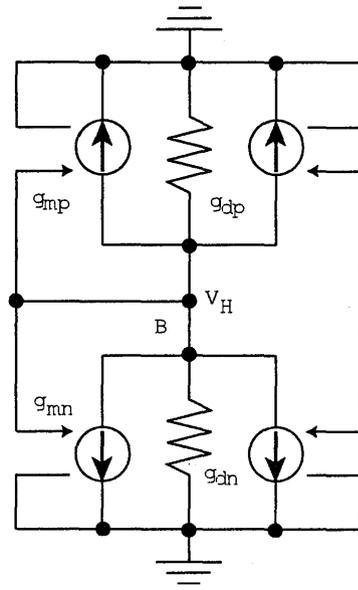
$$V_s = -\frac{g_{mp} + g_{mn}}{\alpha^2(g_{mn} + g_{mp}) + 2(g_{dn} + \alpha^2 g_{dp})}V_{in} \quad (33)$$

が得られる。

次に  $\phi_2$  相の時を考える。 $\phi_2$  相では回路図は図 6 となる。

ここで  $\phi_1$  時と同様にキルヒホッフの電流則を用いて節点方程式を解く。B 点において

$$g_{mn}V_H + (g_{dn} + \alpha^2 g_{dp})V_H + \alpha^2 g_{mn}(V_s - \frac{1}{\alpha^2}V_f) + g_{mp}V_H + (g_{dn} + \alpha^2 g_{dp})V_H + \alpha^2 g_{mp}(V_s - \frac{1}{\alpha^2}V_f) = 0 \quad (34)$$

図 6:  $\Phi 2$  時の小信号等価回路

となる。これを整理すると

$$V_H(2g_{dn} + 2\alpha^2 g_{dp} + g_{mp} + g_{mn}) + \alpha^2(g_{mn} + g_{mp})(V_s - \frac{1}{\alpha^2}V_f) = 0 \quad (35)$$

$$V_H = -\frac{\alpha^2(g_{mn} + g_{mp})(V_s - \frac{1}{\alpha^2}V_f)}{2g_{dn} + 2\alpha^2 g_{dp} + g_{mp} + g_{mn}} = -\frac{\alpha^2(g_{mn} + g_{mp})}{2(g_{dn} + \alpha^2 g_{dp}) + g_{mp} + g_{mn}}V_s + \frac{g_{mn} + g_{mp}}{2(g_{dn} + \alpha^2 g_{dp}) + g_{mp} + g_{mn}}V_f \quad (36)$$

となる。

ここで、式 (36) に  $\phi_1$  時での  $V_s$  を代入すると

$$V_H = \frac{\alpha^2(g_{mn} + g_{mp})}{2[(g_{dn} + \alpha^2 g_{dp}) + g_{mn} + g_{mp}] + \alpha^2(g_{mn} + g_{mp}) + 2(g_{dn} + \alpha^2 g_{dp})}V_{in} + \frac{g_{mn} + g_{mp}}{2(g_{dn} + \alpha^2 g_{dp}) + g_{mn} + g_{mp}}V_f$$

となる。

このとき、 $g_{mn} + g_{mp} = X, g_{dn} + \alpha^2 g_{dp} = Y$  とおくと上式は

$$V_H = \frac{\alpha^2 X^2}{(X + 2Y)(\alpha^2 X + 2Y)}V_{in} + \frac{X}{X + 2Y}V_f \quad (37)$$

となり、変形すると

$$V_H = [1 - \frac{(X + 2Y)(\alpha^2 X + 2Y) - \alpha^2 X^2}{(X + 2Y)(\alpha^2 X + 2Y)}]V_{in} + \frac{X}{X + 2Y}V_f = (1 - \epsilon_g)V_{in} + \epsilon_s V_f \quad (38)$$

となる。上式で、 $\epsilon_g$  は利得誤差、 $\epsilon_s$  はオフセット誤差となる。

実際に数値を入れてその誤差を求めてみる。 $g_{mn} = 0.56[mS]$ ,  $g_{mp} = 1.7[mS]$ ,  $g_{dn} = 1[\mu S]$ ,  $g_{dp} = 7[\mu S]$  と  $V_f = 10[mV]$  を入力すると

$$\epsilon_g = 1.4E - 2 \quad (39)$$

$$\epsilon_s = 1.0E - 2 \quad (40)$$

という結果が得られる。

SV 低電圧 S/H 回路と Toumazou-S/H 回路の利得誤差とオフセット誤差を表 1 に示す。小信号等価回路の計算値はパラメーターとして  $\mu_n C_{ox} = 50[\mu A/V^2]$ ,  $\lambda = 0.02$  として伝達コンダクタンスは  $g_{mn} = 0.56[mS]$ ,  $g_{mp} = 1.7[mS]$ ,  $g_{dn} = 1[\mu S]$ ,  $g_{dp} = 7[\mu S]$  と  $v_f = 0.1[V]$  を入力する。

表 1: 利得誤差とオフセット誤差

	gain error	offset error
Toumazou S/H circuit	3.4E-3	3.0E-3
Proposed S/H circuit	1.4E-2	1.0E-2

### 3 PSpice での結果

シミュレーションは、nMOS、 $M_{n1}$  の W/L 比  $22.3\mu m / 0.8\mu m$  を基準とし、チャンネル長 L は一定として nMOS の各比に設定する。カレントミラーの pMOS、 $M_{p1}$ 、 $M_{p2}$  の W/L 比は  $86\mu m / 0.8\mu m$  である。電源電圧  $V_{dd}$  と  $V_{ss}$  は  $\pm 3[V]$  に、入力電圧  $V_{in}$  は  $0.3[V]$  で設定してある。ゲート・ソース間容量  $C_{gs}$  は  $0.01[pF]$  を基準として nMOS の比、Spice Level は 2 に設定してある。提案 S/H 回路のシミュレーション結果は図 7 に示す。横軸が動作時間 [t]、縦軸は出力電圧  $V_{out}[mV]$  を示す。提案 S/H 回路の出力電圧は  $299.71[mV]$  である。小信号の計算結果では  $299.6[mV]$  であり、PSpice との誤差は  $0.11[mV]$  である。入出力誤差は SV 低電圧 S/H 回路で  $0.02[mV]$  である。

### 4 個別部品による動作確認

実際に SV 低電圧 S/H 回路をブレッドボード上に試作し出力波形を調べた。オシロスコープの出力波形を図 8 に示す。電源電圧  $1.5[V]$ 、入力電圧  $0.3[V]$ 、出力電圧  $0.28[V]$  となり動作が確認できた。

### 5 結論

SV 低電圧 S/H 回路を提案した。Toumazou-S/H 回路と比較して SV 低電圧 S/H 回路の動作はオフセット

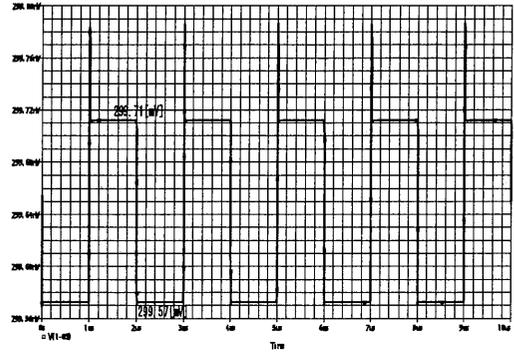


図 7: SV 低電圧 S/H 回路の PSpice 出力電圧  $V_{in}=0.3[V]$   $V_{out}=0.29[V]$  Level2

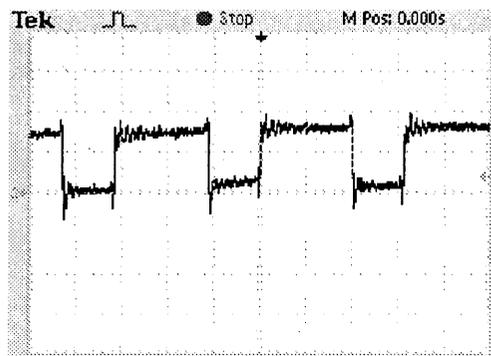


図 8: 試作 SV 低電圧 S/H 回路のオシロスコープ出力電圧  $V_{in}=0.3[V]$   $V_{out}=0.28[V]$

誤差は 8.7%、利得誤差は 1.9% に低減改善できた。シミュレーション、試作共に低電源電圧  $1.5[V]$  での動作が確認できた。シミュレーションの入出力誤差は +2%、試作の入出力誤差は -4% であった。計算値入力電圧の範囲は  $0.3[V] \sim 1.09[V]$ 、試作回路の入力電圧の範囲は  $0.4[V] \sim 0.8[V]$  であった。これより SV 低電圧 S/H 回路は SV 回路に広く適用できる。

### 参考文献

- [1] X. J. Shi, H. Matsumoto, and K. Murao, "A switched-voltage delay cell with differential inputs and its applications", *IEICE Trans. Electron.*, vol. E84-C, no. 9, pp. 1227-1233, Sep. 2001.
- [2] G. Wegmann et al, "Charge injection in analog MOS switches", *IEEE J. Solid-State Circuits.*, vol. SC-22, pp. 1091-1097, Dec. 1987.
- [3] K. Leelavattananon and C. Toumazou, "Switched-voltage: An adaptation of switched-currents for voltage-mode design," *Electron. Lett.*, vol. 34, no. 6, pp. 503-504, Mar. 1998.