

# 高性能サンプル・ホールド回路とその応用

佐藤 公信<sup>1)</sup>・淡野 公一<sup>2)</sup>・石塚 興彦<sup>3)</sup>・外山 貴子<sup>4)</sup>

## A High Performance CMOS Sample and Hold Circuit and its Application

Kiminobu SATO, Koichi TANNO, Okihiko ISHIZUKA, Takako TOYAMA

### Abstract

Recently, various portable devices become smaller and smaller, so that the mixed digital and analog LSI is desired to integrate them on a chip. The data converter is an important circuit to realize the mixed digital and analog LSI. The data converter need the conversion time for the quantization and the encode. Therefore, sample and hold (S/H) circuits are necessary to maintain a part of analog information temporarily. However, MOS switches cannot be deeply turned on because enough overdrive voltage cannot be supplied to gates of MOS switches under the low-voltage condition.

In this dissertation, the CMOS S/H circuit with the clock boost technique and the input signal tracking technique is proposed. As the results, the proposed circuit reduces the effect of charge injection and feedthrough with maintaining low-voltage, low-distortion and rail-to-rail operation. Next, as an application of the proposed S/H circuit,  $\Delta\Sigma$  data converter is designed. The circuits proposed in this dissertation are evaluated through Star-HSPICE simulations.

Key Word :

Sample and hold circuits, Boost circuits, Dummy switch, Hold error, Sigma-delta converters

### 1. 序論

近年、ノート PC や携帯電話をはじめとする携帯電子機器の小型軽量化を実現するため、それらを構成する電子部品の小型化が必須となり、そのため、電子回路部分を 1 つのチップ上に集積回路として実現すること (1 チップ化) が望まれている。また、低コストで 1 チップ化するために、デジタル・アナログ混載 LSI の実現が望まれており、その実現には、多くのデジタル回路において用いられる CMOS プロセスに基づいたアナログ回路の設計、いわゆる CMOS アナログ集積回路の設計が必須となる。しかし、CMOS プロセスにおける微細加工技術の進歩に伴う素子の耐圧低下は著しく、そのため低い電源電圧で動作する基本回路が必要不可欠となっている。これらの理由から近年、低電圧動作の CMOS アナログ集積回路回路が注目を集めている [1]-[2]。また、デジタル・アナログ混載 LSI を実現するための重要な回路にデータ変換器がある。特に、低電圧データ変換器は将来の携帯電子機器

において重要な要素回路であり、重要性を増している。データ変換では、1 つの標本化で取り出したインパルス量子化・符号化するために変換時間が必要となる。このため、時々刻々と変化するアナログ入力信号がデータ変換中に変化しないように、標本化クロックに同期して一時的にアナログ情報の一部を取り出し、必要な時間だけ保持する回路、いわゆるサンプルホールド (S/H) 回路が必要となる。この S/H 回路の誤差はそのままデータ変換器の誤差となるため、その高精度化が求められる。一般的な S/H 回路はスイッチとキャパシタによって構成されるが、そのスイッチにはグラウンドレベルから電源電圧までの振幅 (Rail-to-Rail) を入力レンジとして使用可能であることが求められる [3]-[4]。しかし、次の 2 種類の問題のため、その実現が困難となっている。第 1 は、先に述べたように近年の低電源電圧化のため、スイッチがオンするために必要な電圧を与えることが困難になっているという問題である。これにより、十分な入力レンジを確保することができない。第 2 に、MOS スwitch のオン抵抗が変化し、出力信号が歪み、結果として入力レンジが小さくなるという問題である。これは、MOS スwitch のゲート電圧 (クロックパルス電圧) とソース電圧 (入力信号電圧) が一定でないためである。

1) システム工学専攻大学院生

2) 電気電子工学科助教授

3) 電気電子工学科教授

4) 技術職員

以上の問題は以下の手法により改善できる。まず第1の問題は、MOSスイッチがオンするような十分に大きな電圧パルス、元の電圧パルスから発生させ、その信号を用いてMOSスイッチを制御することで克服できる。このような回路を電圧ブースト回路という。しかし、この電圧ブースト回路を用いた場合、チャージインジェクションとクロックフィードスルーによりホールド誤差が増加するという問題がある[2]。第2の問題は、MOSスイッチのゲート-ソース間電圧( $V_{GS}$ )を一定に保つような制御信号を発生させることで改善できる(入力追従回路)。 $V_{GS}$ が一定である場合、チャンネル抵抗は一定となり、結果的に歪みを低減でき、その結果、入力レンジを確保できる。

本論文では、上述の問題を改善するための新たなS/H回路を提案する。提案する回路は、先に述べた電圧ブースト回路と入力追従回路を組み合わせた回路であり、入力信号に追従し、かつ、高いパルス波形を生成する。さらに、サンプリングスイッチに与えるクロック電圧の逆相クロックをダミースイッチに与えることで、チャージインジェクションとクロックフィードスルーの影響を低減できる。

次に、提案回路の応用として、主にオーディオデータ変換器等で用いられる $\Delta\Sigma$ 変調器を設計する。 $\Delta\Sigma$ 変調器は近年、注目を集めているデータ変換方式である[5]-[6]。この方式の特徴はアナログ信号を1ビットのデジタル信号に変換し、オーバーサンプリングを行うことである。また、周波数に対して均一に分布する量子化雑音を、高い周波数に分布するノイズシェーピング特性を持つ。離散時間型 $\Delta\Sigma$ 変調器は初段にアナログスイッチが用いられるため、近年の低電圧化により入力レンジが制限される[7]。ここでは、提案回路(BTCG)を用いて広入力レンジ化、低歪み化を行う。また、従来回路と比較し、提案回路の有用性を確認する。

## 2. S/H回路

本節では、S/Hの動作及び、MOSアナログスイッチの動作と問題点について述べる。基本S/H回路を図1(a)に示す。はじめにゲートの制御信号 $V_{CLK}$ がHighになった状態を説明する。 $V_{IN} = \frac{V_{DD}}{2}$ 、 $V_{CLK} = V_{DD}$ の場合、MOSトランジスタは非飽和領域で動作する。したがって、ドレイン電流 $I_{DS}$ は次式で表せる[2]。

$$I_{DS} = 2K(V_{GS} - V_T - \frac{V_{DS}}{2})V_{DS} \quad (1)$$

ここで、 $K$ はMOSトランジスタのトランスコンダクタンス係数と呼ばれ、 $K = \frac{1}{2}\mu C_{ox} \frac{W}{L}$ で表され、 $\mu$ はキャリアの移動度、 $C_{ox}$ は単位面積あたりのゲート酸化膜容量、 $W$ および $L$ はそれぞれチャンネル幅および

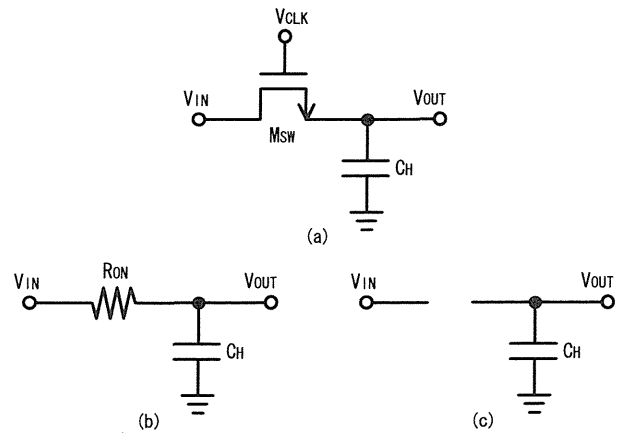


図1 (a) 基本S/H回路

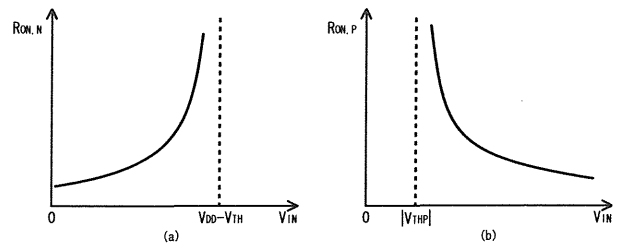


図2 (a)NMOSトランジスタのオン抵抗の入力電圧依存特性 (b)PMOSトランジスタのオン抵抗の入力電圧依存特性

チャンネル長を意味する。また、 $V_{DS}$ はドレイン-ソース間電圧、 $V_{GS}$ はゲート-ソース間電圧、 $V_T$ はしきい電圧である。この式から $I_{DS} = 0$ ならば、 $V_{IN} = V_{OUT}$ となる。すなわち、スイッチはオンとなる。また、 $M_{SW}$ はオン抵抗と呼ばれる抵抗成分として、以下の式で表される[2]。

$$R_{ON} = \frac{1}{2K(V_{GS} - V_T)} \quad (2)$$

したがって、回路図は図1(b)と等価的に表される。式(2)から、スイッチのオン抵抗を入力電圧の関数として描くことができ、図2(a)のように $V_{IN}$ が $V_{DD} - V_{TH}$ に近づくときオン抵抗は急激に大きくなる。このことから、オン抵抗は入力電圧に依存して変化することがわかる。また、MOSスイッチがオンとなったS/H回路は図1(b)のように表され、低域通過フィルタ(Low Pass Filter)としての特性を持つ。これは、周波数に依存した信号の劣化を意味する。次に、制御信号 $V_{CLK}$ がLowになったとき、MOSトランジスタの状態式 $V_{GS} < V_{DS}$ より、 $M_{SW}$ は遮断領域となり、スイッチはオフとなる。したがって、回路図は図1(c)のように表される。

### 2.1 MOSスイッチの入力レンジ

MOSスイッチは先に述べたように非飽和領域で動作する。よって、MOSトランジスタの状態式より入力レンジは以下の式で表せる。

$$V_{IN} < V_{CLK} - V_T \quad (3)$$

これにより、MOSトランジスタのしきい値電圧は入力レンジを制限することがわかる。ここまでNMOSスイッチのみを説明してきたが、この考察はPMOSについても同様に適用できる。

### 2.2 ホールド誤差

ホールド誤差はスイッチがオフする瞬間に生じる誤差のことであり、S/H回路において重大な問題となる。これは、MOSトランジスタの物理的構造に起因する。

#### [チャネルチャージインジェクション]

図1のMOSスイッチがオンしているとき、チャネルはシリコンと酸化膜の境界に形成される。このとき、 $V_{IN} = V_{OUT}$ と仮定すると、反転層内の総電荷 $Q_{ch}$ は次式で表される[2]。

$$Q_{ch} = WLC_{ox}(V_{CLK} - V_{IN} - V_{TH}) \quad (4)$$

MOSスイッチがオンからオフに切り替わる瞬間、電荷 $Q_{ch}$ はソースとドレイン端子に抜ける。このとき、入力端子側に注入される電荷は入力源により吸収され誤差にならない。しかし、出力側( $C_H$ 側)に注入される電荷は $C_H$ に蓄積され、これがホールド誤差として現れる。ソースとドレイン端子を通して排出される電荷の一部は様々なパラメータの複雑な関数となるが、これらパラメータのどの項目が電荷の分割に寄与するかを未だ明らかにされていない。よって、本論文ではチャネル電荷は1/2づつ分割されるものと仮定する。

#### [クロックフィードスルー]

MOSスイッチではゲート-ドレインまたはゲート-ソースのオーバーラップ容量を通してサンプリング容量へクロックの変化が漏れ出す。これにより、サンプリングされた出力電圧に誤差が発生する。オーバーラップ容量が一定だと仮定すると、誤差 $\Delta V$ は次式になる[2]。

$$\Delta V = V_{CLK} \frac{WC_{ov}}{WC_{ov} + C_H} \quad (5)$$

ここで、 $C_{ov}$ は単位ゲート幅あたりのオーバーラップ容量である。式5より、 $\Delta V$ は入力信号に依存しないことが分かる。よって、この誤差は一定のオフセットとして現れる[4]。

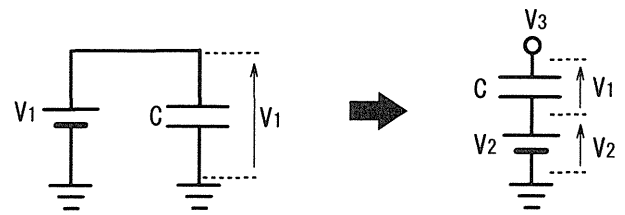


図3 電圧ブースト回路の原理

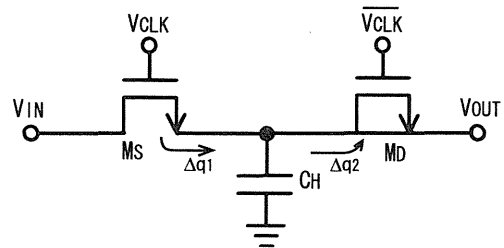


図4 ダミースイッチ

### 2.3 電圧ブースト回路

NMOSスイッチの入力レンジの拡大には式3より、2種類の解決方法があることがわかる。1つは $V_T$ を小さくする方法である。しかし、 $V_T = 0$ にはできないので、この方法には限界がある。他方は電圧ブースト回路を用いて $V_{CLK}$ を $V_{DD} + V_T$ 以上に増幅させる方法である[3]-[4], [7]-[8]。

図3に電圧ブースト回路の原理図を示す。はじめにキャパシタCに電圧 $V_1$ を印加する。次にキャパシタCのグランド側の端子に電圧 $V_2$ を接続することで、エネルギー保存則により、 $V_3$ は $V_1 + V_2$ となる。

この原理を用いることにより、 $V_{CLK}$ を $V_{DD} + V_T$ 以上に電圧ブーストすることができ、その結果、入力レンジの拡大化が可能である。しかし、先に述べたようにMOSスイッチの制御信号に高い電圧信号を用いると式4と式5より、チャネルチャージインジェクションとクロックフィードスルーの影響が大きくなり、結果としてホールド誤差の増大を招くという問題が残される[2]。

### 2.4 ダミースイッチ

図4に示すように $V_{CLK}$ で駆動されるダミースイッチ $M_D$ を回路に付加し、サンプリングスイッチで生じるチャネルチャージインジェクションをダミースイッチで相殺する方法である[2],[9]。ここで、 $M_D$ のソースとドレインは出力ノードに接続し、 $M_S$ をオフした後で $M_D$ をオンする。これにより、 $M_S$ から $C_H$ に注入されたチャネルの電荷は $M_D$ に形成されるチャネルにより吸収される。 $M_S$ のチャネル電荷の1/2が $C_H$ に

注入されると仮定すると, 注入される電荷  $\Delta q_S$  は

$$\Delta q_S = \frac{W_S L_S C_{ox}}{2} (V_{CLK} - V_{IN} - V_{THS}) \quad (6)$$

となる. また,  $M_D$  により吸収される電荷  $\Delta q_D$  は

$$\Delta q_D = W_D L_D C_{ox} (V_{CLK} - V_{IN} - V_{THD}) \quad (7)$$

であるから,  $W_D = 0.5W_S$  および  $L_S = L_D$  とすれば  $\Delta q_D = \Delta q_S$  となる. また, このように設計することで式5より,

$$\begin{aligned} & V_{CLK} \frac{W_S C_{ov}}{W_S C_{ov} + C_H + 2W_D C_{ov}} \\ &= V_{CLK} \frac{2W_D C_{ov}}{W_S C_{ov} + C_H + 2W_D C_{ov}} \quad (8) \end{aligned}$$

となり, クロックフィードスルーの影響を抑圧できる.

### 2.5 入力信号追従回路

前節で述べたように MOS スイッチがオンしているとき, S/H 回路は低域遮断フィルタの特性を持つ. また, 入力信号によりオン抵抗値が変化することから遮断特性も変化する. これにより, S/H 回路の出力信号に歪みが生じる. この問題は, 入力信号追従回路を用いて MOS スイッチの制御信号を入力信号と同じように変化させることで解決可能である [4]. MOS スイッチの  $V_{GS}$  を一定にすることで, その結果, オン抵抗値を一定にすることができる.

## 3. 提案回路

本節では, 電圧ブースト回路と入力信号追従回路を組み合わせた新たな S/H 回路を提案する. また, ダミースイッチを用いることでチャージインジェクションとクロックフィードスルーの影響を低減する.

### 3.1 入力追従型ブースト回路の設計

図5に入力追従型ブースト回路 (Boost Tracking Clock Generator:BTCG) を示す. ここで用いる MOS トランジスタは全て MOS スイッチとして動作する. はじめに,  $V_{CLK}$  が High のとき, 回路構成は図6(a)になる. このとき,  $M_2, M_3$  はオンになるので, キャパシタ  $C_1$  には  $V_{DD}$  が印加される. また,  $V_G$  はグラウンドレベルになる. 次に,  $V_{CLK}$  が Low のとき, 回路構成は図6(b)になる. 図7に  $V_{IN}, V_{BOT}, V_{TOP}, V_G$  の過渡特性をそれぞれ示す.  $V_{IN}, V_{TOP}, V_{BOT}, V_G$  は図6に示す各ノードである.  $M_2, M_3, M_5$  はオフになり,  $M_1$  はオンになる. これにより, キャパシタ  $C_1$  のグラ

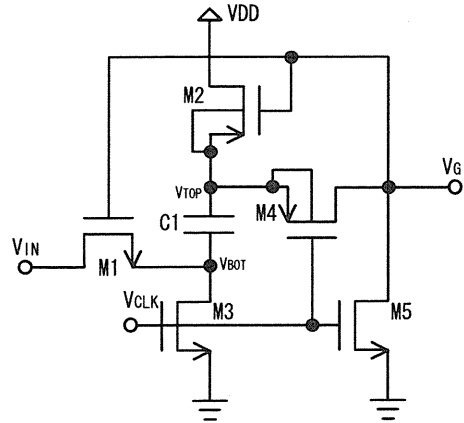


図5 入力追従型ブースト回路 (BTCG)

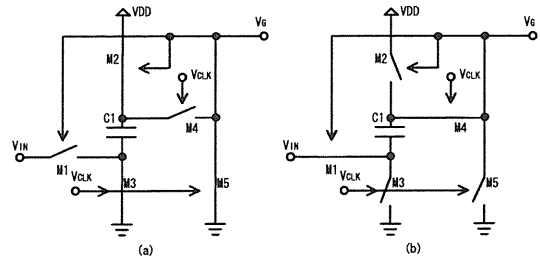


図6 (a)  $V_{CLK}$  が high のときの回路構成 (b)  $V_{CLK}$  が low のときの回路構成

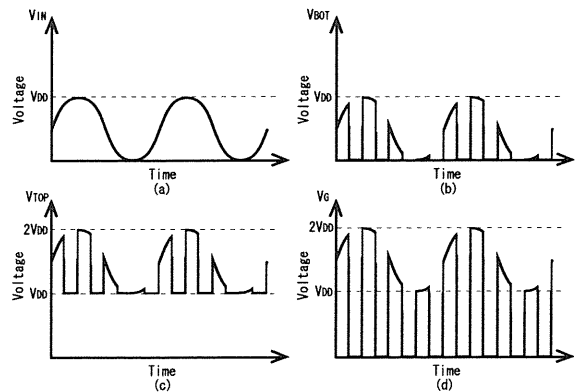


図7 各ノードの過渡特性

ンド側の端子は図7(b)のように  $V_{IN}$  となるため, 電源側の端子は図7(c)のように  $V_{DD} + V_{IN}$  にブーストされる. また,  $M_4$  はオンなので,  $V_G$  は図7(d)のように  $V_{DD} + V_{IN}$  が出力される.

### 3.2 BTCG とダミースイッチを用いた S/H 回路

提案する BTCG とダミースイッチを用いた S/H 回路を図8に示す. サンプリングスイッチの制御信号 ( $V_{G1}$ ) には BTCGI で生成した信号を用いる. これにより, 広入力レンジ化, 低歪み化が実現できる. また, チャネルチャージインジェクションとクロックフィードスルーの影響を低減するため, ダミースイッチを用

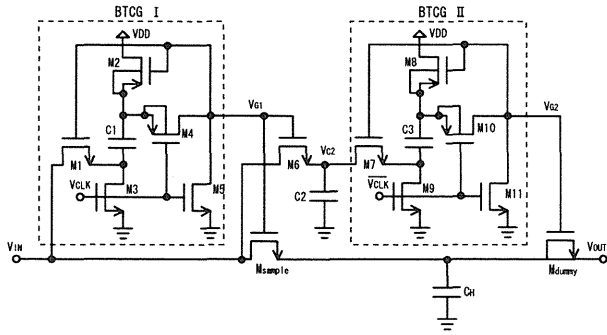


図 8 BTCG とダミースイッチを用いた S/H 回路

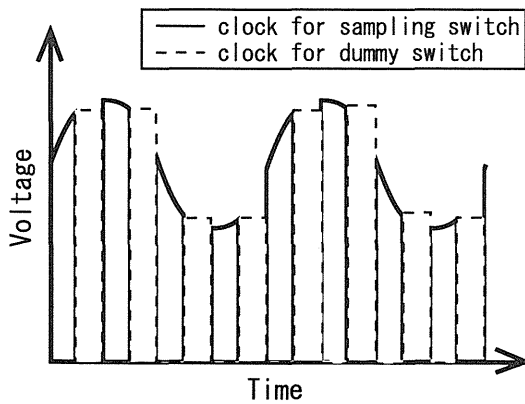


図 9 サンプルリングのためのクロック ( $V_{G1}$ ) とダミースイッチのためのクロック ( $V_{G2}$ )

いている。前節で述べたようにダミースイッチの制御信号には図 9 に示すようなサンプルリングスイッチと同電圧かつ、逆相のクロックが必要となる。そこで、提案回路では、入力信号を  $C_2$  にチャージし、その電圧を BTCGII に入力することでダミースイッチの制御信号 ( $V_{G2}$ ) を生成している。はじめに、 $V_{CLK}$  が Low のとき、 $V_{G1}$  は  $V_{DD} + V_{IN}$  となり、 $M_6$ ,  $M_{sample}$  はオンとなる。このとき、 $C_2$  に  $V_{IN}$  が印加される。同時に、 $V_{G2}$  はグラウンドレベルになる。したがって、 $M_{dummy}$  はチャネルを形成しない。次に、 $V_{CLK}$  が High のとき、 $M_6$ ,  $M_5$  はオフとなる。このとき、 $V_{C2}$  は  $M_6$  がオフとなる直前の電圧になり、この電圧を BTCGII に入力する。したがって、 $V_{G2}$  は  $V_{DD} + V_{C2}$  となる。これにより、 $M_{dummy}$  はチャネルを形成し、チャネルチャージインジェクションとクロックフィードスルーの影響を低減できる。

#### 4. BTCG の特性評価

本章では提案回路である S/H 回路のシミュレーション結果を示す。ここでは、CMOS 0.35 $\mu\text{m}$  デバイスパラメータを用いた Star-HSPICE シミュレーションによって評価を行なっている。 $V_{CLK}$  が Low となると、 $M_4$  の寄生容量の影響により、 $C_1$  との合成容量で

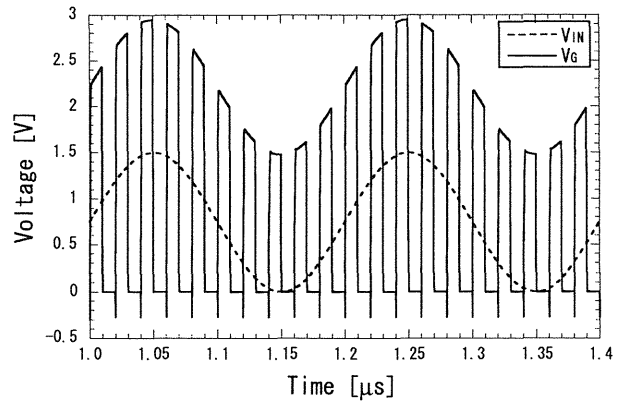


図 10 BTCG の過渡特性

ブースト電圧が減少する。ここでは、寄生容量の影響を最小限にするため、 $M_4$  の  $W/L$  を小さく設計している。過渡解析の結果、電源電圧 1.5V、入力バイアス電圧 0.75V、入力信号振幅 1.5V $_{p-p}$  の条件において、図 10 に示す波形を得た。ブースト電圧は 1.46V となり、これより、BTCG が正常に動作していることが分かる。解析条件を表 1 に示す。

表 1 解析条件

$V_{DD}$	1.5 [V]
$V_{CLK}$	1.5 [V]
$V_{CLK}$ の周波数	50.0 [MHz]
$V_B$	0.75 [V]
$V_{in}$	1.5 [V $_{p-p}$ ]
$V_{in}$ の周波数	5.0 [MHz]

ここで、 $V_{IN}$  は  $V_{in} + V_B$  である。

次に BTCG とダミースイッチを用いた S/H 回路の HSPICE シミュレーションを行い、電源電圧 1.5V における特性を評価した結果について述べる。ここではサンプルリングスイッチ  $M_{sample}$  から流れ出るチャネル電荷を 1/2 と仮定し、ダミースイッチ  $M_{dummy}$  の  $W/L$  を  $M_{sample}$  の 1/2 で設計している。図 11 に提案 S/H 回路の  $V_{G1}$ ,  $V_{G2}$  の過渡解析の結果を示す。これから、BTCGI で生成したクロック信号の逆相のクロック信号が生成できていることが分かる。また、3V 付近ではサンプルリングクロックとダミークロックの電位が等しくならない。これは、 $M_6$  のクロックフィードスルーによる影響である。しかし、式 6、式 7、式 8 からわかるようにサンプルリングクロックとダミークロックを近い電圧にすることで十分に低減可能である。図 12 に基本 S/H 回路、BTCG を用いた S/H 回路、BTCG とダミースイッチを用いた S/H 回路の過渡特性をそれぞれ示す。これより、BTCG を用いることにより、入力レン

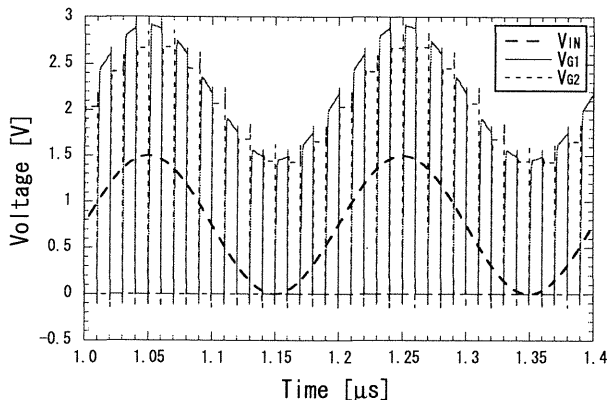


図 11  $V_{G1}, V_{G2}$  の過渡特性

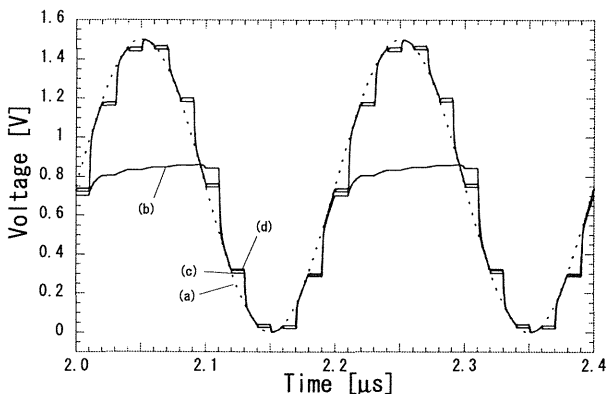


図 12 過渡特性 (a) 入力信号 (b) 基本 S/H 回路 (c)BTCGを用いた S/H 回路 (d)BTCGとダミースイッチを用いた S/H 回路

ジが拡大していることが分かる。また、ダミースイッチを用いることでホールド誤差を低減できることが確認できた。解析条件を表 2 に示す。提案回路の低歪み化を確認するため、提案回路を簡素化したクロックブースト回路と比較する。図 13 に入力振幅-THD 特性を示す。入力振幅が  $1.5V_{p-p}$ 、入力周波数が  $5.0\text{MHz}$  の条件において、クロックブースト回路の THD が  $0.48\%$  であるのに対し、提案回路の THD は  $0.36\%$  という結果を得た。図 14 では入力振幅-ホールド誤差特性を示す。これより、ダミースイッチを用いることでホールド誤差が約  $1/10$  に低減していることが分かる。

表 2 解析条件

$V_{DD}$	1.5 [V]
$V_{CLK}$	1.5 [V]
$V_{CLK}$ 周波数	50.0 [MHz]
$V_B$	1.5 [V]
$V_{in}$	1.5 [ $V_{p-p}$ ]
$V_{in}$ 周波数	5.0 [MHz]

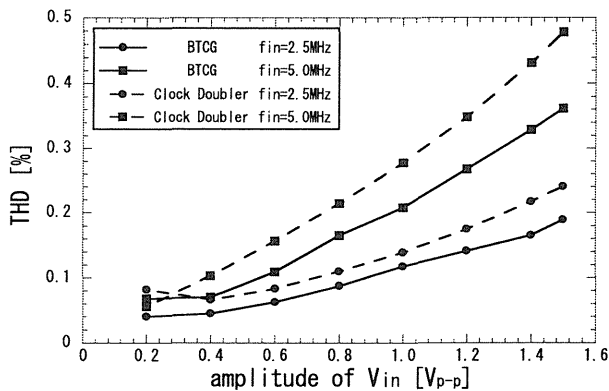


図 13 入力振幅-THD 特性

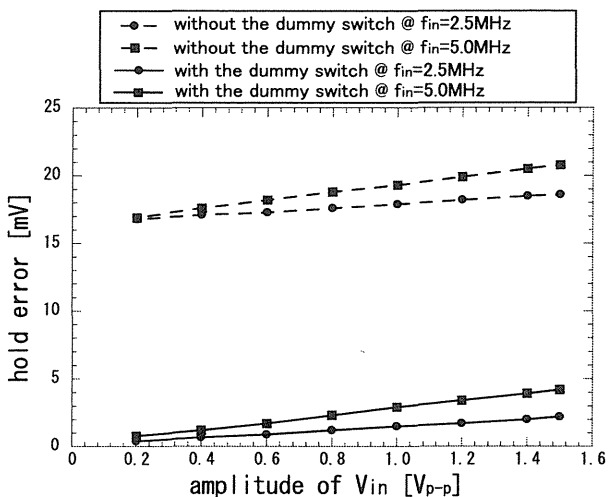


図 14 入力振幅-THD 特性

### 5. $\Delta\Sigma$ 変調器の構成

提案回路を用いて主にオーディオデータ変換器等で用いられる  $\Delta\Sigma$  変調器を設計する。 $\Delta\Sigma$  変調器は近年、注目を集めているデータ変換方式である。この方式の特徴はアナログ信号を 1 ビットのデジタル信号に変換し、オーバーサンプリングを行うことである [5]。離散時間型  $\Delta\Sigma$  変調器は初段にアナログスイッチが用いられるため、近年の低電圧化により入力レンジが制限される。ここでは、提案回路 (BTCG) を用いて広入力レンジ化を行う。また、従来回路と比較し、提案回路の有用性を確認する。1 次  $\Delta\Sigma$  変調は減算器・積分器・比較器・遅延器・1 ビット D/A 変換器から構成され、出力電圧  $V_{OUT}$  と入力電圧  $V_{IN}$  との関係式は次式となる [6]。

$$V_{OUT} = V_{IN} + (1 - Z^{-1})Q(Z) \quad (9)$$

ここで、 $Q(Z)$  は量子化雑音である。また、 $(1 - Z^{-1})$  は雑音伝達関数  $NTF(Z)$  と呼ばれ、1 次  $\Delta\Sigma$  変調器による変調雑音は、

$$|NTF(f)|^2 |V_{Qe}(f)|^2 = \frac{V_{LSB}^2}{12f_s} 2(1 - \cos 2\pi \frac{f}{f_s}) \quad (10)$$

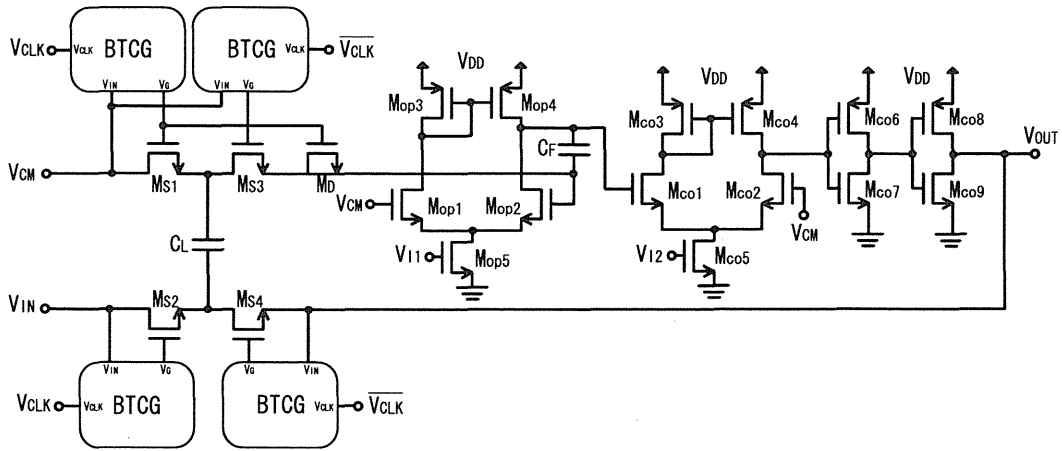


図 15 1次 ΔΣ 変調器

で表される [5]. ここで,

$$V_{Qe}(f) = \frac{V_{LSB}}{\sqrt{12}f_s} \quad (11)$$

ただし,  $0 < f < f_s/2$

$$V_{LSB} = \frac{V_{DD}}{2^N} \quad (12)$$

$N$  は比較器のビット数である. 一般に, 変調雑音はホワイトノイズであるため, 周波数に依存しない. しかし, ΔΣ 変調器では低域周波数では雑音が少なく, 周波数が高くなるにしたがい雑音が増加する特性を持つ. これをノイズシェーピングと呼ぶ [5]-[6],[10].

### 5.1 シミュレーション結果

本節では, 提案回路を用いた ΔΣ 変調器のシミュレーション結果について述べる. ΔΣ 変調器の回路図を図 15 に示す.  $M_{S3}$  の両端は容量であるため, このノードを BTMG の入力端子として用いると BTMG 内の容量との合成容量により, ホールド誤差が生じる. そのため,  $M_{S3}$  の制御信号には  $V_{CM}$  をブーストした電圧を用いている. また,  $M_{S2}$ ,  $M_{S4}$  は片方の端子が電圧源に繋がれており, かつ交互に切り替わるため, チャネルチャージインジェクションは打ち消される. しかし,  $M_{S3}$  においては両端が容量のため, オペアンプの入力側 ( $V_{inm}$ ) にホールド誤差が生じる. そこで, ダミースイッチを  $V_{inm}$  側に使い,  $W/L$  を  $M_{S3}$  の 1/4 に設計している. また, 本回路で用いるオペアンプ・比較器は MOS トランジスタの縦積み段数が 3 段であるため, 電源電圧が 2.0V で動作する. 電源電圧 2.0V, サンプル周波数 50MHz の条件において Star-Hspice シミュレーションを行った. 解析条件を表 3 に示す. 基本アナログスイッチを用いた場合, ΔΣ 変調器の出力信号を理想増幅器を用いた低域通過フィルタ (LPF) で

D/A 変換した信号の THD は 20.26% である. 一方, 提案回路を用いた場合, THD は 1.27% であり, 提案回路により低歪み化が実現できた. 図 16 と図 17 に ΔΣ 変調器の出力信号  $V_{OUT}$  を FFT 解析した結果を示す. 基本アナログスイッチを用いた場合, 高調波ノイズが発生しており, 信号が劣化している. 一方, 提案回路を用いた場合, 信号の近傍ではフロアノイズが -45dB と低く, 周波数が高くなるにしたがってノイズが 20dB/dec の傾きで増加していることから, 高周波域でのノイズシェーピングの特性が 1 次の特性を満足していることが分かる.

表 3 ΔΣ 変調器の解析条件

$V_{DD}$	2.0 [V]
$V_{CLK}$	2.0 [V]
$V_{CLK}$ の周波数	50 [MHz]
$V_{in}$	1.5 [V <sub>p-p</sub> ]
$V_{in}$ の周波数	1.0 [MHz]
$V_B$	1.0 [V]
$V_{CM}$	1.0 [V]
$V_{I1}$	1.0 [V]
$V_{I2}$	0.7 [V]

ここで,  $V_{IN}$  は  $V_{in} + V_B$  である.

## 6. 結論

本論文では, 電圧ブースト回路, 入力追従回路及びダミースイッチの技術に注目した低歪み, 広入力レンジ, 高精度 S/H 回路を提案してきた. 提案する S/H 回路では, 電圧ブースト回路を用いることにより, 広入力レンジ化が可能である, 入力追従回路を用いることにより, 低歪み化及び広入力レンジ化が可能である, ダ

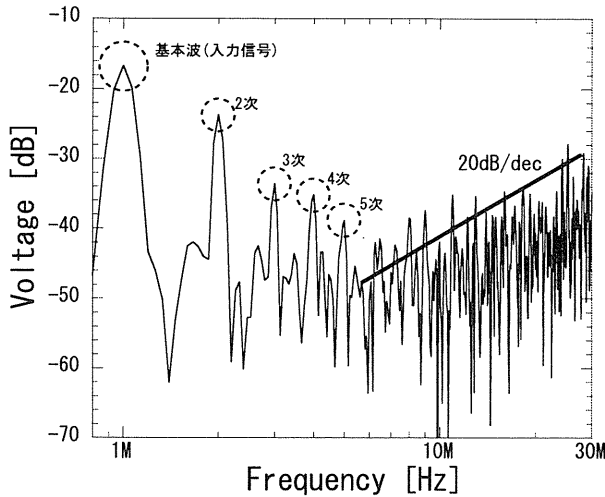


図 16 基本アナログスイッチを用いた  $\Delta\Sigma$  変調器のフーリエ特性

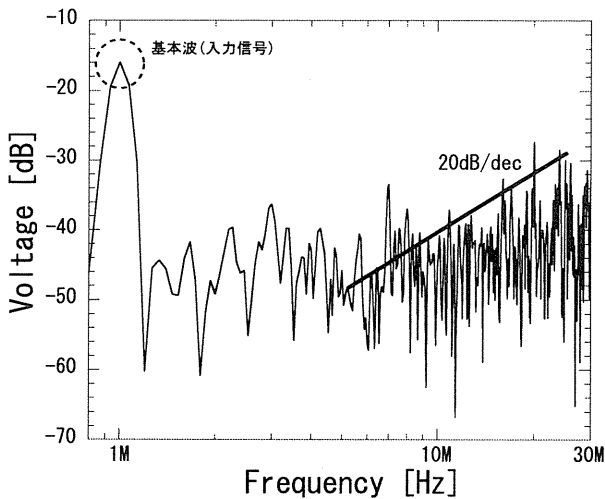


図 17 提案回路を用いた  $\Delta\Sigma$  変調器のフーリエ特性

ミスイッチを用いることにより高精度である、またアクティブ素子の縦積み段数が2段であることから低電源電圧で動作可能である、という特長を有している。この入力追従型ブースト回路とダミースイッチを用いて構成したS/H回路についてCMOS 0.35 $\mu\text{m}$  デバイスパラメータを用いたStar-HSPICEによって詳細な解析を行った。従来回路では、MOSスイッチがオンせず、回路が正常動作しなかったが、提案回路では、所望の動作を確認できた。詳細には、ダミースイッチを用いないS/H回路については、電源電圧1.5V、入力バイアス0.75V、入力レンジ1.5V<sub>p-p</sub>、サンプリング周波数50MHzの条件下において、入力周波数2.5MHzのとき、THD0.19%、ホールド誤差18.6mVであり、入力周波数5.0MHzのとき、THD0.34%、ホールド誤差20.8mVであった。一方、ダミースイッチを用いたS/H回路については、同様の条件において、入力周波数2.5MHzのとき、THD0.19%、ホールド誤差2.2mVであり、入力周波

数5.0MHzのとき、THD0.36%、ホールド誤差4.2mVであった。これより、ダミースイッチを用いることによりホールド誤差を最大で約1/10に低減できることを確認した。

最後に、提案したBTCGの応用回路として、 $\Delta\Sigma$ 変調器を設計した。HSPICEシミュレーションにより、電源電圧2.0Vにおいて入力レンジが2.0V<sub>p-p</sub>、THDが1.27%、FFT解析におけるノイズシェーピングが20dB/decの傾斜であることが分かり、提案回路の正常動作を確認した。今後の課題は、BTCGの高速化が上げられる。

## 参考文献

- [1] Paul R. Gray and Robert G. Meyer, "Analysis and Design of ANALOG INTEGRATED CIRCUITS," John Wiley and Sons, 1993.
- [2] B. Razavi, "アナログ CMOS 集積回路の設計", 丸善株式会社, 2003 年.
- [3] P. Favrat, P. Deval, M.J. Declercq, "A high-efficiency CMOS voltage doubler," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 410-416, March 1998.
- [4] T.S. Lee and C.C. Lu, "Design techniques for low-voltage high-speed pseudo-differential CMOS track-and-hold circuit with low hold pedestal," *Electron. Lett.*, vol. 40, no. 9, pp. 519-520, April 2004.
- [5] R. Jacob Baker, "CMOS MIXED-SIGNAL CIRCUIT DESIGN," John Wiley and Sons Inc, 2002.
- [6] 湯川 彰 著, "オーバーサンプリング A-D 変換技術", 日経 BP 社, 1990 年 12 月
- [7] F. Muñoz, J. R. Angulo, A. L. Martin, R. G. Carvajal, A. Torralba, B. Palomo, M. Kachare, "Analogue switch for very low-voltage applications," *Electron. Lett.*, vol. 39, no. 9, pp. 701-702, May 2003.
- [8] S. Basu, G.C. Temes, "Simplified clock voltage doubler," *Electron. Lett.*, vol. 35, no. 22, pp. 1901-1902, Oct. 1999.
- [9] C. Eichenberger and W. Guggenbuhl, "On charge injection in analog MOS switches and dummy switch compensation technique," *IEEE Trans. on Circuits and Systems*, vol. 37, no. 2, pp. 256-264, Feb. 1990.
- [10] 相良 岩男 著, "A/D・D/A 変換回路入門", 日刊工業新聞社, 1991 年 11 月.