

クロックフィードスルーとチャネル長変調効果を 補償したスイッチドボルテージ サンプル/ホールド回路

大野 憲司¹⁾・松本 寛樹²⁾・村尾 健次³⁾

Switched-Voltage Sample/Hold Circuit compensated for Clock Feedthrough and Channel-Length Modulation Effect

Kenji OHNO, Hiroki MATSUMOTO, Kenji MURAO

Abstract

In this paper, switthed-voltage (SV) sample/hold (S/H) circuit are presented to compensated for clock feedthouh(CFT) and channel-length modulation effect. The circuit consists of a CMOS SV-delay cell. Thus, the configuration is very simple. The proposed circuit can be operated using simple nonoverlapping two phase clocks. The performance is verified by simulations on PSpice.

Keywords:

switched-voltage, delay cell, clock feedthrough, channel-length modulation effect

1 まえがき

スイッチトボルテージ (SV) 技術は、最近のスイッチトカレント (SI) 技術に匹敵し、アナログとデジタルの混合 VLSI の進むべき方向を示した比較的新しいアナログサンプルデータ信号処理技術である。従来のスイッチトキャパシタ (SC) 技術と SI 技術は広範囲に渡って混在型アナログデジタルインターフェース部に用いられている。しかしながら、SC 技術はコンデンサを使用するためデジタル CMOS 技術で製造できない。SI 技術は線形な電圧-電流、電流-電圧変換器を必要とする。この SC と SI のインターフェース回路の問題点を克服するために SV 技術が提案された。[1] 一方、AD 変換器 (ADC) や SV フィルタ (SVF) を集積化するために、サンプル/ホールド (S/H) 回路に高精度の動作が要求される。この論文では、クロックフィードスルーチャージ (CFTC) とチャネル長変調効果 (CLME) を補償したエンハンスメント MOSFET 素子のみによって構成した SV-S/H 回路が提案されている。次章以降では、まず現在のアナログ集積回路で用いられている従来回路

の Toumazou の S/H 回路を示し、補償すべき問題点を述べる [2]。提案回路ではこれらの補償を行い誤差を解析し、PSpice により動作確認を行い従来回路と比較、検討した。

2 SV-S/H 回路

2.1 トマゾウ遅延セル

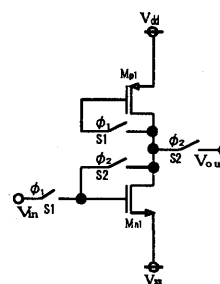


図 1: 従来のサンプル/ホールド回路

図 1 は Toumazou の S/H 回路である [3]。回路構成は nMOS と pMOS を各 1 個用いており電源電圧 V_{dd} 、 V_{ss} 、図 2 に示す重なり合わない 2 相クロック ϕ_1 、 ϕ_2 で動作するスイッチにより構成される。 ϕ_1 時では S_1 が導通し M_{n1} のゲート端子に直流電圧 V_{in} が入力される。

1) 大学院工学研究科システム工学専攻
2) 電気電子工学科助教授
3) 電気電子工学科教授

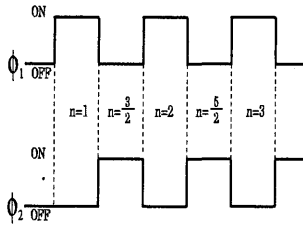


図 2: 重なり合わない二相クロック

ϕ_2 では S_2 が導通し M_{p1} のゲート・ソース間寄生容量に電圧が保存される。 M_{n1} 、 M_{p1} が共に飽和領域で動作するとすれば、 S_2 のドレイン電圧を出力 V_{out} とすると電流の二乗則より

$$V_{out(\phi_2)} = V_{in(\phi_1)} \cdot \quad (1)$$

となる。しかしながら Hold 状態における出力電圧は、アナログスイッチが ON 状態から OFF 状態に切り替わるときに発生するクロックフィードスルー電荷 Q (およそ $0.1[\text{pC}]$) のゲートソース間容量への流入によるフィードスルーと、ドレイン電圧を高くすることでドレイン端での空乏層が広がり実効チャンネル長が短くなることによるチャンネル長変調効果により誤差が生じる低下する。このように MOS のサンプリング回路におけるチャージインジェクションには、利得誤差、オフセット誤差、非線形誤差が寄与しており出力低下の要因となる [3]。チャンネル長変調効果を表すドレイン-ソース間抵抗をドレインコンダクタンス g_d とし、フィードスルーによるオフセット電圧 v_f に注目して、Toumazou-S/H 回路を小信号解析し利得誤差を ϵ_{gT} 、オフセット誤差を ϵ_{sT} として以下に示す。nMOS、pMOS のドレインコンダクタンスを g_{dn} 、 g_{dp} 、伝達コンダクタンスを g_{mn} 、 g_{mp} と設定する。

$$v_{HT\text{Toumazou}} = (1 - \epsilon_{gT\phi_2}) v_{sT\text{Toumazou}} - \epsilon_s \quad (2)$$

$$\epsilon_{gT\phi_1} = \frac{-g_{mn}}{g_{mp} + g_{dp}} v_{in}$$

$$\epsilon_{gT\phi_2} = \frac{(g_{dn} + g_{dp})(g_{mp} + g_{mn} + g_{dn} + g_{dp})}{(g_{mp} + g_{dn} + g_{dp})(g_{mn} + g_{dn} + g_{dp})}$$

$$\epsilon_{sT} = \frac{g_{mp}}{(g_{mn} + g_{dn} + g_{dp})} v_f \quad (3)$$

非線形の誤差緩和、補償は困難であるから、S/H 回路の動作を考慮する場合、利得誤差 ϵ_g 、オフセット誤差 ϵ_s の補償法を考案しなければならない。この論文において、クロックフィードスルーとチャンネル長変調効果を補償した SV-S/H 回路を提案し、これら補償効果を小信号等価回路を用いて解析する。PSpice シミュレーションにより動作確認とこれらの効果の補償、従来 S/H 回路との比較検討をした。

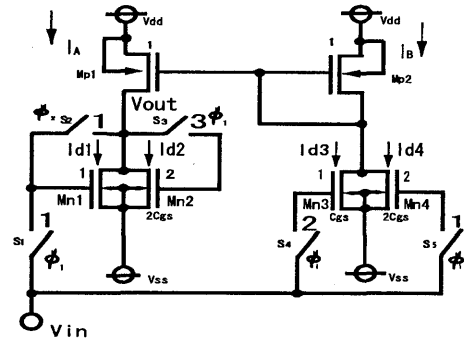


図 3: スイッチドボルテージ サンプル/ホールド回路

3 提案SV-S/H回路

図 3 に提案 SV-S/H 回路を示す。構成素子は CFTC と CLME の補償を行う為に W/L 比を M_{n1} 、 M_{n3} と M_{n2} 、 M_{n4} が 1 対 2 と設定した nMOSFET 4 個と各 W/L 比に基づいたゲート・ソース間容量 C_{gs} 、カレントミラーを構成している pMOSFET 2 個からなる。提案回路の MOSFET はすべて飽和領域で動作し、図 2 の 2 相クロック ϕ_1 、 ϕ_2 で各スイッチが ON 状態から OFF 状態に切り替わる。ここで各スイッチがクロックフィードスルー誤差の補償を行う目的で記載した数字に並列に接続されている。電源電圧としてそれぞれドレイン電圧 V_{dd} とソース電圧 V_{ss} 、直流電圧源 V_{in} を印加する。

3.1 動作原理

提案 S/H 回路は 2 相クロック ϕ_1 において、nMOSFET M_{n1} 、 M_{n3} と M_{n4} のゲート端子に入力電圧 V_{in} が印加されることにより M_{n2} のゲート端子に V_{sample} がサンプルされる。pMOSFET の W/L 比、伝達コンダクタンス係数 K 、しきい値電圧 V_t はすべて等しいと仮定することにより、カレントミラーをなす M_{p1} のドレイン電流 I_A と M_{p2} のドレイン電流 I_B は等しくなり式 (4) が得られる。

$$I_A = I_B$$

$$I_A = I_{d1} + I_{d2}$$

$$I_B = I_{d3} + I_{d4} \quad (4)$$

飽和領域の電流の二乗則を用いて各ドレイン電流を導出し

$$\begin{cases} I_{d1} = K_{n1}(V_{in} - V_{ss} - V_{thn1})^2 \\ I_{d2} = 2K_{n2}(V_{sample} - V_{ss} - V_{thn2})^2 \\ I_{d3} = K_{n3}(V_{in} - V_{ss} - V_{thn3})^2 \\ I_{d4} = 2K_{n4}(V_{in} - V_{ss} - V_{thn4})^2 \end{cases} \quad (5)$$

となる。ここで、 M_{n1} 、 M_{n2} 、 M_{n3} と M_{n4} のしきい値電圧を $V_{th1} = V_{th2} = V_{th3} = V_{th4}$ とする。コンダクタンス係数 $K_{n1} = K_{n2} = K_{n3} = K_{n4}$ を用いて式(4)、式(5)から

$$V_{sample} = V_{in} \quad (6)$$

を得る。 ϕ_2 時においては、nMOSFET、 M_{n1} 、 M_{n3} と M_{n4} のゲート・ソース間寄生容量 C_{gs} が V_{in} をサンプルし、 M_{n2} は V_{sample} をホールドする。 $M_{n1} \sim M_{n4}$ が理想状態で動作し、各ゲート電圧をホールドしたままオフとなる。しかしながら、各アナログスイッチがオンからオフにスイッチングするときチャネル電荷保存により M_n のゲート・ソース間容量にクロックフィールドスルー電圧 V_f が生じる。理想スイッチを S_u と表し $S_i = iS_u$ と設定しており i 個数のスイッチを並列に接続していることを表している。クロックフィールドスルー電圧誤差補償の為に $S_1 = S_2 = S_5 = 1S_u$ 、 $S_3 = 3S_u$ 、 $S_4 = 2S_u$ とし、図3においてスイッチの大文字 **1**、**2** と **3** が対応する。 ϕ_2 時において、 M_{p1} と M_{p2} のカレントミラーと電流保存則、 V_f を考慮して

$$\begin{cases} I_{d1} = K_{n1}(V_{held} - V_{ss} - V_{thn1})^2 \\ I_{d2} = 2K_{n2}(V_{sample} - V_{ss} - V_{thn2} - \frac{3}{2}V_f)^2 \\ I_{d3} = K_{n3}(V_{in} - V_{ss} - V_{thn3} - 2V_f)^2 \\ I_{d4} = 2K_{n4}(V_{in} - V_{ss} - V_{thn4} - \frac{1}{2}V_f)^2 \end{cases} \quad (7)$$

式(4)と式(7)より $K_{n1} = K_{n2} = K_{n3} = K_{n4}$ と $V_{th1} = V_{th2} = V_{th3} = V_{th4}$ とし V_{held} が導出できる。

$$V_{held} = V_{sample} \quad (8)$$

式(8)より入力電圧 V_{in} はホールド電圧 V_{held} と確認でき、これよりフィールドスルー電圧 V_f は完全に補償されたことが確認できた。

3.2 小信号等価回路による解析

図4の提案S/H回路を小信号等価回路を用いて利得誤差について解析する。

ϕ_1 時の小信号等価回路を図4に示す。回路において、nMOS と pMOS の伝達コンダクタンスはそれぞれ g_{mn} と g_{mp} と示し、ドレインコンダクタンスは g_{dn} と g_{dp}

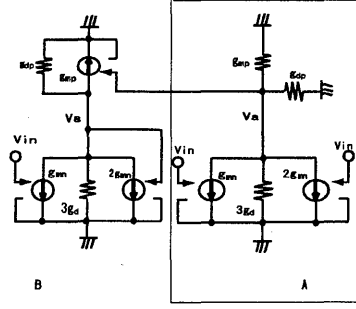


図4: ϕ_1 時の小信号等価回路

で示す。回路中Aの節点 V_a において、キルヒホッフ電流則の節点方程式より

$$\begin{aligned} (g_{mp} + g_{dp})v_a + I_{d2} &= 0 \\ I_{d2} &= 3g_{mn}v_{in} + 3g_{dn}v_a \end{aligned} \quad (9)$$

回路中Bの節点 V_s において、

$$\begin{aligned} g_{mp}v_a + g_{dp}v_s + I_{d1} &= 0 \\ I_{d1} &= g_{mn}v_{in} + (2g_{mn} + 3g_{dn})v_s \end{aligned} \quad (10)$$

式(9)、(10)を解くと

$$v_s = (1 - \varepsilon_{g1})v_{in} \quad (11)$$

と導かれる。ここで ϕ_1 における利得誤差 ε_{g1} は

$$\varepsilon_{g1} = \frac{3g_{mn}(g_{dn} + g_{dp})}{(g_{mp} + g_{dp} + 3g_{dn})(2g_{mn} + g_{dp} + 3g_{dn})} \quad (12)$$

である。

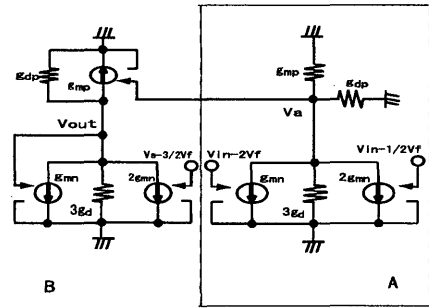


図5: ϕ_2 時の小信号等価回路

ϕ_2 時の小信号等価回路を図5に示す。 ϕ_1 時と同様に各コンダクタンスを設定しAの節点 V_a において節点方程式を求めると

$$\begin{aligned} (g_{mp} + g_{dp})v_a + I_{d2} &= 0 \\ I_{d2} &= g_{mn}(v_{in} - 2v_f) + 3g_{d}v_a + 2g_{mn}(v_{in} - \frac{1}{2}v_f) \end{aligned} \quad (13)$$

Bの節点 V_{out} において

$$\begin{aligned} g_{mp}v_a + g_{dp}v_{out} + I_{d1} &= 0 \\ I_{d1} &= g_{mn}v_{out} + 3g_{d}v_{out} + 2g_{mn}(v_s - \frac{3}{2}v_f) \end{aligned} \quad (14)$$

この式に ϕ_1 での v_s を用いてホールド電圧 v_H は次式となる

$$v_H = (1 - \epsilon_g)v_s - \epsilon_s \quad (15)$$

ここで利得誤差は ϵ_g 、オフセット誤差は ϵ_s で表され

$$\epsilon_g = \frac{g_d^2(3g_{mn} + g_{mp} + g_d)}{(g_{mn} + g_d)(2g_{mn} + g_d)(g_{mp} + g_d)} \quad (16)$$

$$\epsilon_s = \frac{3g_{mn}g_d}{(g_{mn} + g_d)(g_{mp} + g_d)}v_f \quad (17)$$

$$g_d = 3g_{dn} + g_{dp}$$

である。

提案 S/H 回路と Toumazou-S/H 回路の各誤差を表 1 に示す。小信号等価回路の計算値はパラメータとして $\mu_n C_{ox} = 50[\mu A/V^2]$ 、 $\lambda = 0.02$ として伝達コンダクタンスは

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_t) \quad (18)$$

ドレインコンダクタンスは

$$g_d = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_t)^2 \cdot \lambda \quad (19)$$

と表される。式(18)と式(19)より求めた計算値、 $g_{mn} = 0.56[mS]$ 、 $g_{mp} = 1.7[mS]$ 、 $g_{dn} = 1[\mu S]$ 、 $g_{dp} = 7[\mu S]$ と $v_f = 0.1[V]$ を式(16),(17)に入力する。表 1 に Toumazou-S/H 回路と提案 S/H 回路の利得誤差とオフセット誤差を示す。この結果よりチャネル長変調効果は補償できた。

表 1: 利得誤差とオフセット誤差

	gain error	offset error
Toumazou S/H circuit	3.4E-3	3.0E-3
Proposed S/H circuit	6.5E-5	2.6E-4

4 シミュレーション結果

シミュレーションは、nMOS、 M_{n1} の W/L 比 $22.3\mu m / 0.8\mu m$ を基準とし、チャネル長 L は一定として nMOS の各比に設定する。カレントミラーの pMOS、 M_{p1} 、 M_{p2} の W/L 比は $86\mu m / 0.8\mu m$ である。電源電圧 V_{dd} と V_{ss} は $\pm 3[V]$ に、入力電圧 V_{in} は $0.3[V]$ で設定してある。ゲート・ソース間容量 C_{gs} は $0.01[pF]$ を基準として nMOS の比に設定してある。Toumazou-S/H 回路の PSpice によるシミュレーション結果を図 6 に、提案 S/H 回路のシミュレーション結果は図 7 に示す。横軸が動作時間 [t]、縦軸は出力電圧 V_{out} [mV] を示す。図 6 と図 7 を比較して、提案 S/H 回路は Toumazou-S/H 回路より高精度に動作していることが確かめられる。図 6 に示す Toumazou-S/H 回路の出力電圧は $299.1[mV]$ である。表 1 の誤差を用いた小信号の計算結果は $289.74[mV]$

であるから、PSpice との出力電圧差は $9.36mV$ である。一方で、提案 S/H 回路の出力電圧は $299.71[mV]$ である。小信号の計算結果では $299.80[mV]$ であり、PSpice との誤差は $0.09[mV]$ である。入出力誤差は Toumazou-S/H 回路で $0.90[mV]$ 、提案 S/H 回路で $0.29[mV]$ である。これより、Toumazou-S/H 回路と比較して提案回路の入出力誤差は 23% に低減された。

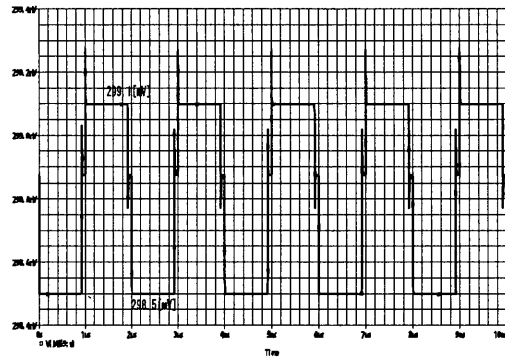


図 6: Toumazou-S/H 回路の出力電圧 $V_{in}=0.3[V]$

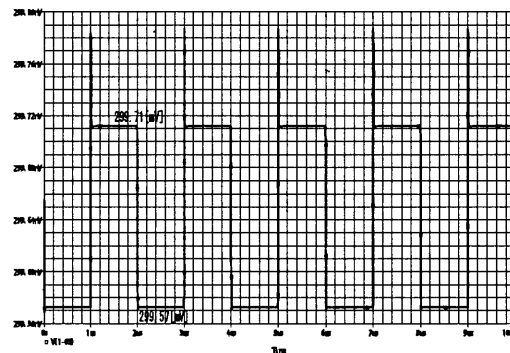


図 7: SV-S/H 回路の出力電圧 $V_{in}=0.3[V]$

5 結論

クロックフィードスルーとチャネル長変調効果を補償した高精度 SV-S/H 回路を提案した。Toumazou-S/H 回路と比較して高精度 SV-S/H 回路の動作はオフセット誤差は 8.7%、利得誤差は 1.9% に低減改善できた。これより高精度 SV-S/H 回路は SV 回路に広く適用できる。

参考文献

- [1] X. J. Shi, H. Matsumoto, and K. Murao, "A switched-voltage delay cell with differential inputs and its applications", *IEICE Trans. Electron.*, vol. E84-C, no. 9, pp. 1227-1233, Sep. 2001.
- [2] G. Wegmann et al, "Charge injection in analog MOS switches", *IEEE J. Solid-State Circuits.*, vol.SC-22, pp. 1091-1097, Dec.1987.
- [3] K. Leelavattananon and C.Toumazou, "Switched-voltage:An adaptation of switched-currents for voltage-mode design," *Electron. lett.*, vol.34, no.6, pp.503-504, Mar.1998.