

低消費電力CMOS液晶ドライバの 位相補償および高スルーレート化技術に関する研究

林田 辰徳¹⁾・淡野 公一²⁾・田村 宏樹³⁾・外山 貴子⁴⁾

A Research on Phase Compensation and High-Slew-Rate Techniques in Low-Power CMOS LCD Driver

Tatsunori HAYASHIDA, Koichi TANNO, Hiroki TAMURA, Takako TOYAMA

Abstract

This dissertation describes an efficient phase compensation and slew rate enhancement techniques in an LCD driver IC. First, I compare five kinds of phase compensation techniques that including the new methods by both theoretical analyses of poles and zeros frequency from transfer function. In the past, the slew rate enhancement technique by using MOS switches was proposed. However, the effect is not enough to satisfy the specification because the effect depends on switching sensitivity of MOS switches that is determined by the threshold voltages of MOSFETs. In order to improve this problem, I propose the MOS switches with level shifter. I propose a new low-power-consumption LCD driver with these methods. HSPICE simulation results demonstrate the effectiveness of the proposed circuit.

Key Words : low-power-consumption, phase compensation, high-slew-rate, LCD driver

1. はじめに

マルチメディアの発展と地上波デジタル放送とが相まって、液晶ディスプレイ (LCD) の需要が著しい増加傾向にある。LCD にはディスプレイを駆動するドライバが必要であり、このドライバが LCD の性能を大きく左右することから、その高性能化が求められる [1][2]。そこで、LCD の性能の 1 つに動画応答速度があり、この応答速度を速くするには、容量性負荷である液晶を駆動する LCD ドライバの高スルーレート特性が要求される。また携帯電子機器に搭載する場合、電池の長寿命確保や LCD の大画面化に伴う消費電力の増大から、LCD ドライバの消費電力を低く抑える必要がある [3]。しかし、消費電力を抑えると位相余裕が小さくなり、回路動作が不安定になるという問題が生じる。

本論文では、新たな低消費電力 CMOS 液晶ドライバを提案する。まず位相補償手法では、従来の 3 手法と新たな 2 手法の計 5 手法 [4]-[7] の比較を行う。比較に際しては、伝達関数から理論的な極及び零周波数を求め、効果的な位相補償手法についての検討を行っている。次に高スルーレート化において、従来の MOSFET を用いた手法では、スイッチング感度が低いという問

題が残されていた。この問題を改善するために、FG-MOFET 及びレベルシフト回路の可変しきい電圧特性を積極的に用いることで、高スルーレート化を実現した。最後に、以上の手法を用いた新たな低消費電力 LCD ドライバを提案し、 $0.18\mu\text{m}$ CMOS プロセスのモデルパラメータを用いた HSPICE シミュレーションによる特性評価を行う。

2. LCD ドライバの諸特性

2.1 位相余裕の確保

CMOS プロセスによるすべての増幅回路は、寄生容量と出力抵抗によるローパス・フィルタ特性を持っている。ローパス・フィルタでは、遮断周波数以上の高い周波数信号を入力すると、入出力間で信号の位相差が生じる。特に LCD ドライバのような回路では、出力信号の 100% を負帰還するため位相の遅れが大きな問題となる。従って、この高周波領域の信号に対する帰還増幅回路の利得が 0dB より大きい場合、発振を起こす [8]。そこで、回路の安定動作のためには位相補償を施し極分離させる必要がある。

図 1 に一般的な 2 段増幅回路のボード線図を示す。 s_{P1} 及び s_{P2} は初段及び次段における遮断角周波数であり、極と呼ばれる。また $|s_{Z1}|$ は、次章で説明するミラー容量によるフィードフォワード経路の形成で生

¹⁾システム工学専攻大学院生

²⁾電気電子工学科准教授

³⁾電気電子工学科助教

⁴⁾技術職員

じる零である。ここで、ユニティゲイン周波数での位相が -180° を下回っているため、この回路は発振している。そこで、第1極 s_{p1} を低周波側に、第2極 s_{p2} 及び零 $|s_{z1}|$ を高周波側へ移動（極分離）させることで位相余裕を確保し、回路の安定動作を実現できる。

2.2 スルーレート

本節では、LCD ドライバの立上り及び立下りのスルーレート特性について述べる。図2に基本的なLCDドライバの回路図を示す。このように、一般的なLCDドライバはボルテージフォロア構成で表わされる。そこで、入力に大きな正のステップ波形を印加するとM1bに流れるドレイン電流が増加し、ドレイン・ソース間電圧は減少する。よって、M5のドレイン・ソース間電圧が減少し、出力電圧は入力電圧の大きさに追従して増加する。しかし、回路に流れる電流の値が小さくなると、補償容量 C_a や負荷容量 C_L の影響により出力電圧が入力電圧に追従しにくくなる [9][10]。

一方、図3に立上り時と立下り時での図2を単純化した回路図を示す。ここで、図中の黒い太線は電流の流れる向きを表している。図2の回路において立上り時はM1a, M2a, M2bがオフするため、図3(a)のように簡略化できる。これより、立上りのスルーレートはM5に流れる最大出力電流によって、 C_a, C_L を充電する時間の大きいほうにより制限される。また、図3(b)より立下りのスルーレートも同様、出力段の電流源に流れる電流 I_{M4} によって、 C_a, C_L を放電する時間の大きいほうにより制限されることが分かる。

また、スルーレートは電流値に比例し、容量値に反比例する。そこで、高スルーレート化を図ろうとすると静的消費電流が増大することから、LCDドライバの低消費電力化の妨げとなる。

3. 位相補償手法の比較

前章でも述べたように、回路動作の安定性を確保するためには、十分な位相余裕が必要となる。そこで本章では、5種類の位相補償 (Phase Compensation:PC) 手法についての比較を行う。また、比較に際して基本となる回路構成を図4に示す。

一般的な位相補償手法にミラー補償 (PC-1) がある。PC-1は、図4の点Bと点Lの間に補償容量 C_a を付加した構成となり、入力電圧を Δv_{in} 変化させると、出力の電位は $-g_{m5}R_L\Delta v_{in}$ 変化する。ここで、 R_L は出力段での合成抵抗を表している。このとき C_a の両端には電位差 $(1 + g_{m5}R_L)\Delta v_{in}$ が生じ、入力端子から

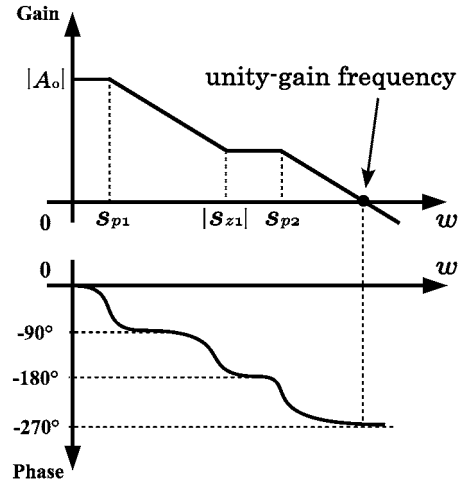


図1 一般的な2段増幅回路のボード線図

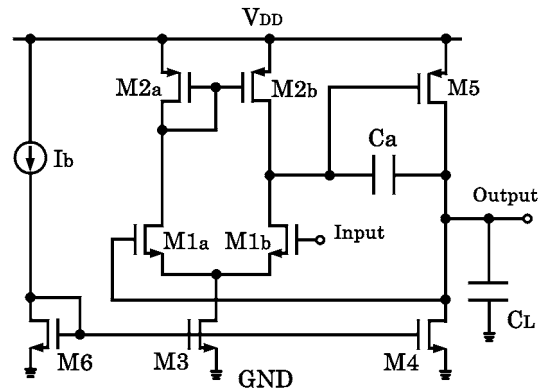


図2 基本的なLCDドライバの回路図

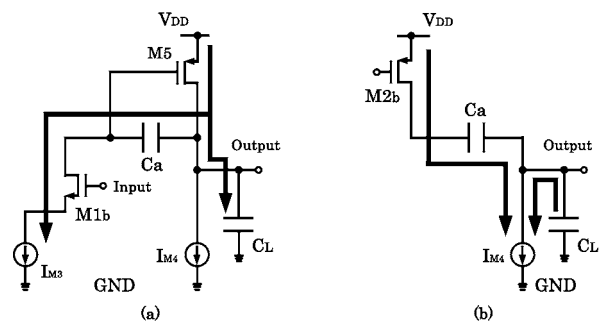


図3 図2を単純化した回路 (a) 立上り (b) 立下り

$C_a(1 + g_{m5}R_L)\Delta v_{in}$ の電荷が流れ込む。このことは入力側から見た実効的な容量が C_a の $(1 + g_{m5}R_L)$ 倍となることを意味する。これをミラー効果といい、 C_a をミラー容量と呼ぶ。

また、PC-1の小信号等価回路から伝達関数を求め、理論的な極及び零周波数を導出した結果を以下に示す。

$$s_{P1} = -\frac{1}{g_{m5}C_aR_B R_L} \quad (1)$$

$$s_{P2} = -\frac{g_{m5}}{C_L} \quad (2)$$

$$s_{Z1} = -\frac{g_{m5}}{C_a} \quad (3)$$

但し、 R_B は初段での出力抵抗を表している。ここで、LCDドライバの低消費電力化を図ると、 g_{m5} が小さい値になる。従って、 s_{P1} は高周波側に、 s_{P2} 及び s_{Z1} は低周波側にシフトし、回路の安定動作の妨げとなってしまう。またミラー効果を用いた補償は、高周波領域になるとフィードフォワード経路として動作するため、回路に与える零の影響が無視できない。

3.1 バッファ付加による位相補償手法

ミラー容量 C_a はフィードバック経路として機能できるが、その逆ができないとすると、零を非常に高い周波数にシフトできる。そこで本節では、ミラー補償により生じたフィードフォワード経路の電流を遮断するため、電圧及び電流バッファを用いたミラー補償について言及する。

まず電圧バッファ付加による補償 (PC-2) は、図4の点Bと点Lの間に直列に C_a とソースフォロワを付加した構成となる。ここで、バッファのMOSトランジスタのゲートソース間容量は C_a に比べ十分小さいので、複素平面における右半平面の零は十分高い周波数に移ると期待できる。そこで、電圧バッファの電流利得を A_{I1} とし、PC-2の理論的な極及び零周波数を導出した結果を以下に示す。

$$s_{P1} = -\frac{1}{g_{m5}C_aR_B R_L} \quad (4)$$

$$s_{P2} = -\frac{g_{m5}}{C_L} \quad (5)$$

$$s_{Z1} = -\frac{g_{m5}A_{I1}}{C_a} \quad (6)$$

ここで、PC-1の場合と比べ零が A_{I1} 倍され、高周波側にシフトできることから、回路の安定動作を確保しやすくなる。しかしPC-2の問題は、ソースフォロワにより出力電圧範囲を制限してしまうことである。そのため、点Lと点Bの直流レベルを分離するように C_a を付加することが望まれる。

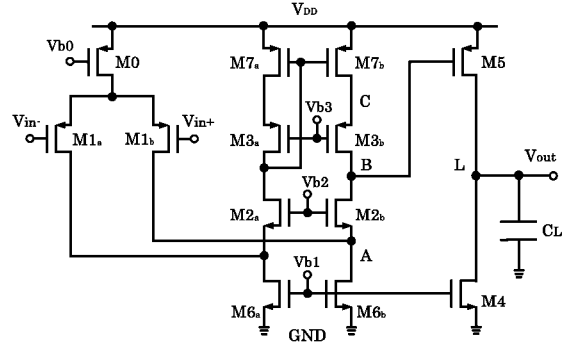


図4 位相補償手法の基本回路構成

次に、電流バッファ付加による補償 (PC-3) について述べる。PC-3は、図4の点Bと点Lの間に直列にゲート接地増幅回路と C_a を付加した構成となる。そこで、電流バッファの電圧利得を A_{V1} とし、PC-3の理論的な極及び零周波数を導出した結果を以下に示す。

$$s_{P1} = -\frac{1}{g_{m5}C_aR_B R_L} \quad (7)$$

$$s_{P2} = -\frac{g_{m5}A_{V1}}{C_L} \quad (8)$$

$$s_{Z1} = -\frac{g_{m5}A_{V1}}{C_a} \quad (9)$$

PC-1の場合と比べ第2極及び零が A_{V1} 倍され、高周波側にシフトでき、位相余裕の確保が期待できる。しかし、これらの手法ではバッファ付加によるチップ面積及び消費電力の増大が懸念される。特にPC-3では、バッファの電流源をカレントミラーにより構成することから、電流のミスマッチによる利得の低下やオフセット等の問題が生じる。

3.2 新たに提案する位相補償手法

前節での問題を改善するため、本節では新たな位相補償手法として、Single Capacitor 補償 (PC-4) 及び Double Capacitor 補償 (PC-5) の提案を行う。

まず、PC-4は点Aと点Lの間に C_a を付加し、PC-5では点Aと点L及び点Cと点Lそれぞれの間に $C_a/2$ を付加した構成となる。従って本手法では、バッファ等を付加する必要がないことから、前節での問題の改善が可能になる。ここで、PC-4の小信号等価回路よりキルヒホッフの電流則から連立方程式を求め、 g_{m1} 、 g_{m2} 、 g_{m5} が R_A^{-1} 、 R_B^{-1} 、 R_L^{-1} より十分大きいという

近似のもと伝達関数 $A_v(s)$ を求めると,

$$A_v(s) \approx \frac{g_{m1}g_{m2}g_{m5} \left(1 - s \frac{C_a}{g_{m2}g_{m5}R_B} - s^2 \frac{C_a C_B}{g_{m2}g_{m5}}\right)}{d'_0 + s d'_1 + s^2 d'_2 + s^3 d'_3} \quad (10)$$

但し,

$$d'_0 = \frac{g_{m2}}{R_B R_L} \quad (11)$$

$$d'_1 = g_{m2}g_{m5}C_a \quad (12)$$

$$d'_2 = g_{m2}C_B(C_a + C_L) \quad (13)$$

$$d'_3 = C_B(C_A C_a + C_a C_L + C_L C_A) \quad (14)$$

とする。ここで、PC-4 の伝達関数 $A_v(s)$ を次式のように与える。

$$A_v(s) = \frac{A_0 d_0 (a s^2 + b s + c)}{d_0 + s d_1 + s^2 d_2 + s^3 d_3} \quad (15)$$

式(10)より PC-4 の理論的な極及び零周波数を導出した結果を以下に示す。

$$s_{P1} = -\frac{d_0}{d_1} = -\frac{1}{g_{m5}C_a R_B R_L} \quad (16)$$

$$s_{P2} = -\frac{d_1}{d_2} = -\frac{g_{m5}C_a}{C_B(C_a + C_L)} \quad (17)$$

$$s_{Z1} = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \approx \pm \sqrt{\frac{g_{m2}g_{m5}}{C_a C_B}} \quad (18)$$

また同様に、PC-5 の理論的な極及び零周波数を導出した結果を以下に示す。

$$s_{P1} = -\frac{1}{g_{m5}C_a R_B R_L} \quad (19)$$

$$s_{P2} = -\frac{g_{m2}g_{m3}g_{m5}C_a}{g_{m2}g_{m3}C_B C_L + (g_{m2} + g_{m3})g_{m5} \frac{C_a^2}{4}} \quad (20)$$

$$s_{Z1} = \pm \sqrt{\frac{2g_{m2}g_{m5}}{C_a C_B}} \quad (21)$$

となる。以上より、本節で求めた各位相補償手法における理論的な極及び零周波数の結果を表1にまとめる。

表1 各位相補償手法での理論的な極及び零周波数

	第1極	第2極	零
PC-1	X	$-\frac{g_{m5}}{C_L}$	$-\frac{g_{m5}}{C_a}$
PC-2	X	$-\frac{g_{m5}}{C_L}$	$-\frac{g_{m5}A_{T1}}{C_a}$
PC-3	X	$-\frac{g_{m5}A_{V1}}{C_L}$	$-\frac{g_{m5}A_{V1}}{C_a}$
PC-4	X	$-\frac{g_{m5}C_a}{C_B(C_a + C_L)}$	$\pm \sqrt{\frac{g_{m2}g_{m5}}{C_a C_B}}$
PC-5	X	Y	$\pm \sqrt{\frac{2g_{m2}g_{m5}}{C_a C_B}}$

$$X = -\frac{1}{g_{m5}C_a R_B R_L}$$

$$Y = -\frac{g_{m2}g_{m3}g_{m5}C_a}{g_{m2}g_{m3}C_B C_L + (g_{m2} + g_{m3})g_{m5} \frac{C_a^2}{4}}$$

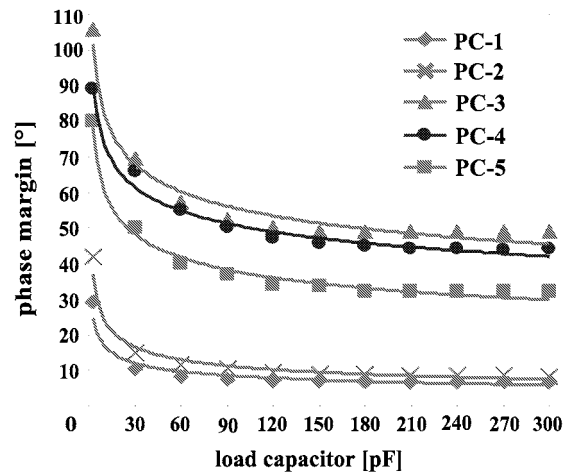


図5 負荷容量の変化に対する位相余裕

3.3 シミュレーション結果

本節では、前節で述べた5種類の位相補償手法における位相余裕を比較するため、0.18 μ m CMOS プロセスデバイスパラメータを用いた HSPICE シミュレーションによる解析を行った。また、前節で導出した理論式の有用性の確認も行う。

まず、新たに提案した2手法(PC-4, PC-5)の理論的な極及び零周波数の正当性を確認するため、HSPICE シミュレーションによる結果との比較を行った。その結果、前節で求めた理論的な極及び零周波数は、回路設計者が机上設計で用いるのに十分な精度を確保していることが分かった。最後に、負荷容量 C_L の変化に対する各手法の位相余裕について、図5に HSPICE シミュレーションの結果を示す。その結果、 C_L が 300pF のとき PC-1 が 6.9°, PC-2 が 8.4°, PC-3 が 49.2°, PC-4 が 44°, PC-5 が 32° となった。ここで、PC-4 は PC-1 と同一チップ面積及び消費電力にも関わらず、位相余裕が約 6.4 倍の値を示すことを確認した。

4. 高スルーレート化手法の比較

サンプルホールドやLCDドライバに用いられるCMOSトランジスタによるバッファは、高速かつ低い静的消費電流で容量性負荷を駆動する必要がある。特に、LCDドライバのような容量性負荷を駆動するバッファでは、短いセトリングタイムが必要となるため、高スルーレート化が要求される。

4.1 MOSFETを用いた手法 (SRE-1)

この要求を満足するため、図6に参考文献[10]で提案されたスルーレート強化(SRE)手法を示す。本手法では高スルーレート化のために付加した M_{sr1} , M_{sr2} をスイッチとして動作させることで、静的消費電流の増大なく、入力信号の変化時にのみ容量への充放電速度を速めるためのパスを構成している。ここで、 M_{sr1} は入力電圧が出力電圧よりも高い場合に、 M_{sr2} は出力電圧が入力電圧よりも高い場合にドレイン電流が流れる。従って、 M_{sr1} は入力信号の立上りで、 M_{sr2} は立下りで動作し、回路の高速動作を促すように電流を供給することが分かる。また、これらの動作には定常的な電流消費がなく、2個のトランジスタを付加するだけで実現できることから、結果として小チップ面積及び低消費電力化が可能となる。

しかし、MOSFET(M_{sr1} , M_{sr2})をスイッチとして用いていることから、しきい電圧以下でのスイッチングができないという問題が残されている。

4.2 FG-MOSFETを用いた手法 (SRE-2)

前節で示した問題の改善を行うため、本節では、MOSFETの代わりにFG-MOSFETを用いたSRE手法を提案し、図7にその回路構成を示す。本提案手法により、スイッチのしきい電圧による不感帯の影響を避けるためのレベルシフトを実現し、スイッチング感度の改善を行っている。またSRE-1の時と同様、立上りで M_{sr1} 、立下りで M_{sr2} がそれぞれオンし、回路動作も同様となる。

ここで、立上り及び立下りに動作する M_{sr1} , M_{sr2} のフローティングゲート電圧 V_{F1} , V_{F2} を求めると、

$$V_{F1} \approx \frac{C_2}{C_1 + C_2} V_{in} + \frac{C_1}{C_1 + C_2} V_{DD} \quad (22)$$

$$V_{F2} \approx \frac{C_1}{C_1 + C_2} V_{in} \quad (23)$$

と近似できる。従って本手法では、FG-MOSFETの容量 C_1 及び C_2 の重み付けを活用し、直流電位のシフト

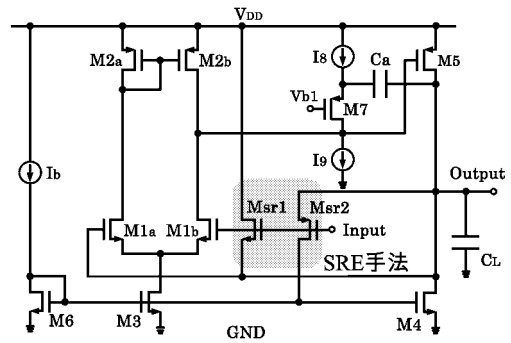


図6 SRE-1の回路構成

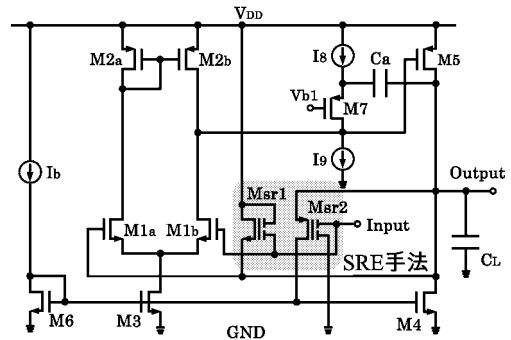


図7 SRE-2の回路構成

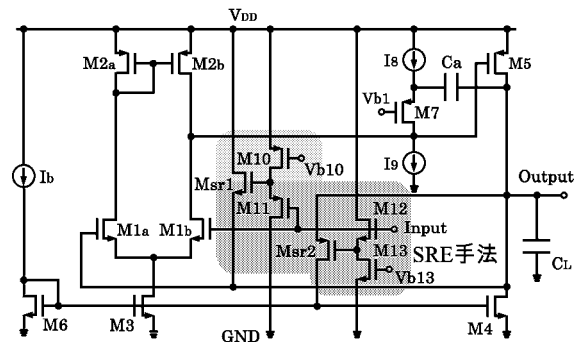


図8 SRE-3の回路構成

を行っている。つまり、式(22)では第一項目のアッテネーションに加え、第二項目のレベルシフト分だけ直流電位を高くでき、また式(23)では、アッテネーション分だけ直流電位を低くできる。

4.3 レベルシフト回路を用いた手法 (SRE-3)

本節では、SRE手法としてレベルシフト回路を用いた回路を提案し、その構成を図8に示す。前節と同様、本手法もスイッチの不感帯を避けるためのレベルシフトを行う構成となっている。

SRE-3ではソースフォロワを用いたレベルシフト回路(LS)を直接付加している。ここで、チャンネル幅並びにチャンネル長が等しいとき、出力に流れる電流が零であるなら、 $M10$ 及び $M11$ に流れる電流が等しいので二乗則より、ソースフォロワの出力電圧 V_{LS1} を求めると式(24)で表わされる。また同等の条件下において、 $M12$ 及び $M13$ を弱反転領域で動作させ、そこに流れる電流が等しいので弱反転領域のドレイン電流の式より、ソースフォロワの出力電圧 V_{LS2} を求めると式(25)で表わされる。従って、 $M10$ 及び $M13$ のゲート・ソース間電圧分だけシフトできることが分かる。また、 $M12$ 及び $M13$ を積極的に弱反転領域で動作させることで低消費電力化を図っている。

$$V_{LS1} = V_{in} + (V_{DD} - V_{b10}) \quad (24)$$

$$V_{LS2} = V_{in} - V_{b13} \quad (25)$$

4.4 シミュレーション結果

以上3手法のスルーレート特性の比較を行うため、 $0.18\mu\text{m}$ CMOS プロセスデバイスパラメータを用いたHSPICEシミュレーションによる解析を行った。図9にスルーレート特性の比較を示す。ここで、入力信号として矩形波を入力したときの各高スルーレート化手法の出力波形を破線で示している。また、入力信号に追従する出力信号の立上り及び立下りの10%から90%をそれぞれのスルーレートと定義する。一方、電源電圧3.3V、消費電流を $4.86\mu\text{A}$ 、利得81.5dB、ユニティゲイン周波数788kHz、位相余裕 51° で設計を行った。

まず、立上りのスルーレートではSRE-1に比べSRE-2及びSRE-3が約1.1倍の向上を示し、また立下りのスルーレートでは、SRE-1に比べSRE-2が約1.8倍、SRE-3が約4.7倍の向上を示した。従って、立上りではSRE-2及びSRE-3の手法を用いる前から、 $M5$ が立上りのスルーレートに十分な電流を供給していることが分かる。また、立下りではSRE-2及びSRE-3用ことで、MOSスイッチのしきい電圧による不感帯の影響を低減し、スルーレートの改善を確認した。ここで、SRE-3ではレベルシフト回路により定常的に 68.3nA の電流の増大を確認している。以上の結果を表2に示す。

5. 低消費電力LCDドライバの提案

第3章及び第4章の検討を踏まえ、本節では新たな低消費電力LCDドライバを提案する。

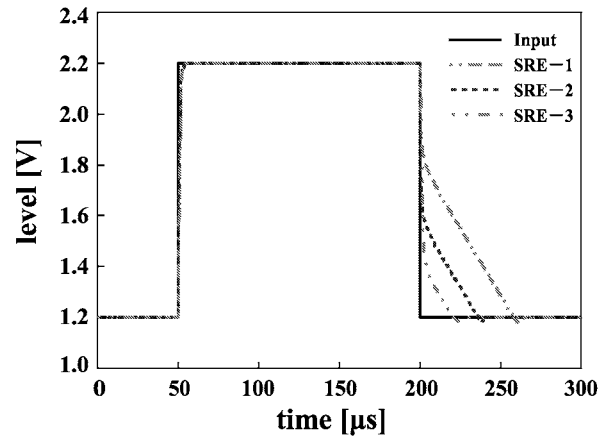


図9 各SRE手法のスルーレート特性の比較

表2 各SRE手法のシミュレーション結果

	SRE-1	SRE-2	SRE-3	
電源電圧 [V]	3.3			
消費電流 [μA]	4.86			
利得 [dB]	81.5			
ユニティゲイン周波数 [kHz]	788			
位相余裕 [$^\circ$]	51			
スルーレート [V/ms]	立上り	433.3	458.8	485.3
	立下り	16.6	29.3	78.4
LSによる消費電流 [nA]	—	—	68.3	

5.1 提案回路

本手法の提案回路として、図10に新たな低消費電力LCDドライバの回路図を示す。ここでは小チップ面積及び低消費電力化を考慮し、位相補償手法としてPC-4を用いている。また、高スルーレート化手法にSRE-3を用い設計を行った。一方、図10の各バイアス電圧は、MOSトランジスタで構成したバイアス回路により与える。

5.2 シミュレーション結果

提案回路の有用性を確認するため、 $0.18\mu\text{m}$ CMOS プロセスデバイスパラメータを用いたHSPICEシミュレーションによる解析を行った。ここで、電源電圧3.3V、電圧利得80.4dB、ユニティゲイン周波数504kHz、位相余裕 44° 、静的消費電流 $4.92\mu\text{A}$ であった。また、 C_a 及び C_L の値を 300fF 、 300pF とする。

表3及び表4に図10のデバイスパラメータ及びバイアス値を示す。ここで、比較回路として位相補償手法にPC-1、高スルーレート化手法にSRE-1を用いた回路とのスルーレート特性の比較を行った結果を図11に示す。図からも分かるように、提案回路の高スルー

レート特性が確認できる。一方、比較回路ではリングングを起こしていることから、セトリング特性に劣化がみられる。この特性の劣化は、位相余裕が十分に確保できていないために生じると考えられる。また、表5にシミュレーション結果を示す。その結果、位相余裕が約6.4倍の改善を示し、立上り及び立下りのスルーレートが約1.2倍及び5.5倍の向上を示していることから、本手法による改善効果を実現し、提案回路の有用性を確認した。

6. まとめ

本論文では、低消費電力 CMOS 液晶ドライバの位相補償および高スルーレート化技術について述べてきた。まず、新たに提案した2種類(PC-4, PC-5)の位相補償手法を用いた増幅回路の伝達関数を理論的に求め、そこから位相余裕に対して大きな影響を与える極及び零周波数を導出した。この理論的な極及び零周波数の正当性を確認するため、HSPICEシミュレーションによる結果との比較を行った。その結果、本論文で求めた理論的な極および零周波数は、回路設計者が机上設計で用いるのに十分な精度を確保していることが分かった。

また、PC-4及びPC-5を含む5種類の位相補償手法による位相余裕の比較を行った。 C_L を3pFから300pFまで変化させたときのHSPICEシミュレーションの結果、 C_L が300pFの時PC-3が49°、PC-4が44°となり、この2手法の位相余裕が40°以上を示した。しかし、PC-3を採用した場合、バッファの電流源をカレントミラーにより実現するため、チップ面積及び消費電力の増大が懸念される。一方、PC-4の手法の場合、PC-1と同一チップ面積及び消費電力にも関わらず、位相余裕では約6.4倍の値を示すことが確認できた。

次に、高スルーレート化に用いるMOSスイッチの不感帯を改善するため、SRE-2及びSRE-3を用いた手法を提案した。同一条件下で、立上り及び立下りのスルーレートをHSPICEシミュレーションにより比較した結果、立下りのスルーレートではSRE-1に比べSRE-2が1.8倍向上し、MOSFETのスイッチング感度の改善を確認した。また、SRE-3ではソースフォロワを用いたレベルシフト回路により定常的に68.3nAの電流の増大を示したが、回路全体のわずかに1.4%の増加に抑え、スルーレート特性では約4.7倍の向上を確認した。これにより、MOSFETのしきい電圧の影響を低減できる見通しを得た。

最後に、先の比較により最も良い特性を得た位相補償手法(PC-4)と高スルーレート化手法(SRE-3)を用

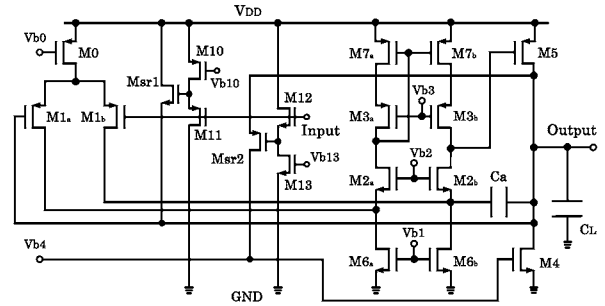


図10 新たな低消費電力LCDドライバ

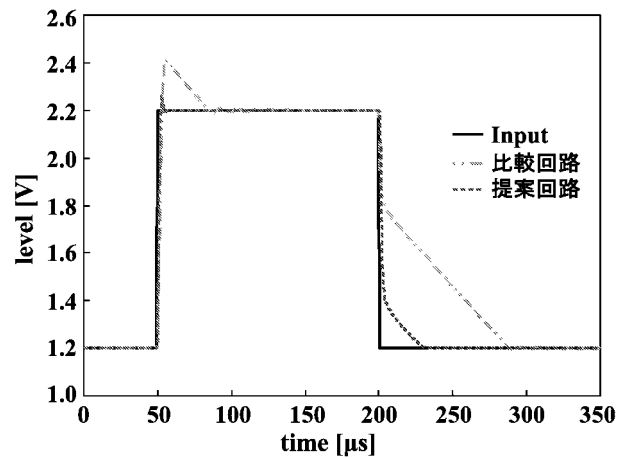


図11 スルーレート特性の比較

表3 提案回路のデバイスパラメータ

M_0 の W/L	2.8/1 [$\mu\text{m}/\mu\text{m}$]
M_1 の W/L	0.6/3 [$\mu\text{m}/\mu\text{m}$]
M_2 の W/L	0.5/2 [$\mu\text{m}/\mu\text{m}$]
M_3 の W/L	0.8/2 [$\mu\text{m}/\mu\text{m}$]
M_4 の W/L	0.6/1 [$\mu\text{m}/\mu\text{m}$]
M_5 の W/L	0.7/1 [$\mu\text{m}/\mu\text{m}$]
M_6 の W/L	1.2/3 [$\mu\text{m}/\mu\text{m}$]
M_7 の W/L	1/3 [$\mu\text{m}/\mu\text{m}$]
M_{sr1} の W/L	10/1 [$\mu\text{m}/\mu\text{m}$]
M_{sr2} の W/L	10/1 [$\mu\text{m}/\mu\text{m}$]
M_{11} の W/L	2/1 [$\mu\text{m}/\mu\text{m}$]
M_{12} の W/L	0.5/1 [$\mu\text{m}/\mu\text{m}$]
M_{13} の W/L	0.5/1 [$\mu\text{m}/\mu\text{m}$]
M_{14} の W/L	1/1 [$\mu\text{m}/\mu\text{m}$]

いた, 新たな LCD ドライバを設計した。HSPICE シミュレーションの結果, 位相余裕 44° , 立上り及び立下りのスルーレートが 421V/ms 及び 60V/ms の値を得た。ここで, 位相補償手法に PC-1, 高スルーレート化手法に SRE-1 を用いた回路との比較を行った結果, 位相余裕が約 6.4 倍の改善, 立上り及び立下りのスルーレートが約 1.2 倍及び 5.5 倍の向上を示し, 本手法による改善効果を確認した。

今後の課題としては, 試作したチップの詳細な評価があげられる。また, AB 級動作 (Push-Pull) を用いた更なる高スルーレート化が考えられる。

参考文献

- [1] Tetsuro ITAKURA, Member "A High Slew Rate Operational Amplifier for an LCD Driver IC," *IEICE Trans. Fundamentals*, vol. E78-A, no. 2 February 1995
- [2] S. K. Kim, Y. -S. Son and G. H. Cho "Low-Power high-slew-rate CMOS buffer amplifier for flat display drivers," *Electronics Letters*, 16th February 2006, vol. 42, no. 4.
- [3] T. ITAKURA and H. Minamizaki, "10 μA quiescent current opamp design for LCD driver ICs," *IEICE Trans. Fundamentals*, vol. E81-A, no. 2, pp. 230-236, Feb. 1998.
- [4] B. Razavi, "Design of analog CMOS integrated circuits," *McGraw-Hill Education*, 2001.
- [5] A. Pugliese, F. A. Amoroso, G. Cappuccino and G. Cocorullo, "Settling time optimisation for two-stage CMOS amplifiers with current-buffer Miller compensation," *Electronics Letters*, 8th November 2007, vol. 43, no. 23
- [6] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Third ed., Sect. 9. 4. 2. pp. 612-623, Jhon Wily & Sons, 1993.
- [7] Mohammad YAVARI, Nonmember "Hybrid Cascode Compensation for Two-Stage CMOS Opamps," *IEICE Trans. Electron.*, vol. E88-C, no. 6, June 2005.
- [8] 谷口 研二 著, "LSI 設計者のための CMOS アナログ回路入門," CQ 出版社, (2005 年 3 月).
- [9] R. Klinke, B. J. Hosticka and H. -J. Pfeleiderer, "A very-high-slew-rate CMOS operational amplifier," *IEEE J. Solid-State Circuits*, vol. 24, no. 3pp. 744-746, June 1989.
- [10] 上野 隆, 板倉 哲郎, 谷本 洋, "少ないトランジスタの追加で実現可能な CMOS バッファのスルーレート改善手法," 電子情報通信学会, Vol. J83-C, No. 6, pp. 495-501, June 2000.

表 4 提案回路の各バイアス値

V_{b0}	2.8 [V]
V_{b1}	0.6 [V]
V_{b2}	1.1 [V]
V_{b3}	2.2 [V]
V_{b4}	0.6 [V]
V_{b10}	2.92 [V]
V_{b13}	0.32 [V]

表 5 提案回路と比較回路のシミュレーション結果

		比較回路	提案回路
電源電圧 [V]		3.3	
消費電流 [μA]		4.92	
利得 [dB]		80.4	
ユニティゲイン周波数 [kHz]		504	
位相余裕 [$^\circ$]		6.9	44.0
補償容量 C_a [fF]		300	
負荷容量 C_L [pF]		300	
スルーレート [V/ms]	立上り	317.8	421.4
	立下り	11.0	60.0
LS による消費電流 [nA]		—	68.3